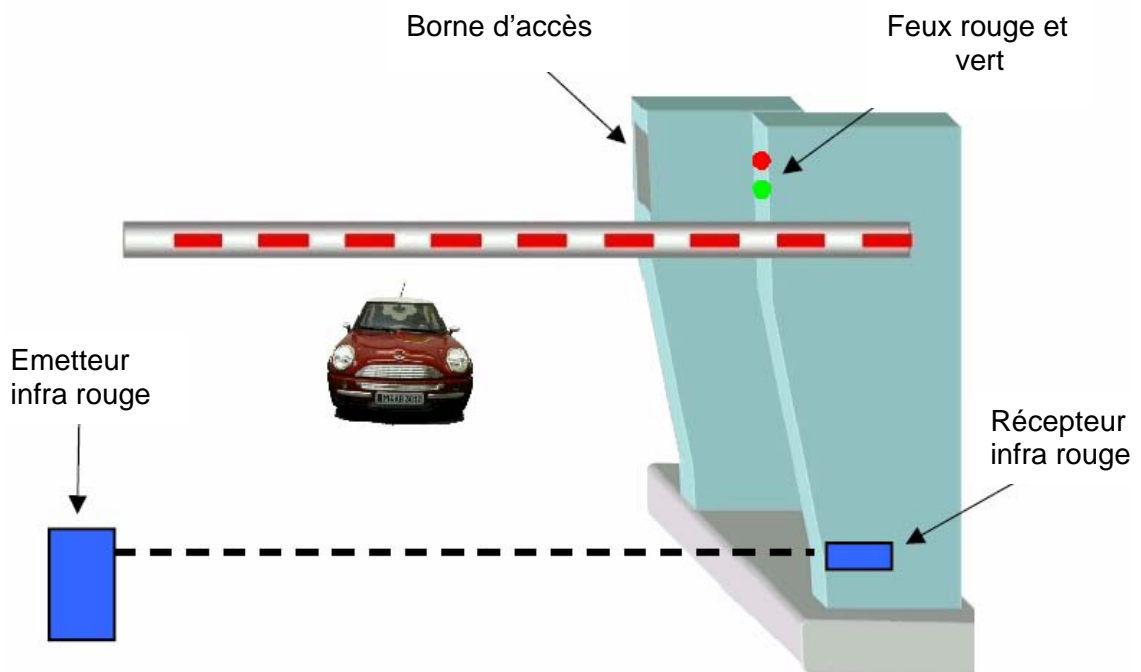




Epreuve de Construction Electronique

Session 2008

Gestion d'un parking d'entreprise



Sciences Techniques Industrielles

Génie Electronique

Lycée Lumière
(Luxeuil-Les-Bains)

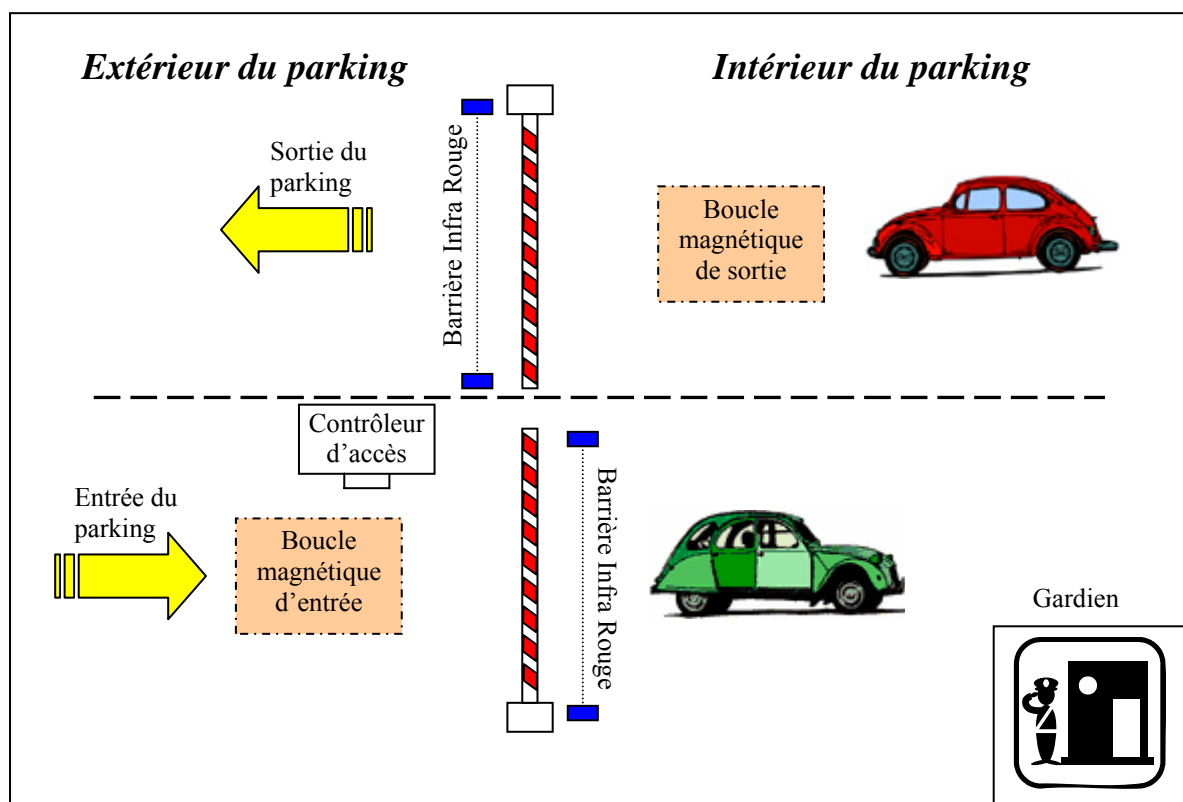


I. Mise en situation :

1. Présentation :

Pour faire face aux problèmes de stationnement, de plus en plus d'entreprises ou de collectivités ont besoin de gérer un parc de stationnement de manière à ce que leurs employés, clients privilégiés ou fournisseurs puissent stationner sans problèmes. Il est donc nécessaire de contrôler l'accès des véhicules qui se présentent.

2. Topographie :



3. Impératifs d'exploitation :

- Il est souhaitable que le contrôle d'accès et la manœuvre des barrières soient automatisés, afin de réduire le coût d'exploitation du système (suppression de personnel de contrôle à chaque voie d'accès).
- Le système doit reconnaître l'usager, afin de ne lui autoriser l'accès que sous certaines conditions (période d'accès en cours de validités).
- L'initialisation du nombre de places disponibles doit être réalisable facilement.

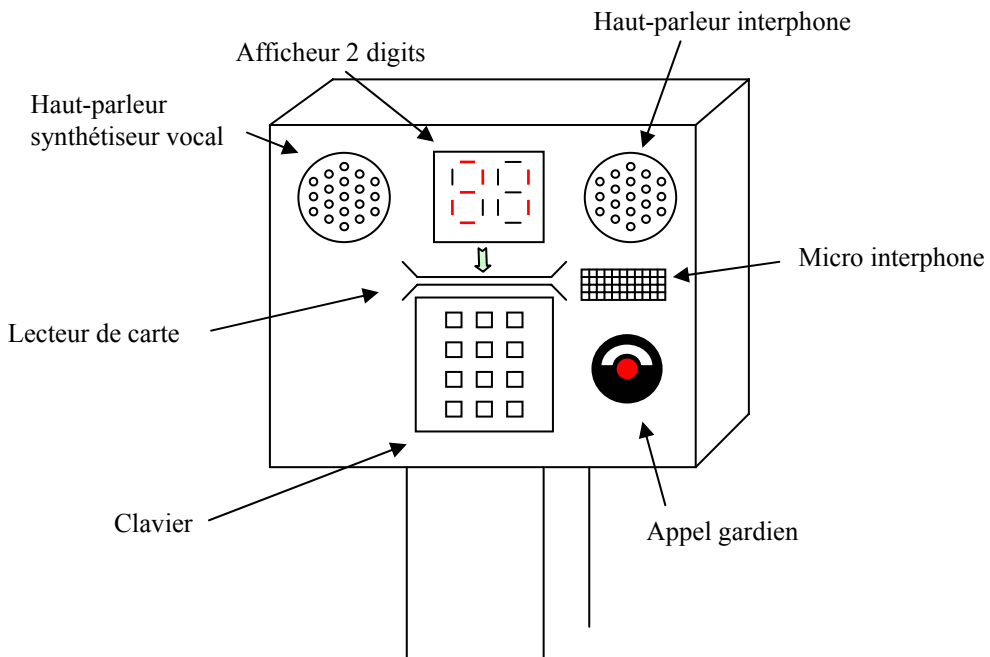


4. Description du fonctionnement :

- * A la mise sous tension, les lisses des barrières d'entrée/sortie sont abaissées pour interdire l'accès au parc. Le nombre maximal de places disponibles est saisi.
 - Pour entrer sur le parking :
 - ✓ Le véhicule entrant est d'abord détecté par la boucle d'entrée (la détection du véhicule est réalisée par une bobine enfouie dans le sol)
 - ✓ un message sonore invite l'utilisateur à utiliser sa carte d'accès ou à taper le code d'identification sur le clavier. Si le code d'accès est correct, la barrière s'ouvre, le véhicule franchit la barrière infrarouge, le nombre de places disponibles est décrémenté
 - ✓ la barrière se referme s'il n'y a pas d'obstacle sous la lisse détecté par la barrière infrarouge ni de surintensité moteur.
 - ✓ Un interphone permet au passager du véhicule entrant de prévenir le gardien en cas de problème ou de demander l'accès temporaire au parking (fournisseurs)
 - Pour sortir du parking :
 - ✓ Le véhicule sortant est détecté par la boucle de sortie (la détection du véhicule est réalisée par une bobine enfouie dans le sol)
 - ✓ la barrière s'ouvre, le véhicule franchit la barrière infrarouge, le nombre de places disponibles est incrémenté
 - ✓ la barrière se referme s'il n'y a pas d'obstacle sous la lisse détecté par la barrière infrarouge ni de surintensité moteur.
- * Lorsque le parking est complet, l'entrée du parc est différée, l'utilisateur est prévenu par l'intermédiaire d'un feu bicolore. La sortie est possible.



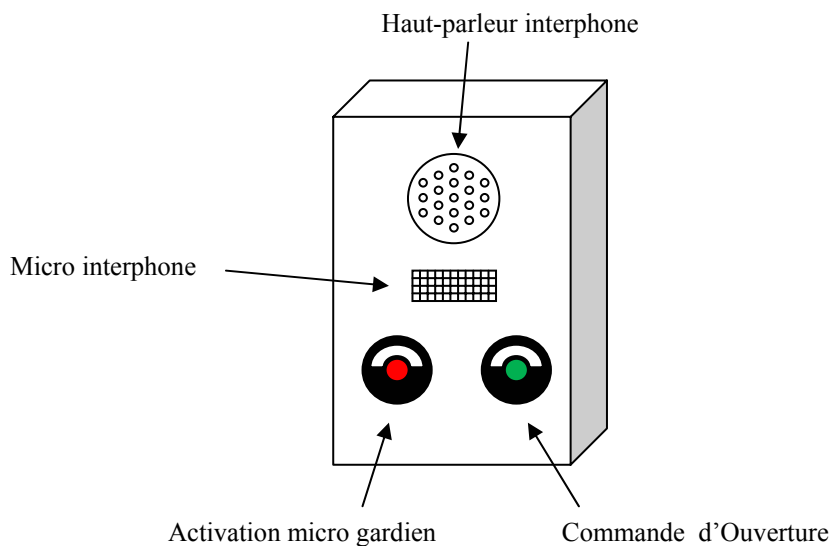
Présentation de la borne d'accès côté usager :



Description du clavier

1	2	3
4	5	6
7	8	9
C	0	V

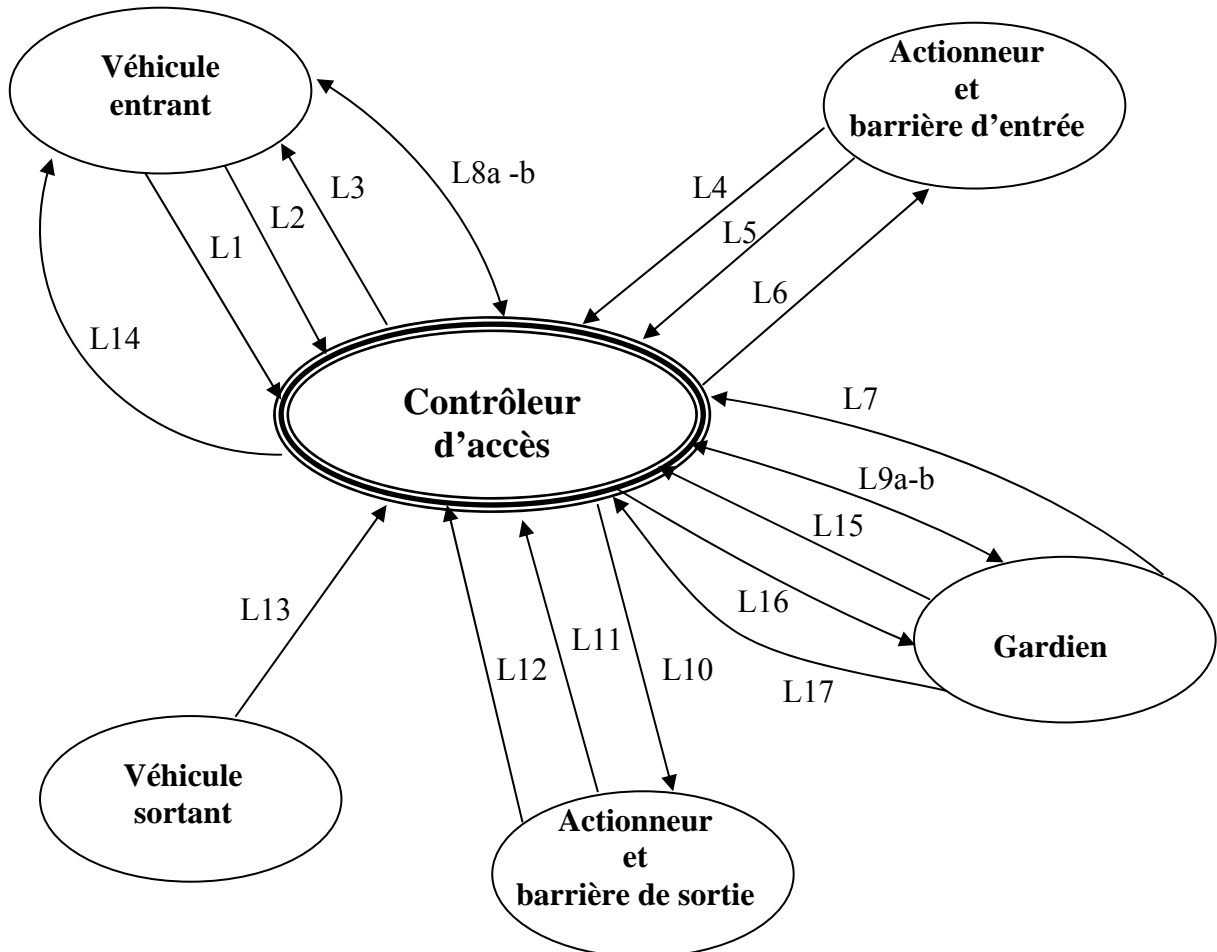
Présentation de « l'interphone Gardien » :





II. Description fonctionnelle du système technique

1. Diagramme sagittal :



L1 : Demande d'accès

L2 : Présence d'un véhicule entrant

L3 : Nombre de places disponibles + feux de signalisation

L4 : Contrôle du passage du véhicule sous la lisse

L5 : Détection de position de la lisse

L6 : Commande d'ouverture ou de fermeture

L7 : Ordre d'ouverture prioritaire

L8 et L9 : Dialogue à distance entre l'utilisateur entrant et le gardien

L10 : Commande d'ouverture ou de fermeture

L11 : Détection de position de la lisse

L12 : Contrôle du passage du véhicule sous la lisse

L13 : Présence d'un véhicule sortant

L14 : Information vocale

L15 : Initialisation du nombre de places de parking disponibles

L16 : Information sonore

L17 : Activation du micro Gardien

Barrière d'entrée du parking

Barrière de sortie du parking



2. Description des éléments constituant le système :

- Le gardien :

Il s'agit de la personne chargée de l'exploitation du « contrôleur d'accès » au parking. Il initialise le système en entrant le nombre de places disponibles. Suite à un appel d'un usager, il peut communiquer avec ce dernier par l'intermédiaire d'un interphone et, dans le cas d'un fournisseur par exemple, peut autoriser l'accès au parking.

- Véhicule entrant, Véhicule sortant :

Tout véhicule qui entre ou qui sort du parking. L'accès ne lui sera accordé que sous certaines conditions (code d'entrée valide, place disponible ou acceptation du gardien)

- Contrôleur d'accès parking :

Lorsqu'un usager souhaite pénétrer sur le parking, il doit se présenter devant la barrière. Le contrôleur d'accès détecte le véhicule par l'intermédiaire d'une bobine noyée dans le sol. L'usager doit s'identifier à l'aide d'un code d'accès personnel. Suivant le cas, il compose son code sur le clavier ou utilise une carte (code barre). Le contrôleur d'accès vérifie la validité du code transmis. Si l'usager est autorisé à entrer sur le parking, le contrôleur d'accès commande l'ouverture de la barrière d'entrée. Le gardien du parking peut autoriser exceptionnellement certain véhicule, tel que les fournisseurs, à entrer (demande par interphone). Il peut donc donner l'ordre au contrôleur d'accès à commander l'ouverture de la barrière.

Lorsqu'un usager souhaite sortir du parking, il doit se présenter devant la barrière. Le contrôleur d'accès détecte le véhicule par l'intermédiaire d'une bobine noyée dans le sol et commande l'ouverture de la barrière de sortie.

Dans tous les cas, le contrôleur d'accès contrôle le passage effectif d'un véhicule avant de refermer la barrière (détection infra rouge, surintensité moteur) et de mettre à jour l'affichage du nombre de places disponibles.

- Actionneur et barrière d'entrée ou de sortie.

Il s'agit d'un équipement motorisé qui assure la manœuvre automatique de la barrière.



3. les milieux associés :

Milieu humain :

L' exploitation du contrôleur d'accès, tel que l'initialisation du nombre de places disponibles, ne nécessite pas la présence de personnel qualifié. La mise en service, l'entretien et le dépannage sont assurés par une société de sous-traitance.

Des messages sonores à la destination de l'usager permettront de le guider et de l'informer.

Milieu technique :

Alimentation sur secteur EDF (220V / 50Hz)

La fabrication de ces types d'objets techniques se fait en petite série.

Milieu physique :

L'objet technique devra pouvoir supporter un taux d'humidité élevé, des conditions de température de type européen et les agressions dues à la poussière et aux gaz. Son utilisation est continue, ce qui implique la robustesse et la fiabilité.

Milieu économique :

L'objet technique doit être étudié pour obtenir des coûts de fabrication les plus serrés possibles, afin d'être compétitifs sur le marché spécifique.



III. Analyse fonctionnelle de l'objet technique « Contrôleur d'accès parking »

1. Fonction d'usage :

Le contrôleur d'accès de parking acquiert des consignes sur le nombre de places disponibles. Il détecte le passage de véhicules et effectue la gestion de l'accès pour autoriser ou interdire l'utilisateur à pénétrer à l'intérieur du parking par l'intermédiaire d'une barrière.

L'accès peut se faire suivant trois scénarios :

- ✓ l'utilisateur est un livreur occasionnel. Il accède au parking à partir du bouton poussoir « appel gardien ». Le gardien peut alors soit dialoguer avec le livreur, soit autoriser l'accès en levant la lisse.
- ✓ l'utilisateur a un droit d'accès provisoire, il accède en tapant son code confidentiel codé sur 4 chiffres. L'accès lui sera bien sûr interdit si il ne reste plus aucune place de libre sur le parking.
- ✓ l'utilisateur est un résident du site, il possède une carte lui offrant un accès pratique. L'accès lui sera bien sûr interdit si il ne reste plus aucune place de libre sur le parking.

Dans tous les cas, la sortie du parking est libre.

2. Elargissement de l'étude :

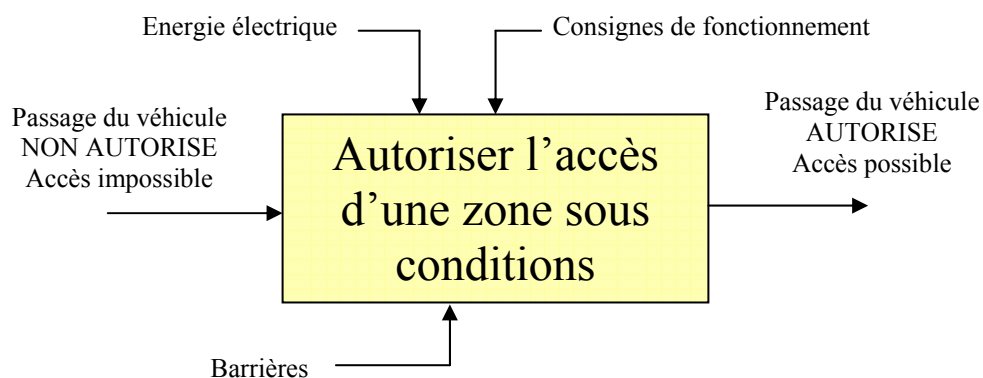
2.1 Fonction globale :

Autoriser l'accès ou la sortie d'une zone sous conditions particulières telles que : identification par carte, péage, etc...

Autres objets techniques ayant la même fonction globale :

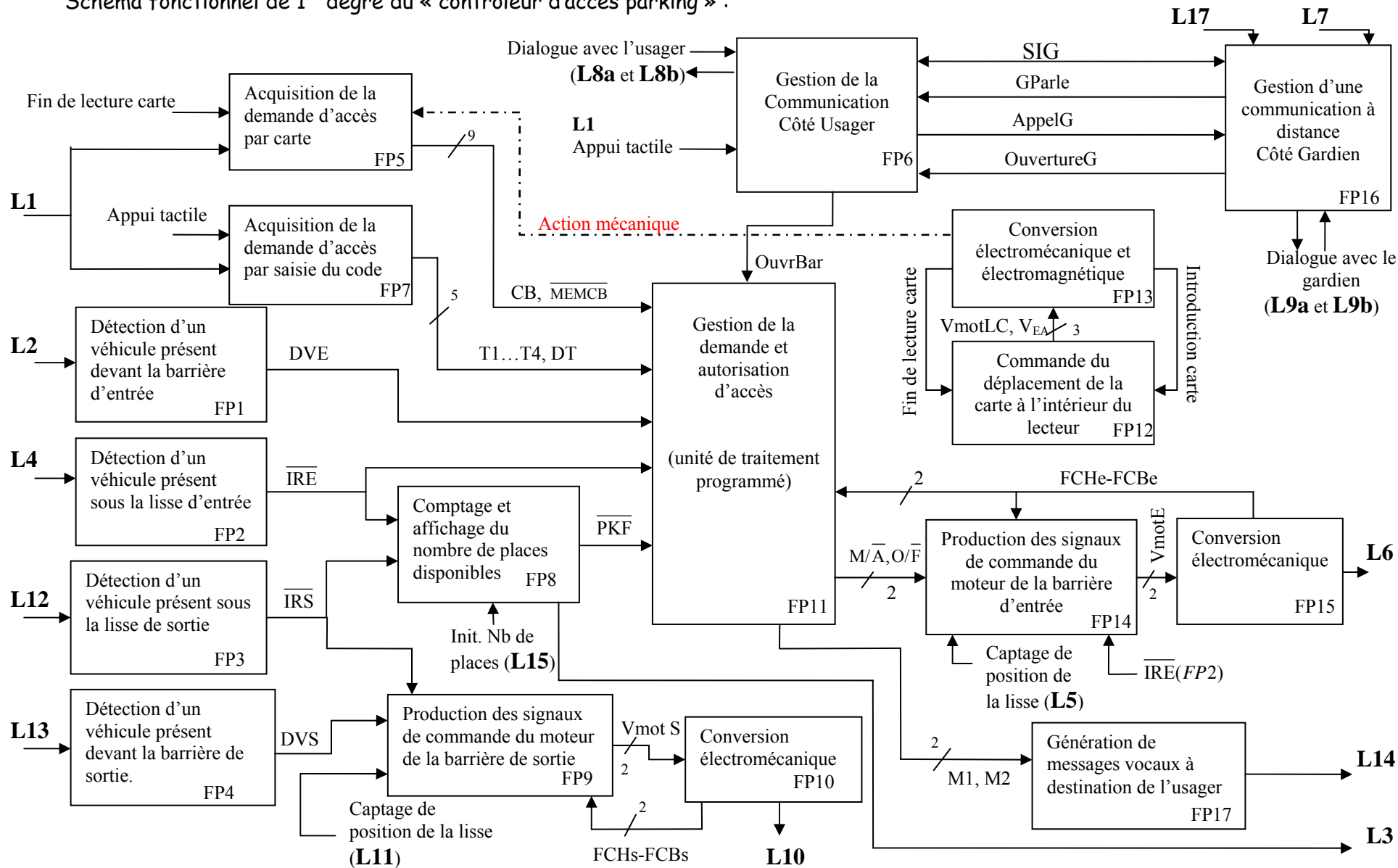
- Péage autoroutier
-

2.2 Schéma fonctionnel de niveau 1 :



Matière d'œuvre : de type informationnelle, autorisation donnée à un usager (accès ou refus).

3. Schéma fonctionnel de 1^{er} degré du « contrôleur d'accès parking » :





4. Définition des fonctions principales

4.1 FP1 : Détection d'un véhicule présent devant la barrière d'entrée.

Un capteur inductif noyé dans le sol capte la présence d'un véhicule à l'entrée du parking.

Entrée : Capteur inductif (L2)

Sortie : signal logique compatible TTL, actif à l'état haut (DVE)

4.2 FP2 : Détection d'un véhicule présent sous la lisse d'entrée.

Une barrière infrarouge placée sous la lisse détecte le franchissement du véhicule à l'intérieur du parking.

Entrée : capteur infrarouge (L4)

Sortie : signal logique compatible TTL, actif à l'état bas (\overline{IRE})

4.3 FP3 : Détection d'un véhicule présent sous la lisse de sortie.

Une barrière infrarouge placée sous la lisse détecte le franchissement du véhicule à l'extérieur du parking.

Entrée : capteur infrarouge (L12)

Sortie : signal logique compatible TTL, actif à l'état bas (\overline{IRS})

4.4 FP4 : Détection d'un véhicule présent devant la barrière de sortie.

Un capteur inductif noyé dans le sol capte la présence d'un véhicule à la sortie du parking.

Entrée : Capteur inductif (L13)

Sortie : signal logique compatible TTL, actif à l'état haut (DVS)

4.5 FP5 : Acquisition de la demande d'accès au parking par carte.

Une carte, sur laquelle est imprimé un code à barre, est introduite à l'intérieur du lecteur. Suite à une information de « Fin de lecture », un code binaire sur 8 bits représentant le résultat du décodage du code à barre sera lu et exploité par la fonction « unité de traitement programmé ».

Entrée : - code à barre imprimé sur la carte (L1)

- capteur de « Fin de lecture carte » (un interrupteur mécanique capte la position maximale de la carte à l'intérieur du lecteur)

Sortie : - signal numérique sur 8 bits représentatif du code à barre lu sur la carte (CBO à CB7)

- signal logique ordonnant à la fonction FP11 l'acquisition du signal numérique CB (MEMCB)



4.6 FP6 : Gestion de la communication côté passager.

La demande d'accès au parking peut être effectuée en appelant le gardien par appui sur un bouton poussoir. L'utilisateur peut dialoguer avec le gardien au moyen de l'interphone, si le Gardien active la communication.

Entrées : - action sur le bouton poussoir « Appel gardien » (L1)
- signal logique indiquant que le son du micro du gardien est transmis vers le haut-parleur de l'utilisateur (GParle).
- son capté par le micro de l'utilisateur (L8a).
- signal transportant le son soit de l'utilisateur vers le gardien, soit du gardien vers l'utilisateur (liaison half-duplex) (SIG).
- signal logique, actif à l'état haut, de commande d'ouverture (OuvertureG)

Sorties : - signal logique indiquant un appel vers le gardien (AppelG)
- son émis par le haut-parleur qui est soit muet (par défaut), soit il émet le son capté par le micro du gardien (L8b) (s'il a activé la communication).
- signal logique, compatible TTL, de commande d'ouverture (OuvrBar)

4.7 FP7 : Acquisition de la demande d'accès par saisie du code.

A défaut d'utiliser sa carte, l'utilisateur peut composer son code d'accès sur 4 chiffres directement par l'intermédiaire du clavier mis à sa disposition.

Entrée : appui tactile sur le clavier (L1)

Sorties : - signal numérique sur 4 bits représentatif du code de la touche appuyée (T1...T4)
- signal logique indiquant à FP11 qu'il y a appui sur une touche du clavier (DT)

4.8 FP8 : Comptage et affichage du nombre de places disponibles.

Son rôle est de mettre à jour le nombre de places disponibles sur le parking en fonction des entrées et sorties des véhicules. Une signalisation par feux permet de prévenir l'utilisateur de l'accessibilité au parking.

Entrée : - signal logique compatible TTL, actif à l'état bas (\overline{IRE})
- signal logique compatible TTL, actif à l'état bas (\overline{IRS})
- bouton poussoir et micro interrupteurs permettant l'initialisation par le gardien du nombre de places disponibles (L15).

Sorties : - information visuelle du nombre de places disponibles sur le parking
- information lumineuse sur l'autorisation d'accès parking (rouge ou vert)



4.9 FP9 : Production des signaux de commande du moteur de la barrière de sortie.

Son rôle est de fournir l'énergie au moteur qui commande l'ouverture ou la fermeture de la barrière de sortie . Cette énergie sera contrôlée afin de gérer la vitesse de déplacement de la lisse.

Entrées : - signal logique compatible TTL, actif à l'état haut (DVS)
 - signal logique compatible TTL, actif à l'état bas (\overline{IRS})
 - capteur potentiométrique informant sur la position de la lisse (L11)
 - capteurs de fin de course de la lisse (FCHs, FCBs)

Sorties : Alimentation limitée en énergie du moteur de la barrière de sortie (VmotS)

4.10 FP10 : Conversion électromécanique.

Entrée : Alimentation limitée en énergie du moteur de la barrière de sortie (VmotS)

Sorties : - capteurs de fin de course de la lisse (FCHs, FCBs)
 - action mécanique sur la lisse de la barrière de sortie (L10)

4.11 FP11 : Gestion de la demande et autorisation d'accès (unité de traitement programmé)

On utilisera une carte de gestion à base d'un microcontrôleur 68HC711 E9.

Entrées :

DVE (voir FP1)
 \overline{IRE} (voir FP2)
 CB, MEMCB (voir FP5)
 T1 à T4, DT (voir FP7)
 \overline{PKF} (voir FP8)
 OuvrBar (voir FP6)
 FCHe, FCBe (voir FP15)

Sorties :

M/\overline{A} , O/\overline{F} (voir FP14)
 M1,M2 (voir FP17)

4.12 FP12 : Commande du déplacement de la carte à l'intérieur du lecteur.

Son rôle est de fournir l'énergie à l'électroaimant qui commande l'ouverture de la trappe d'insertion carte, ainsi qu'au moteur d'entraînement de la carte à l'intérieur du lecteur. Après lecture du code à barre, la carte est éjectée du lecteur à destination de l'utilisateur.

Entrées : - capteur d'introduction carte (interrupteur mécanique)
 - capteur de « Fin de lecture » (un interrupteur mécanique capte la position maximale de la carte à l'intérieur du lecteur)

Sorties : - alimentation en énergie du moteur d'entraînement de carte (VmotLC)
 - alimentation en énergie de l'électroaimant (V_{EA})



4.13 FP13 : Conversion électromécanique et électromagnétique.

Entrées : - alimentation en énergie du moteur d'entraînement de carte (V_{motLC})

- alimentation en énergie de l'électroaimant (V_{EA})

Sorties: - capteur d'introduction carte (interrupteur mécanique)

- capteur de « Fin de lecture » (interrupteur mécanique)

4.14 FP14 : Production des signaux de commande du moteur de la barrière d'entrée.

Son rôle est de fournir l'énergie au moteur qui commande l'ouverture ou la fermeture de la barrière d'entrée . cette énergie sera contrôlée afin de gérer la vitesse de déplacement de la lisse.

Entrées : - signal logique de marche ou d'arrêt issu de FP11 (M/\bar{A})

- signal logique d'ouverture ou fermeture issu de FP11 (O/\bar{F})

- capteur infrarouge informant sur la position de la lisse (L5)

- capteurs de fin de course de la lisse (FCHe, FCBe)

Sortie : - Alimentation limitée en énergie du moteur de la barrière d'entrée (V_{motE})

4.15 FP15 : Conversion électromécanique.

Entrée : alimentation limitée en énergie du moteur de la barrière d'entrée (V_{motE})

Sorties : - capteurs de fin de course de la lisse (FCHe, FCBe)

- action mécanique sur la lisse de la barrière d'entrée (L6)

4.16 FP16 : Gestion d'une communication à distance côté gardien.

Son rôle est de permettre au gardien de communiquer avec l'usager. Si l'usager appelle le gardien, cela déclenche une sonnerie. Si le gardien le souhaite, il peut parler à l'usager en appuyant sur le bouton « Parler ». Dès qu'il relâche le bouton, il entend le son capté par le micro de l'interphone Usager. S'il n'y a plus de son pendant 20 secondes, la communication se coupe. Si le gardien le souhaite, il peut commander l'ouverture de la barrière par le bouton poussoir « Ouverture » (sans aucune restriction).

Entrées : - action sur le bouton poussoir « Ouverture » (L7)

- signal logique indiquant un appel venant de l'Usager (AppelG)

- action sur le bouton poussoir permettant d'activer le micro du gardien (L17).

- Son capté par le micro du gardien (L9a).

- Signal transportant le son soit de l'usager vers le gardien, soit du gardien vers l'usager (liaison half-duplex) (SIG).



- Sorties :
- signal logique, actif à l'état haut, de commande d'ouverture (OuvertureG)
 - signal logique indiquant que le son du micro du gardien est transmis vers le haut-parleur de l'utilisateur (GParle).
 - son émis par le haut-parleur qui est soit muet (par défaut), soit il émet la sonnerie appelant le gardien, soit il émet le son capté par le micro de l'utilisateur (L9b).

4.17 FP17 : Génération de messages vocaux à destination de l'utilisateur.

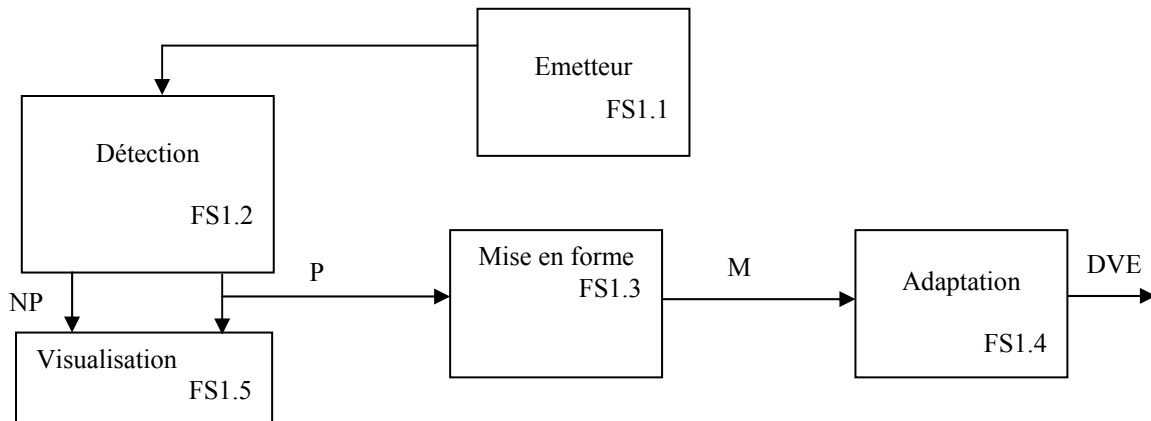
Des messages vocaux sont émis, à destination de l'utilisateur. Suite à une détection d'un véhicule à l'entrée du parking, un message demande à l'utilisateur d'utiliser sa carte, de taper son code ou d'appeler le gardien. Si l'accès est autorisé, un message l'invite à entrer sur le parking .



5. Etude fonctionnelle de degré 2

5.1 Etude fonctionnelle de FP1 : Détection d'un véhicule présent devant la barrière d'entrée

5.1.1 Schéma fonctionnel :



5.1.2 Définition des fonctions secondaires

- FS11 : Emetteur :

Génère un signal d'émission dont la fréquence devra être comprise entre 100 kHz et 150 kHz.

- FS12 : Détection :

Génère un signal électrique P (0V – 12V) permettant de savoir si il y a présence ou non d'un véhicule.

Entrée : interne au circuit intégré

Sorties :- signal logique actif à l'état bas si un véhicule est détecté (P)
- signal logique actif à l'état haut si un véhicule est détecté (NP)

- FS13 : Mise en forme :

Permet d'obtenir des informations stables (0V ou 12V) même lorsque le montage est en limite de détection.

Entrée : signal logique actif à l'état bas si un véhicule est détecté (P)

Sortie : signal logique actif à l'état bas en cas de détection (M)

- FS14 : Adaptation :

Permet de rendre compatible le signal M avec une logique de type TTL.

Entrée : signal logique (M)

Sortie : signal logique compatible TTL, actif à l'état haut en cas de présence d'un véhicule (DVE)

- FS15 : Visualisation :

Permet la visualisation de l'information de détection sur 2 leds :

Entrée : - signaux logiques provenant de FS12 (P et NP)

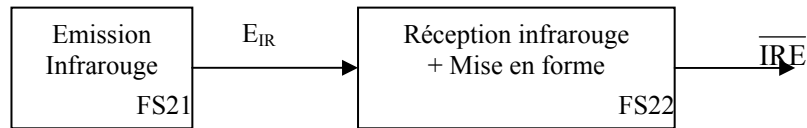
Sortie : - informations visuelles sur la présence ou non d'un véhicule (Led Verte ⇒ absence de détection / Led Rouge ⇒ présence de véhicule)



5.2 Etude fonctionnelle de FP2 : Détection d'un véhicule présent sous la lisse d'entrée

5.2.1 Schéma fonctionnel :

Barrière infrarouge réalisée par deux modules complémentaires « Emetteur-Recepteur ».



5.2.2 Définition des fonctions secondaires

- FS21 : Emission infrarouge :

Cette fonction est réalisée par le module Emetteur SPX1189-002 (Radiospares).

Entrée : passage d'un véhicule

Sortie : signal infrarouge (E_{IR})

- FS22 : Réception infrarouge et mise en forme :

Cette fonction est réalisée par le module Récepteur SPX1189-003 (Radiospares).

Entrée : signal infrarouge (E_{IR})

Sortie : signal logique informant d'une présence d'un véhicule sous la lisse d'entrée (\overline{IRE})

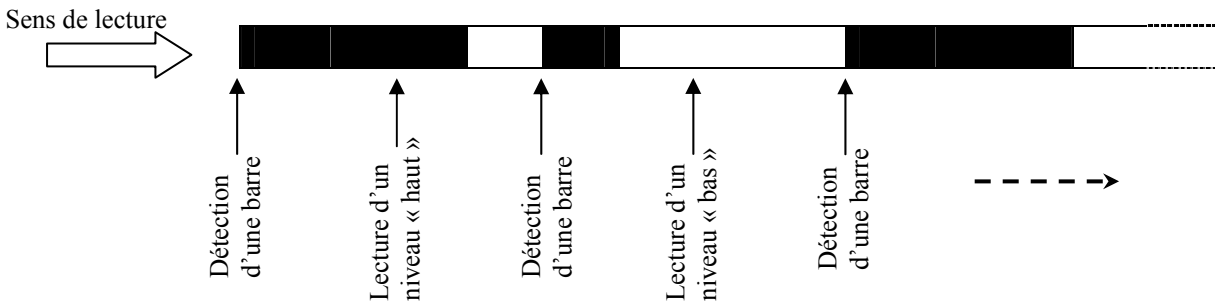
5.3 Etude fonctionnelle de FP3 : Détection d'un véhicule présent sous la lisse de sortie Idem à FP2 (Sortie : \overline{IRS})

5.4 Etude fonctionnelle de FP4 : Détection d'un véhicule présent devant la barrière de sortie Idem à FP1 (Sortie : DVS)

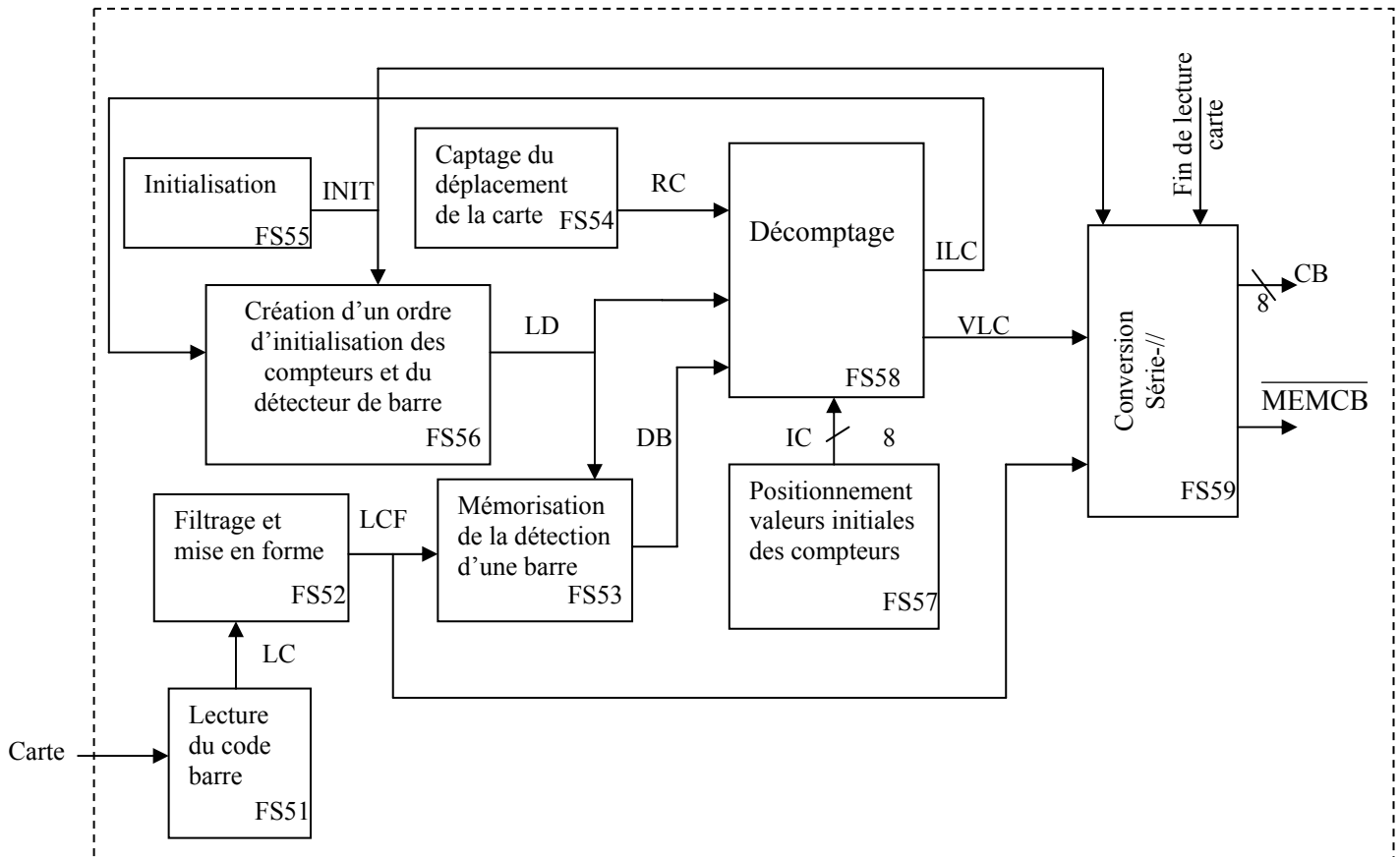


5.5 Etude fonctionnelle de FP5 : Acquisition de la demande d'accès par carte

Une fourche optique, placée à cheval sur une roue crantée solidaire à l'axe du moteur d'entraînement de la carte, permet de fournir des impulsions (signal carré) qui seront comptées et qui renseigneront sur la position de la carte à l'intérieur du lecteur, et cela à partir de la détection d'une barre. La détection d'une barre s'effectue par l'intermédiaire d'un capteur réflexif infrarouge. La lecture du niveau logique issu d'une mesure d'une barre large ou étroite doit s'effectuer à mi-chemin entre deux détections de barre



5.5.1 Schéma fonctionnel





5.5.2 Définition des fonctions secondaires

- FS51 : Lecture du code barre :

Un capteur optique (HOA1405) va lire le code barre imprimé sur la carte.

Entrée : lecture optique d'une barre ou d'un espace

Sortie : signal logique, résultat de la lecture d'une barre ou d'un espace (LC).

- FS52 : Filtrage et mise en forme :

Entrée : signal logique, résultat de la lecture d'une barre ou d'un espace (LC).

Sortie : signal logique filtré et mis en forme (LCF)

- FS53 : Mémorisation de la détection d'une barre :

A chaque détection d'une barre, cet événement est mémorisé et validera le comptage des impulsions issues du déplacement de la carte à l'intérieur du lecteur.

Entrées : - signal logique filtré et mis en forme (LCF)

- signal logique d'initialisation du détecteur de barre et des compteurs (LD)

Sortie : signal logique représentatif d'une détection d'une barre avec mémorisation de l'événement (DB)

- FS54 : Captage du déplacement de la carte :

Entrée : lecture optique du déplacement de la carte

Sortie : signal d'horloge carré dont la période représente un déplacement linéaire d'une distance « d » de la carte (RC).

- FS55 : Initialisation :

Cette fonction n'intervient qu'à la mise sous tension du système.

Sortie : impulsion brève d'ordre d'initialisation (INIT)

- FS56 : Création d'un ordre d'initialisation des compteurs et du détecteur de barre :

A la mise sous tension ou suite au décodage d'un bit du code à barre, réinitialise FS53 et FS58 pour être prêts à la lecture de la prochaine barre.

Entrée : - : impulsion brève d'ordre d'initialisation (INIT)

- signal logique d'information de fin de décodage d'un bit (ILC)

Sortie : signal logique d'ordre d'initialisation du détecteur de barre et des compteurs (LD)

- FS57 : Positionnement valeurs initiales des compteurs

Le contenu des compteurs est représentatif du déplacement de la carte à l'intérieur du lecteur, entre l'instant où une barre est détectée et celui où la lecture du code est effectuée

Entrée : action manuelle sur des microswitch

Sortie : signal numérique sur 8 bits correspondant à la donnée binaire à charger dans les compteurs.



- FS58 : Décomptage :

A partir de la détection d'une barre, les compteurs décrémentent au rythme d'avancement de la carte. L'arrivée à « 0 » des compteurs correspond à l'instant de validation de lecture du code barre.

Entrées : - signal d'horloge carré dont la période représente un déplacement linéaire d'une distance « d » de la carte (RC)
 - signal logique d'ordre d'initialisation du détecteur de barre et des compteurs (LD)
 - signal logique représentatif d'une détection d'une barre avec mémorisation de l'événement (DB)
 - signal numérique sur 8 bits correspondant à la donnée binaire à charger dans les compteurs (IC).

Sorties : - signal logique d'ordre de validation de la lecture du code barre (VLC)
 - signal logique d'information de fin de décodage d'un bit (ILC)

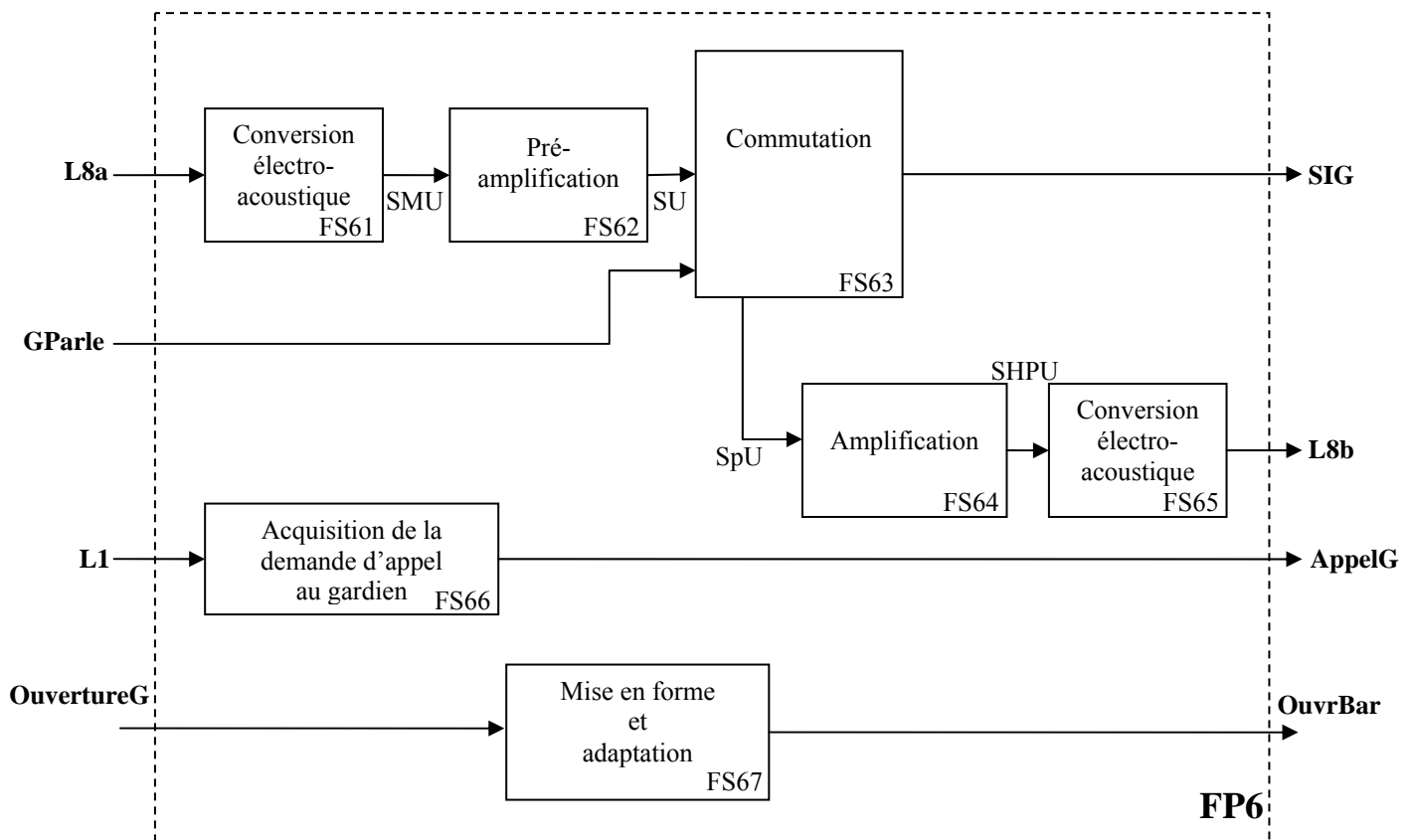
- FS59 : Conversion série-// :

Entrées : - impulsion brève d'ordre d'initialisation (INIT)
 - signal logique filtré, résultat de la lecture d'une barre ou d'un espace (LCF)
 - signal logique d'ordre de validation de la lecture du code barre (VLC)
 - information de « fin de lecture carte » (action mécanique).

Sorties : - signal numérique sur 8 bits représentatif du décodage de la carte (CB)
 - signal logique d'ordre de mémorisation du code (MEMCD).

5.6 Etude fonctionnelle de FP6 : Gestion de la communication côté usager

5.6.1 Schéma fonctionnel





5.6.2 Définition des fonctions secondaires

- FS61 : Conversion électro-acoustique (microphone) :

Transforme un signal acoustique en signal électrique de faible amplitude, image du son capté.

Entrée : - son émis par l'utilisateur (L8a)

Sortie : - signal électrique analogique (faible amplitude) porteur de l'information du son émis par l'utilisateur (SMU).

- FS62 : Prémplification :

Mise à niveau par amplification du signal de faible amplitude issu du micro en un signal d'amplitude suffisante, prêt à être amplifié.

Entrée : - signal électrique analogique (faible amplitude) porteur de l'information du son émis par l'utilisateur (SMU).

Sortie : - signal électrique analogique (amplitude 1V_{càc}) porteur de l'information du son émis par l'utilisateur (SU).

- FS63 : Commutation :

Le signal SIG est porteur du son soit de l'utilisateur vers le gardien, soit du gardien vers l'utilisateur .FS63 permet d'aiguiller soit SIG vers le Haut parleur, soit le signal du micro de l'utilisateur vers SIG.

Entrées : - signal électrique analogique (amplitude 1V_{càc}) transportant le son soit de l'utilisateur vers le gardien, soit du gardien vers l'utilisateur (liaison half-duplex) (SIG).

- signal logique indiquant que le son du micro du gardien est transmis vers le haut-parleur de l'utilisateur (GParle).

- signal électrique analogique (amplitude 1V_{càc}) porteur de l'information du son émis par l'utilisateur (SU).

Sortie : - signal électrique analogique (amplitude 1V_{càc}) porteur de l'information du son venant du gardien (SpU).

- FS64 : Amplification :

Amplification du signal porteur du son venant du gardien pour lui donner la puissance nécessaire pour être transmis au haut-parleur.

Entrée : - signal électrique analogique (amplitude 1V_{càc}) porteur de l'information du son venant du gardien (SpU).

Sortie : - signal électrique analogique porteur de l'information du son venant du gardien (SHPU).

- FS65 : conversion électro-acoustique (haut parleur) :

Transforme un signal électrique en signal acoustique (du son).

Entrée : - signal électrique analogique porteur de l'information du son venant du gardien (SHPU).

Sortie : - signal acoustique transmettant la communication venant du gardien (L8b).

- FS66 : Acquisition de la demande d'appel au gardien (Bouton poussoir) :

Capte la demande d'appel à envoyer vers l'interphone du gardien.

Entrée : - Appui tactile sur le Bouton poussoir (L1).

Sortie : - signal électrique logique indiquant la demande d'appel (AppelG).

- FS67 : Mise en forme et adaptation :

Suite à la transmission filaire de l'ordre d'ouverture par le gardien , de son poste vers la borne située à l'entrée du parking, une mise en forme du signal s'impose.

Entrée : signal logique commandant l'ouverture de la barrière depuis l'interphone du gardien (OuvertureG).

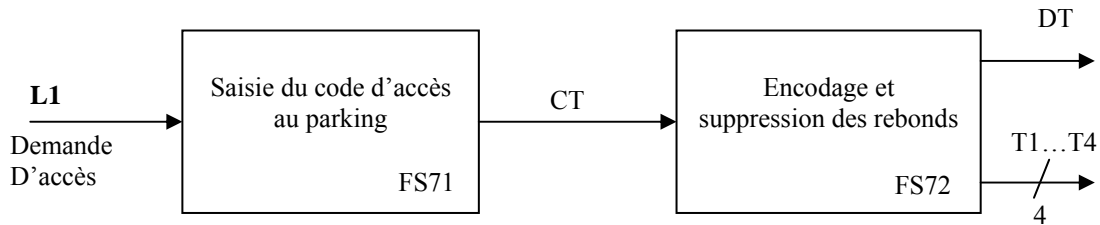
Sortie : signal logique, compatible TTL, de commande d'ouverture (OuvrBar)



5.7 Etude fonctionnelle de FP7 : Acquisition de la demande d'accès par saisie du code

Cette fonction traduit l'action de l'utilisateur sur le clavier en informations numériques destinées au microcontrôleur.

5.7.1 Schéma fonctionnel



5.7.2 Définition des fonctions secondaires

- FS71 : Saisie du code d'accès au parking :

Entrée : Appui tactile sur le clavier venant de l'utilisateur (L1)

Sortie : informations électriques du code de la touche activée (CT).

- FS72 : Encodage et suppression des rebonds :

Entrées : informations électriques du code de la touche activée (CT).

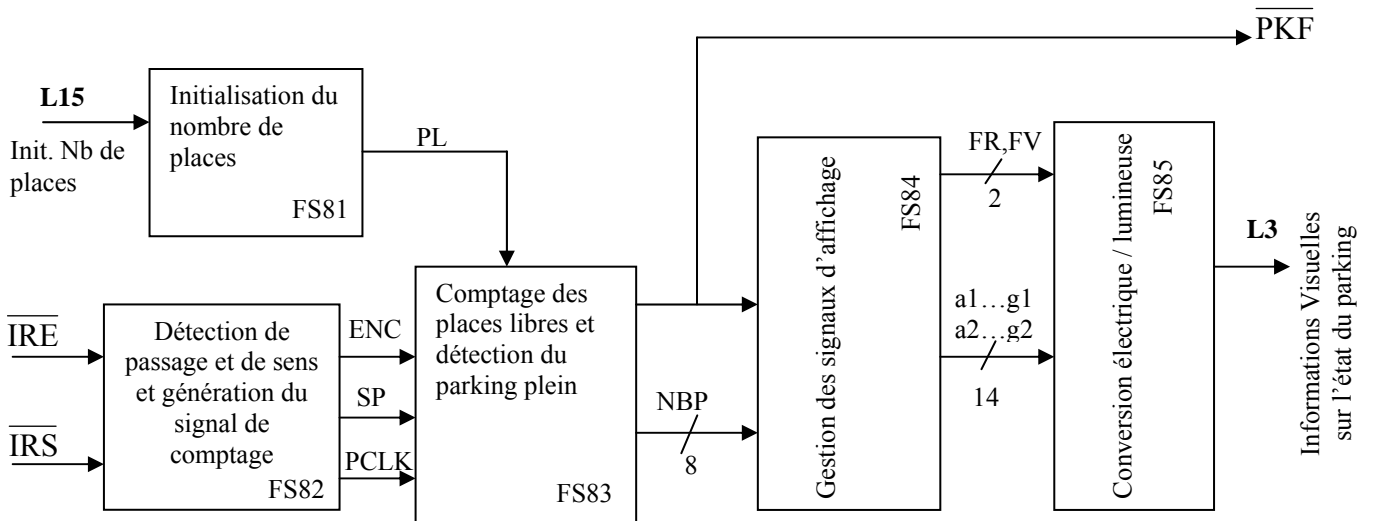
Sorties : - signaux numériques codés de la touche sélectionnée par l'utilisateur (T1...T4)

- signal logique indiquant qu'il y a appui sur une touche du clavier (DT)

5.8 Etude fonctionnelle de FP8 : Comptage et affichage du nombre de places disponibles

En fonction des entrées/sorties des véhicules, l'utilisateur est informé visuellement du nombre de places disponibles. Des feux bicolores (rouge et vert) préviennent si le parking est complet.

5.8.1 Schéma fonctionnel :





5.8.2 Définition des fonctions secondaires

- FS81 : Initialisation du nombre de places :

Des micro-interrupteurs et un bouton poussoir permettent au gardien d'initialiser le système en prenant en compte le nombre de places disponibles sur le parking.

Entrée : actions manuelles exécutées par le gardien (L15).

Sortie : signal logique d'initialisation de la valeur de comptage (PL)

- FS82 : Détection de passage et de sens, et génération du signal de comptage :

Entrées : - signal logique informant d'une présence d'un véhicule sous la lisse d'entrée (\overline{IRE})

- signal logique informant d'une présence d'un véhicule sous la lisse de sortie (\overline{IRS})

Sorties : - signal logique informant qu'un véhicule est entré ou sorti du parking (ENC)

- signal logique informant le sens de passage du véhicule (SP)

- signal d'horloge qui prend en compte une entrée ou une sortie d'un véhicule (PCLK)

- FS83 : Comptage des places libres et détection du parking plein :

Entrées : - signal logique d'initialisation de la valeur de comptage (PL)

- signal logique informant qu'un véhicule est entré ou sorti du parking (ENC)

- signal logique informant le sens de passage du véhicule (SP)

- signal d'horloge qui prend en compte une entrée ou une sortie d'un véhicule (PCLK)

Sorties : - signal numérique sur 8 bits représentatif du nombre de places encore disponibles (NBP)

- signal logique informant que le parking est complet (PKF).

- FS84 : Gestion des signaux d'affichage :

Entrées : - signal numérique sur 8 bits représentatif du nombre de places encore disponibles (NBP)

- signal logique informant que le parking est complet (\overline{PKF}).

Sorties : - signaux logiques de commande des afficheurs 7 segments à LED (a1...g1, a2...g2)

- signaux logiques de commande des feux bicolores (FR, FV)

- FS85 : Conversion Electrique/Lumineuse :

Entrées : - signaux logiques de commande des afficheurs 7 segments à LED (a1...g1, a2...g2)

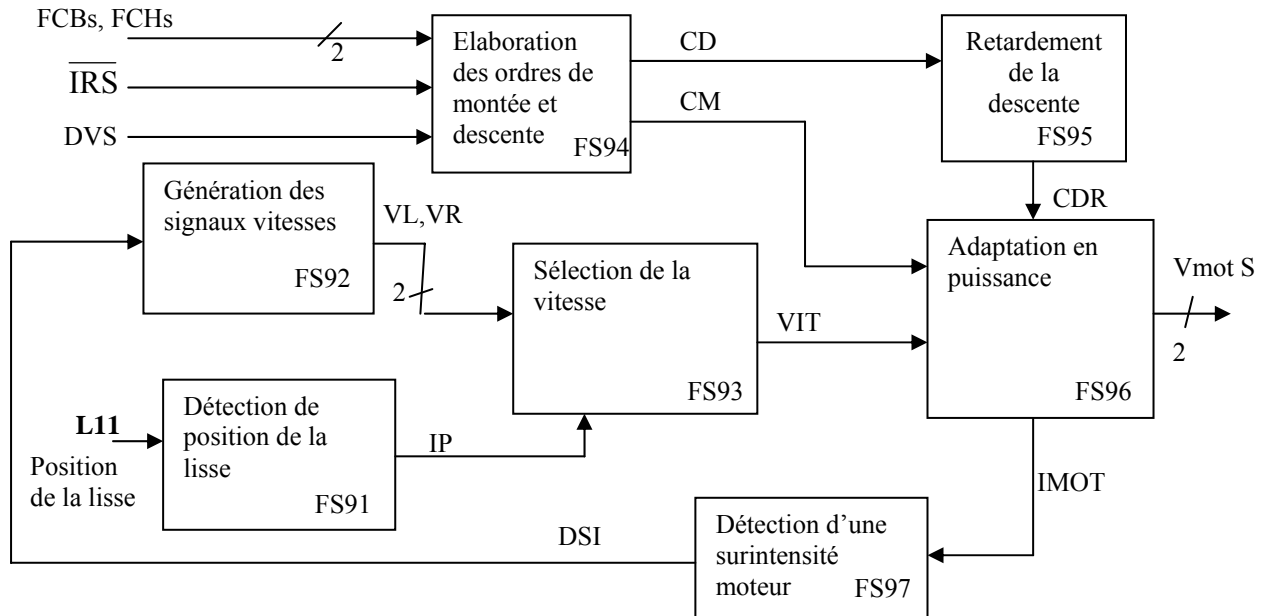
- signaux logiques de commande des feux bicolores (FR, FV)

Sortie : Informations Visuelles sur l'état du parking (L3).



5.9 Etude fonctionnelle de FP9 : Production des signaux de commande du moteur de la barrière de sortie

5.9.1 Schéma fonctionnel :



5.9.2 Définition des fonctions secondaires

- FS91 : Détection de position de la lisse :

Afin que la barrière ralentisse pour que celle-ci actionne les capteurs de fin de course en douceur et ainsi ne pas les détériorer, un signal électrique indiquera si la barrière se trouve à proximité d'un capteur de fin de course.

Cette fonction est réalisée par un capteur de position rotatif.

Entrée : position angulaire de l'axe de rotation de la barrière (L11)

Sortie : signal logique indiquant que la barrière est proche d'un capteur de fin de course (IP)

- FS92 : Génération des signaux vitesses

Cette fonction génère deux signaux logiques de même fréquence (1kHz), mais de rapport cyclique différent (~20% et 40%)

Entrée : signal logique interrompant tout signal de vitesse si une surintensité est détectée (DSI).

Sorties : signaux carrés représentatifs des deux vitesses possibles de déplacement de la lisse (VL, VR).

- FS93 : Sélection de la vitesse :

Entrées : - signaux carrés représentatifs des deux vitesses possibles de déplacement de la lisse (VL, VR)

- signal logique indiquant que la barrière est proche d'un capteur de fin de course (IP)

Sortie : signal carré \Rightarrow VL ou VR en fonction de IP (VIT)

- FS94 : Elaboration des ordres de montée et descente :

L'autorisation de monter ou descendre la lisse de la barrière de sortie dépend de l'état des capteurs de fin de course, du signal indiquant la présence d'un véhicule devant la barrière et d'un signal indiquant le franchissement du faisceau infrarouge placé sous la lisse.

Entrées : - signaux logiques indiquant que la barrière a atteint sa position haute maximum ou basse minimum (FCHs, FCBs)



- signal logique informant d'une présence d'un véhicule sous la lisse de sortie (\overline{IRS})
- signal logique informant qu'un véhicule souhaite sortir du parking (DVS)

Sorties : - signal logique donnant l'ordre d'ouverture de la barrière (CM)
- signal logique donnant l'ordre de fermeture de la barrière (CD)

- FS95 : Retardement de la descente :

Entrée : - signal logique donnant l'ordre de fermeture de la barrière (CD)

Sortie : - signal logique donnant l'ordre retardé de fermeture de la barrière (CDR)

- FS96 : Adaptation en puissance :

Cette fonction fournit l'énergie nécessaire au moteur afin qu'il actionne la barrière, et fournit également un signal image du courant traversant le moteur pour détecter les anomalies éventuelles.

Entrées : - signal logique donnant l'ordre d'ouverture de la barrière (CM)

- signal logique donnant l'ordre retardé de fermeture de la barrière (CDR)

- signal carré de fréquence 1kHz à rapport cyclique variable (VIT)

Sorties : - tension rectangulaire de rapport cyclique variable (VmotS)

- tension électrique image du courant consommé par le moteur (IMOT)

- FS97 : Détection d'une surintensité moteur :

Entrée : tension électrique image du courant consommé par le moteur (IMOT)

Sortie : signal logique interrompant tout signal de vitesse si une surintensité est détectée (DSI)

5.10 Etude fonctionnelle de FP10 : Conversion électromécanique

Pas de décomposition de degré 2 (réalisée par un moteur CC)



5.11 Etude fonctionnelle de FP11 : Gestion de la demande et autorisation d'accès

Unité centrale de traitement des données réalisée autour d'un microcontrôleur 68HC11
(pas de décomposition en fonctions secondaires de degré 2)

Organisation matérielle des ports du 68HC11 :

PORT	Entée ou Sortie	Définition du signal	Fonctions associées
PA0	E	\overline{IRE}	FP2
PA1	E	FCBe	FP14
PA2	E	FCHe	FP14
PA4	S	M/\overline{A}	FP14
PA5	S	O/\overline{F}	FP14
PA6	S	M1	FP17
PA7	S	M2	FP17
PC0	E	CB0	FP5
PC1	E	CB1	FP5
PC2	E	CB2	FP5
PC3	E	CB3	FP5
PC4	E	CB4	FP5
PC5	E	CB5	FP5
PC6	E	CB6	FP5
PC7	E	CB7	FP5
PE0	E	T1	FP7
PE1	E	T2	FP7
PE2	E	T3	FP7
PE3	E	T4	FP7
PE4	E	DVE	FP1
PE5	E	\overline{PKF}	FP8
PE7	E	OuvrBar	FP6

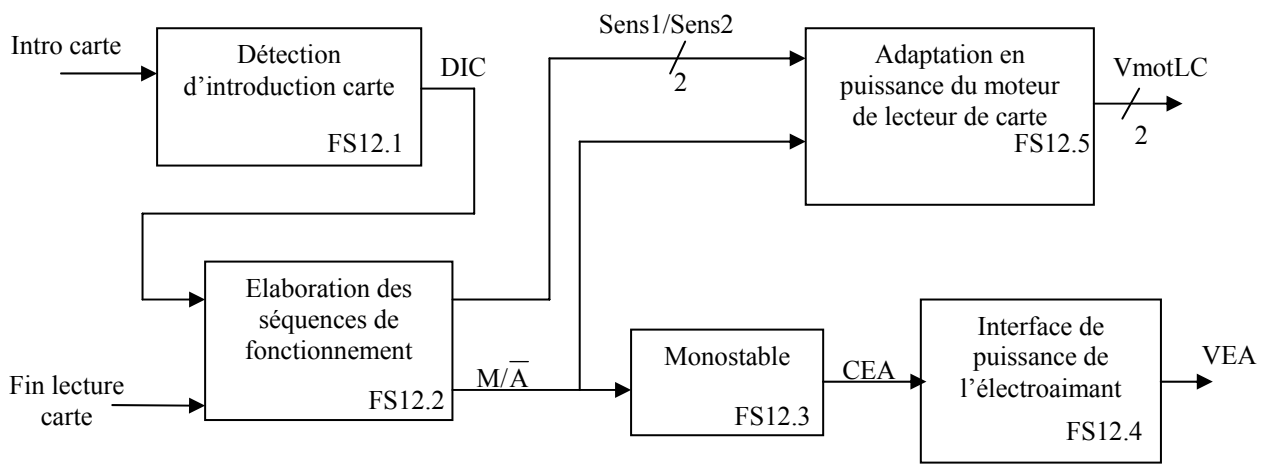
Interruption			
\overline{IRQ} (ou PD3)	E	\overline{MEMCB}	FP5
\overline{XIRQ} (ou PD4)	E	DT	FP7



5.12 Etude fonctionnelle de FP12 : Commande du déplacement de la carte à l'intérieur du lecteur

La carte est détectée par des capteurs mécaniques. Suite à cette détection, un électroaimant permet l'ouverture momentanée de la trappe d'intrusion carte (≈ 2 secondes), le moteur d'entraînement de la carte est aussi activé. Arrivée en bout de course, un capteur mécanique détecte la carte et provoque l'inversion de sens du moteur d'entraînement afin de l'éjecter.

5.12.1 Schéma fonctionnel :



5.12.2 Définition des fonctions secondaires

- FS12.1 : Détection « d'introduction carte »

Entrée : information de « Introduction carte » (action mécanique)

Sortie : impulsion positive suite à la détection de la carte (DIC)

- FS12.2 : Elaboration des séquences de fonctionnement :

Entrées :- impulsion positive suite à la détection de la carte (DIC)

- information de « fin de lecture carte » (action mécanique)

Sorties :- signal logique donnant l'ordre d'avaler la carte (sens1)

- signal logique donnant l'ordre d'éjecter la carte (sens2)

- signal logique d'ordre de marche ou d'arrêt (M/\bar{A})

- FS12.3 : Monostable :

Entrée : signal logique d'ordre de marche ou d'arrêt (M/\bar{A})

Sortie : signal logique de commande momentanée de l'électroaimant

- FS12.4 : Interface de puissance de l'électroaimant

Entrée : signal logique de commande momentanée de l'électroaimant (CEA)

Sortie : tension électrique alimentant l'électroaimant (VEA)



- FS12.5 : Adaptation en puissance du moteur de lecteur de carte :

Entrées :- signal logique donnant l'ordre d'avalier la carte (sens1)

- signal logique donnant l'ordre d'éjecter la carte (sens2)

- signal logique d'ordre de marche ou d'arrêt (M/ \bar{A})

Sortie : tension électrique alimentant le moteur du lecteur de carte (VmotLC)

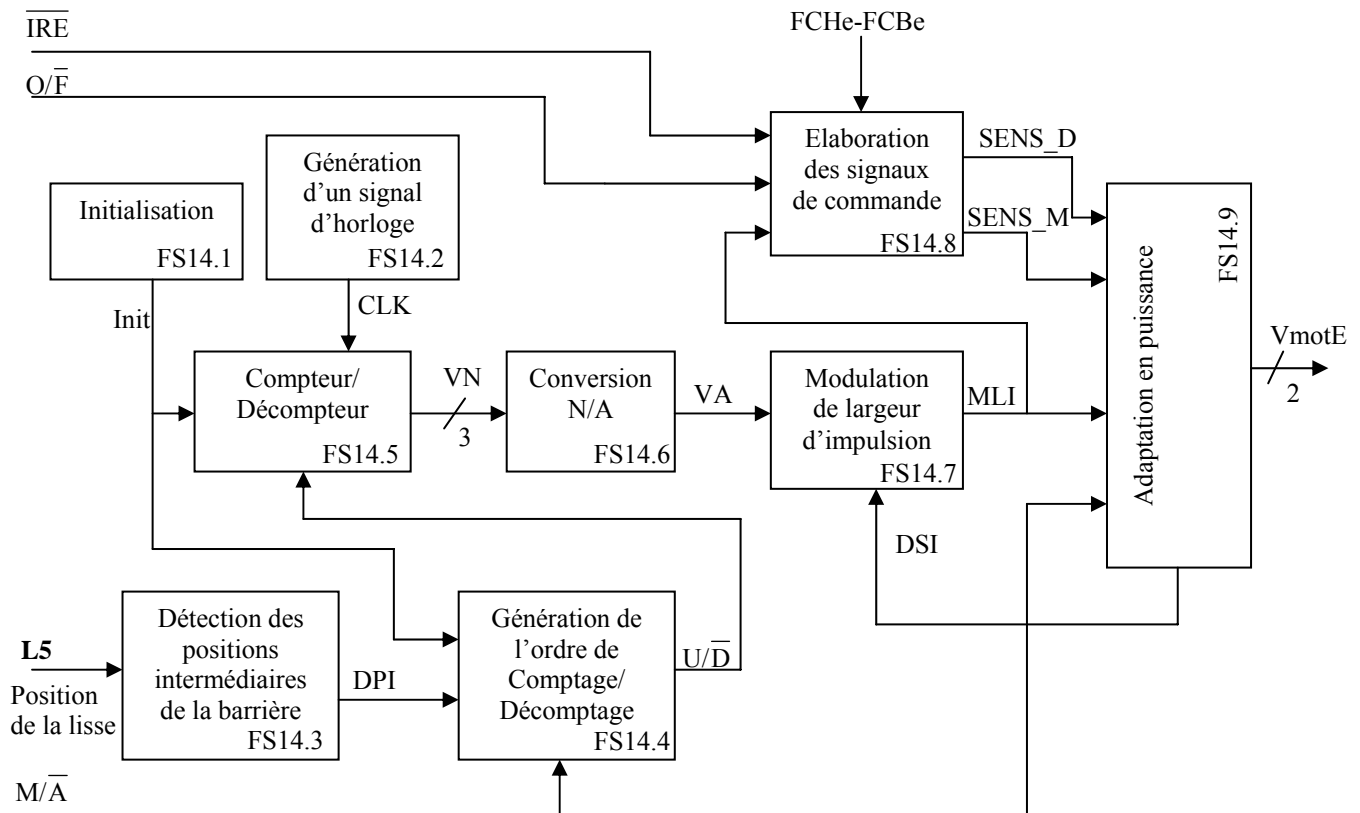
5.13 Etude fonctionnelle de FP13 : Conversion électromécanique et électromagnétique :

Pas de décomposition de degré 2 (réalisée par un moteur CC et un électroaimant)

5.14 Etude fonctionnelle de FP14 : Production des signaux de commande du moteur de la barrière d'entrée

Cette fonction commande l'alimentation du moteur de la barrière d'entrée. Elle gère également sa vitesse en passant d'abord par une phase d'accélération jusqu'à une vitesse maximale. Puis, suite à une détection de proximité d'un capteur de fin de course, une phase de décélération est engagée jusqu'à atteindre une vitesse minimale. Les positions proches des capteurs de fin de course (appelées positions intermédiaires) sont détectées à l'aide d'une fourche optique et d'un disque solidaire à l'axe du moteur percé de deux encoches.

5.14.1 Schéma fonctionnel :





5.14.2 Définition des fonctions secondaires

- FS14.1 : Initialisation :

Cette fonction n'intervient qu'à la mise sous tension du système.

Sortie : impulsion brève d'ordre d'initialisation (Init)

- FS14.2 : Génération d'un signal d'horloge :

Sortie : signal carré dont la fréquence sera liée au temps d'accélération et décélération du moteur (CLK)

- FS14.3 : Détection des positions intermédiaires de la barrière (à partir du capteur optique HOA2001):

Entrée : position angulaire de la lisse (L5)

Sortie : signal logique informant d'une détection d'une position intermédiaire (DPI)

- FS14.4 : Génération de l'ordre de comptage ou décomptage :

Entrées : - signal logique informant d'une détection d'une position intermédiaire (DPI)

- impulsion brève d'ordre d'initialisation (Init)

- signal logique de marche ou d'arrêt issu de FP11 (M/\bar{A})

Sortie : signal logique ordonnant un comptage (accélération) ou un décomptage (décélération) (U/\bar{D})

- FS14.5 : Compteur/Décompteur :

Entrées : - impulsion brève d'ordre d'initialisation (Init)

- signal carré dont la fréquence sera liée au temps d'accélération et décélération du moteur (CLK)

- signal logique ordonnant un comptage (accélération) ou un décomptage (décélération) (U/\bar{D})

Sortie : signal numérique sur 3 bits représentatif de la consigne de vitesse (VN)

- FS14.6 : Conversion Analogique/Numérique :

Entrée : signal numérique sur 3 bits représentatif de la consigne de vitesse (VN)

Sortie : signal analogique représentatif de la consigne de vitesse (VA)

- FS14.7 : Modulation de largeur d'impulsion :

Entrées : - signal analogique représentatif de la consigne de vitesse (VA)

- signal analogique image du courant dans le moteur (IC)

Sortie : signal rectangulaire de fréquence fixe et de rapport cyclique variable dépendant de la consigne de vitesse (MLI)

- FS14.8 : Elaboration des signaux de commande

Entrées : - signal logique informant d'une présence d'un véhicule sous la lisse d'entrée (\bar{IRE})

- signaux logiques indiquant que la barrière a atteint sa position haute maximum ou basse minimum (FCHe, FCBe)

- signal logique de demande d'ouverture ou de fermeture (O/\bar{F})

- signal rectangulaire de rapport cyclique variable dépendant de la consigne de vitesse (MLI)

Sorties : - signal logique commandant la fermeture de la barrière (SENS_D)

- signal logique commandant l'ouverture de la barrière (SENS_M)



- FS14.9 : Adaptation en puissance :

Entrées : - signal logique commandant la fermeture de la barrière (SENS_D)
 - signal logique commandant l'ouverture de la barrière (SENS_M)
 - signal rectangulaire de rapport cyclique variable dépendant de la consigne de vitesse (MLI)
 - signal logique de marche ou d'arrêt issu de FP11 (M/A)

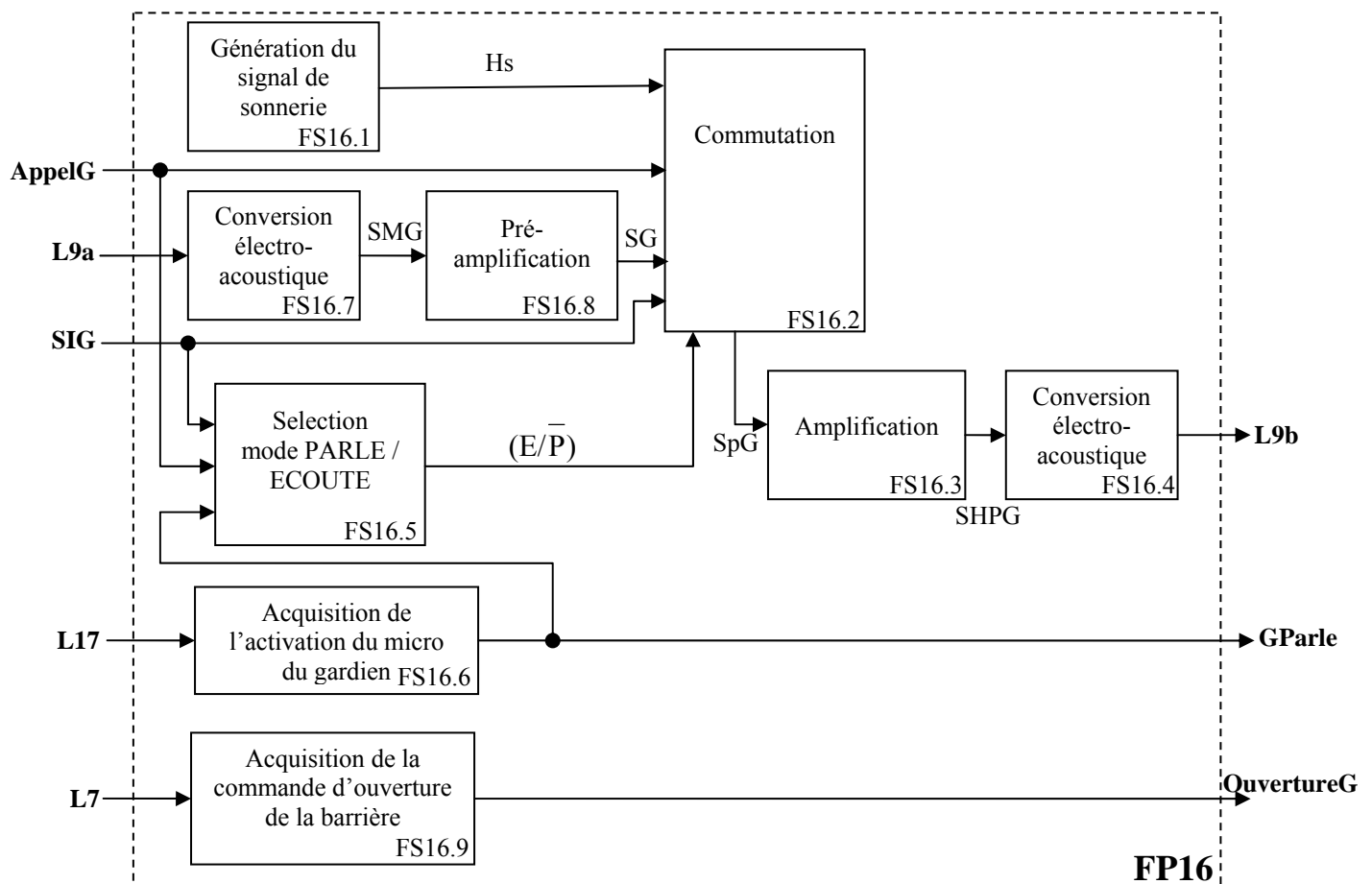
Sorties : - tension rectangulaire de rapport cyclique variable (VmotS)
 - signal analogique image du courant dans le moteur (IC)

5.15 Etude fonctionnelle de FP15 : Conversion électromécanique :

Pas de décomposition de degré 2 (réalisée par un moteur CC)

5.16 Etude fonctionnelle de FP16 : Gestion d'une communication à distance côté gardien

5.16.1 Schéma fonctionnel :





5.16.2 Définition des fonctions secondaires

- FS16.1 : Génération du signal de sonnerie :

Génération d'un signal logique périodique permettant l'émission d'une sonnerie, s'il est envoyé vers l'amplificateur puis le haut parleur.

Entrée : - aucune.

Sortie : - signal logique périodique (...) permettant l'émission d'une sonnerie dans le Haut-parleur (Hs).

- FS16.2 : Commutation :

Le signal SIG est porteur du son soit de l'utilisateur vers le gardien, soit du gardien vers l'utilisateur. FS16.2 permet d'aiguiller soit SIG, soit rien (mode MUET, par défaut ou après 20s sans communication) soit le signal de sonnerie vers le Haut parleur, soit le signal du micro du gardien vers SIG.

Entrées : - signal électrique analogique (amplitude 1V càc) transportant le son soit de l'utilisateur vers le gardien, soit du gardien vers l'utilisateur (liaison half-duplex) (SIG).

- signal électrique logique indiquant la demande d'appel (AppelG).

- signal électrique analogique (amplitude 1Vcàc) porteur de l'information du son émis par le gardien (SG).

- signal logique périodique permettant l'émission d'une sonnerie dans le Haut-parleur (Hs).

- signal logique basculant entre le mode PARLE (actif à 0)(micro gardien vers HP usager) et le mode ECOUTE (actif à 1) (micro usager vers HP gardien) (E/P).

Sortie : - signal électrique analogique (amplitude 1Vcàc) porteur de l'information de la sonnerie ou du son venant de l'utilisateur (SpG).

- FS16.3 : Amplification :

Amplification du signal porteur du son de la sonnerie ou venant de l'utilisateur pour lui donner la puissance nécessaire pour être transmis au haut-parleur.

Entrée : - signal électrique analogique (amplitude 1Vcàc) porteur de l'information du son venant de la sonnerie ou de l'utilisateur (SpG).

Sortie : - signal électrique analogique porteur de l'information du son venant de la sonnerie ou de l'utilisateur (SHPG).

- FS16.4 : conversion électro-acoustique (haut parleur) :

Transforme un signal électrique en signal acoustique (du son).

Entrée : - signal électrique analogique porteur de l'information du son venant de la sonnerie ou de l'utilisateur (SHPG).

Sortie : - signal acoustique transmettant la sonnerie ou la communication venant de l'utilisateur (L9b).

- FS16.5 : Sélection mode PARLE/ECOUTE :

Permet de choisir entre le mode PARLE (micro gardien vers HP usager) et le mode ECOUTE (micro usager vers HP gardien) suivant que le gardien active son micro, qu'il soit appelé par l'utilisateur ou qu'il n'y a pas de signal son depuis au moins 10 secondes.

Entrées : - signal électrique analogique (amplitude 1V càc) transportant le son soit de l'utilisateur vers le gardien, soit du gardien vers l'utilisateur (liaison half-duplex) (SIG).

- signal électrique logique indiquant la demande d'appel (AppelG).

- signal logique indiquant que le son du micro du gardien est transmis vers le haut-parleur de l'utilisateur (GParle).

Sortie : - signal logique basculant entre le mode PARLE (actif à 0)(micro gardien vers HP usager) et le mode ECOUTE (actif à 1) (micro usager vers HP gardien) (E/P).



- FS16.6 : Acquisition de l'activation du micro du gardien (Bouton poussoir) :

Capte la commande d'activation du micro du gardien vers l'interphone de l'utilisateur.

Entrée : - Appui tactile sur le Bouton poussoir (L17).

Sortie : - signal logique indiquant que le son du micro du gardien est transmis vers le haut-parleur de l'utilisateur (GParle).

- FS16.7 : Conversion électro-acoustique (microphone) :

Transforme un signal acoustique en signal électrique de faible amplitude, image du son capté.

Entrée : - son émis par le gardien (L9a)

Sortie : - signal électrique analogique (faible amplitude) porteur de l'information du son émis par le gardien (SMG).

- FS16.8 : Préalimentation :

Mise à niveau par amplification du signal de faible amplitude issu du micro en un signal d'amplitude suffisante, prêt à être amplifié.

Entrée : - signal électrique analogique (faible amplitude) porteur de l'information du son émis par le gardien (SMG).

Sortie : - signal électrique analogique (amplitude 1V_{càc}) porteur de l'information du son émis par le gardien (SG).

- FS16.9 : Acquisition de la commande d'ouverture de la barrière (Bouton poussoir) :

Capte la commande d'ouverture de la barrière par le gardien.

Entrée : - Appui tactile sur le Bouton poussoir (L7).

Sortie : - signal logique commandant l'ouverture de la barrière depuis l'interphone du gardien (OuvertureG).

5.17 Etude fonctionnelle de FP17 : Génération de messages vocaux

Cette fonction n'a pas été développée.

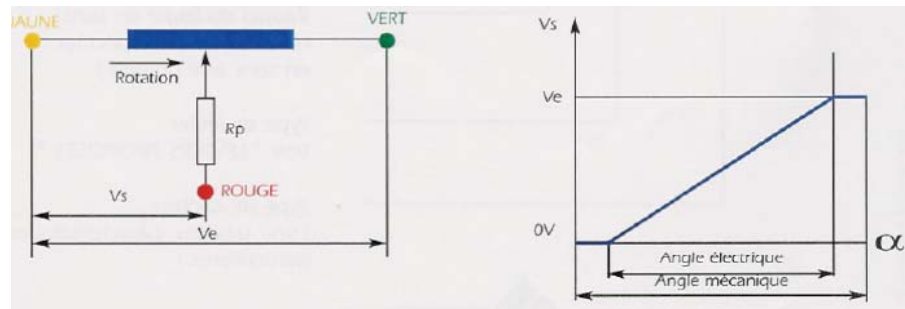


Capteurs et actionneurs

Capteur inductif : réalisation d'une bobine de 15 cm de diamètre
(60 spires avec fil de 40/100 $\Rightarrow \approx 1\text{mH}$)

Capteur de position rotatif :

Détecteur rotatif chez Radiospares (24,72€ HT)



Barrière infrarouge :

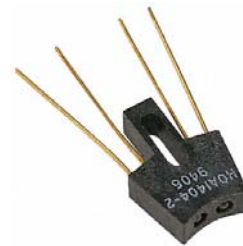
Module émetteur SPX1189-002 chez Radiospares (12,44€ HT)

Module récepteur SPX1189-003 chez Radiospares (20,28€ HT)



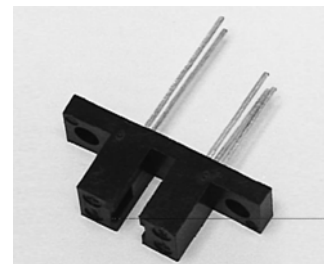
Capteur à réflexion infrarouge :

Capteur réflexif HOA1405-002 chez Radiospares
(3,58€ HT)



Fourche optique :

Capteur optique HOA2001 chez Electronique-Diffusion
(6,27€ HT)



Motoréducteur :

Motoréducteur RM10 chez Electronique-Diffusion (58,00€ HT)



Travail demandé



1. Constitution des groupes de travail :

L'étude du système est répartie entre 6 groupes de travail (binôme).

Groupe n°1 :

- FP1 : détection d'un véhicule présent devant la barrière d'entrée
- FP5 : acquisition de la demande d'accès par carte

Groupe n°2 :

- FP2 : détection d'un véhicule sous la lisse d'entrée
- FP4 : détection d'un véhicule présent devant la barrière de sortie
- FP8 : comptage et affichage du nombre de places disponibles

Groupe n°3 :

- FP3 : Détection d'un véhicule présent sous la lisse de sortie
- FP9 : Production des signaux de commande du moteur de la barrière de sortie
- FP10 : conversion électromécanique

Groupe 4 :

- FP7 : acquisition de la demande d'accès par saisie du code
- FP12 : commande du déplacement de la carte à l'intérieur du lecteur
- FP13 : conversion électromécanique et électromagnétique

Groupe 5 :

- FP14 : Production des signaux de commande du moteur de la barrière d'entrée
- FP15 : conversion électromécanique

Groupe 6 :

- FP6 : Gestion de la communication côté « usager »
- FP16 : Gestion d'une communication à distance côté « gardien »



2. Travail commun à tous les groupes :

- Connaissance fonctionnelle jusqu'au 1er degré du système
- Etude qualitative de vos fonctions
- Etude quantitative de vos fonctions
- Réalisation des maquettes
- Validation expérimentale : tests et relevés "commentés" de mesures (oscillogrammes etc.)
- Montage de l'ensemble sur un support tout en permettant au jury un contrôle aisé des cartes.
- Rédaction d'un rapport comprenant les parties précédentes (voir proposition de plan du rapport au paragraphe 4).
- Préparer un exposé oral en tenant compte de la grille d'évaluation qui vous sera présentée.

Conseil : La présentation fonctionnelle jusqu'au 1^{er} degré ne doit pas excéder 5mn pour l'épreuve orale.

Etude fonctionnelle:

Entourer les fonctions secondaires sur le schéma structural et identifier les signaux reliant ces fonctions.

Transcrire l'analyse fonctionnelle de second degré en chronogrammes décrivant le fonctionnement des fonctions principales étudiées.

Réalisation et essais :

Réaliser le(s) typon(s), fabriquer la carte et procéder aux réglages.

Faire un ou plusieurs relevés expérimentaux (**oscillogrammes**) permettant de valider le fonctionnement.

Programmation :

Pour tous les travaux de programmation, produire un algorithme, ordinogramme et programme avec commentaires.

Remarque importante relative à tous les groupes

Les questions posées ne sont pas exhaustives. Elles sont un guide pour vous aider dans la compréhension de votre système et la rédaction de votre dossier.

Ce dernier ne devra donc pas se présenter comme une suite chronologique de réponses à ces questions.



3. Travail de chaque binôme :

Travail groupe 1 :

Etude de FP1 :

- Réaliser une bobine de diamètre 10 CM, 60 spires avec un fil émaillé de 4/10^{ème}
- Dimensionner C2 pour une fréquence d'oscillation de 140kHz
- Analyser la documentation technique du TCA205A, donner son principe de fonctionnement
- Caractériser le filtre R4-C3 et calculer sa fréquence de coupure.
- Concevoir la structure réalisant la fonction FS1.4 (adaptation).

Etude de FP5 :

- Fabriquer une carte avec un code composé de 8 barres (barre mince 2mm, barre épaisse 6mm, une barre+un espace 8mm)
- D'après les capteurs utilisés, dimensionner les éléments R20, R19, R13 et R14.
- En utilisant la partie opérative du lecteur de carte, trouver une méthode expérimentale pour évaluer le nombre d'impulsions issus de la fourche optique placée sur la roue crantée qui apparaissent entre la détection de 2 barres.
- Suite à l'expérimentation précédente, évaluer la valeur à initialiser sur les compteurs (par l'intermédiaire des switchs) pour qu'une lecture du code barre s'effectue à mi-chemin entre deux barres.
- Pour les 3 cas suivants, tracer les chronogrammes théoriques de INT, RC, LF, LD, DB, Sorties compteurs, ILC, VLC.
 - à la mise sous tension
 - lors d'une détection d'une barre
 - lorsque la carte arrive à mi-chemin entre 2 barres \Rightarrow lecture du code barre.

Rq : la valeur initiale des compteurs étant celle trouvée à l'étude précédente.

- Calculer la durée de l'ordre d'initialisation (signal LD) à la mise sous tension.
- Calculer la fréquence de coupure du filtre R15-C3 et justifier la nécessité de placer ce filtre.
- Analyser la documentation technique du circuit 74HC594 et étudier son fonctionnement (chronogrammes de fonctionnement autour du circuit U2)
- Justifier la nécessité du retard occasionné par R12-C2.



Réalisation pratique :

- Réaliser le typon de FP1
- Réaliser le typon de FP5
- Fabriquer sur 2 cartes distinctes les fonctions FP1 et FP5.

Validation expérimentale et mise au point :

- Etablir une procédure de test permettant de valider le fonctionnement de chaque structure en accord avec la fonction recherchée. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.
- Réaliser une nouvelle carte en divisant par 2 les dimensions des barres. Après avoir effectué les modifications nécessaires, tester la carte afin de vérifier que le code barre est bien lu.

Programmation :

- Rédiger un programme permettant l'acquisition du signal numérique représentatif du décodage de la carte (CB) suite à une détection du passage à l'état bas de l'information **MEMCB**, le comparer à une liste de codes préenregistrés. En cas d'égalité, envoyer les informations nécessaires à l'ouverture de la barrière.

Travail groupe 2 :

Etude de FP2 :

- D'après les documentations techniques, mettre en œuvre les modules émetteur/récepteur IR.

Etude de FP4 :

- Réaliser une bobine de diamètre 10 CM, 60 spires avec un fil émaillé de 4/10^{ème}
- Dimensionner C2 pour une fréquence d'oscillation de 140kHz
- Analyser la documentation technique du TCA205A, donner son principe de fonctionnement
- Caractériser le filtre R4-C3 et calculer sa fréquence de coupure.
- Concevoir la structure réalisant la fonction FS4.4 (adaptation).



Etude de FP8 :

- Tracer les chronogrammes théoriques permettant d'obtenir l'évolution des signaux ENC, SP et PCLK ainsi que l'évolution des sorties des compteurs U3 et U4 lorsque :
 - 1 - un véhicule est détecté par la barrière IR à l'entrée du parking
 - 2 - le véhicule pénètre sur le parking et n'est donc plus détecté par la barrière IR
 - 3 - un véhicule est détecté par la barrière IR en sortie du parking
 - 4 - le véhicule sort du parking et n'est donc plus détecté par la barrière IR

Ces différentes phases de fonctionnement seront étudiées de manière chronologique (étape 1, puis 2, puis 3 et enfin 4).

- Conclure sur l'évolution du comptage après chaque étape.
- Même étude lorsque :
 - 1 - un véhicule est détecté par la barrière IR à l'entrée du parking
 - 2 - un second véhicule est détecté par la barrière IR en sortie du parking
 - 3 - le premier véhicule pénètre sur le parking et n'est donc plus détecté par la barrière IR
 - 4 - le second véhicule sort du parking et n'est donc plus détecté par la barrière IR
- Conclure sur l'évolution du comptage.
- Expliquer quelle est la fonction des structures R-C suivantes : R2-C1, R3-C2, R4-C3.
- Expliquer le fonctionnement de la structure réalisée autour de la porte logique U1D
- Mesurer le seuil de basculement de la porte logique U1D (seul)
- Exprimer les seuils de basculement de la structure réalisée autour de la porte logique U1D
- Dimensionner R19, R20 et R21.
- Concevoir les fonctions FS8.4 et FS8.5.

Réalisation pratique :

- Réaliser le typon de FP4
- Réaliser le typon de FP8
- Fabriquer sur 2 cartes distinctes les fonctions FP4 et FP8.



Validation expérimentale et mise au point :

- Etablir une procédure de test permettant de valider le fonctionnement de chaque structure en accord avec la fonction recherchée. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.

Programmation :

- Rédiger un programme permettant l'acquisition du nombre de places disponibles sur le parking et de l'afficher à l'écran de l'ordinateur en utilisant les routines de DEVMIC11. Lorsque ce nombre arrive à 0, informer FP14 afin d'interdire l'ouverture de la barrière.
- Rédiger un second programme permettant de compter le nombre de véhicules entrant sur le parking à partir du signal $\overline{\text{IRE}}$. Après avoir effectué une conversion binaire/BCD, afficher ce nombre à l'écran de l'ordinateur en utilisant les routines de DEVMIC11.

Travail groupe 3 :

Etude de FP3 :

- D'après les documentations techniques, mettre en œuvre les modules émetteur/récepteur IR.

Etude de FP9 :

- Expliquer le fonctionnement de FS9.2.
- Dimensionner tous les composants R et C de la fonction FS9.2.
- Tracer la caractéristique de IP en fonction de la variation de tension en sortie du capteur de position (V_{pos}). Noter sur la caractéristique les phases de vitesse lente ou rapide.
- Justifier le rôle de R8.
- Proposer une structure réalisant FS9.3 à base de portes logiques.
- Proposer une structure réalisant FS9.4 à base de portes logiques (attention à l'état actif des capteurs).
- Dimensionner R10 et P4 pour que la durée du retard soit réglable entre 2 secondes et 5 secondes (FS9.5).
- Analyser la documentation du L298, donner son principe de fonctionnement.



- Etudier le fonctionnement du moteur par rapport aux signaux CM, CDR et VIT.
- Préciser le rôle et les caractéristiques technologiques des diodes D2 à D5, et étudier à quel moment elles interviennent.
- Expliquer le fonctionnement de la détection de surintensité.

Réalisation pratique :

- Réaliser le typon de FP9
- Fabriquer sur une carte la fonction FP9.

Validation expérimentale et mise au point :

- Etablir une procédure de test permettant de valider le fonctionnement de chaque structure en accord avec la fonction recherchée. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.

Programmation :

- Rédiger un programme permettant de générer les signaux CM et CDR en fonction des informations capteurs (à la place de FS9.4 et FS9.5).

Travail groupe 4 :

Etude de FP7 :

- Expliquer le fonctionnement d'un clavier matriciel.
- Analyser la documentation technique du circuit 74C922 et expliquer son fonctionnement.
- Définir la valeur du condensateur C1 pour une période de scrutation du clavier d'environ 1,5ms.
- Calculer les composants R1 et R2.

Etude de FP12 :

- Etudier la génération des signaux **Sens_1**, **Sens_2** et M/\bar{A} , de l'introduction de la carte jusqu'à sa restitution (établir des chronogrammes)
- Analyser la documentation du L298, donner son principe de fonctionnement.
- Etudier le fonctionnement du moteur par rapport à l'évolution des signaux **Sens_1**, **Sens_2** et M/\bar{A}
- Préciser le rôle et les caractéristiques technologiques des diodes D2 à D5, et étudier à quel moment elles interviennent.
- Proposer une structure pour réaliser FS12.3



- Mesurer l'intensité du courant consommé par l'électroaimant.
- Proposer une interface de puissance afin de piloter l'électroaimant (FS12.4)

Réalisation pratique :

- Réaliser le typon de FP7
- Réaliser le typon de FP12
- Fabriquer sur 2 cartes distinctes les fonctions FP7 et FP12.

Validation expérimentale et mise au point :

- Etablir une procédure de test permettant de valider le fonctionnement de chaque structure en accord avec la fonction recherchée. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.

Programmation :

- Rédiger un programme permettant l'acquisition du code de la touche (T1...T4) suite à une détection d'une touche appuyée (DT). Reconstituer le code d'accès suite à l'acquisition des 4 chiffres qui le compose, le comparer à une liste de codes d'accès préenregistrés. En cas d'égalité, envoyer les informations nécessaires à l'ouverture de la barrière.

Travail groupe 5 :

Etude de FP14 :

- Dimensionner les composants R-C de la structure réalisant FS14.2 pour générer un signal d'horloge de période d'environ 25ms.
- Dimensionner R16 et R12 pour assurer le bon fonctionnement de la fourche optique
- Analyser le fonctionnement du circuit U3 et préciser son mode de fonctionnement dans l'application.
- Etudier l'évolution des sorties du compteur U3 suite à :
 - la mise sous tension de la fonction
 - une information de mise en marche ($M/\bar{A}=1$)
 - une première impulsion issue de la fourche optique
 - une deuxième impulsion issue de la fourche optique
- Traduire ces différentes étapes sous forme de chronogrammes.



- Dimensionner R2, R3 et R4 pour que la tension VA varie de 2V à 5V environ lorsque les sorties du compteur U3 évoluent de 000 (vitesse minimum) à 111 (vitesse maximum)
- A partir de la documentation technique du circuit SG3524, expliquer son fonctionnement interne et déterminer son rôle dans l'application.
- Choisir R5 et C2 pour assurer une fréquence d'oscillation de 20kHz.
- Déterminer R7 et R8.
- Proposer une structure réalisant FS14.8 à base de portes logiques.
- Analyser la documentation du L298, donner son principe de fonctionnement.
- Etudier le fonctionnement du moteur par rapport à l'évolution des signaux **Sens_M**, **Sens_D** et **M/A**
- Préciser le rôle et les caractéristiques technologiques des diodes D1 à D4, et étudier à quel moment elles interviennent.
- Dimensionner R9 en fonction des caractéristiques du moteur et du circuit SG3524.

Réalisation pratique :

- Réaliser le typon de FP14
- Fabriquer sur une carte la fonction FP14.

Validation expérimentale et mise au point :

- Etablir une procédure de test permettant de valider le fonctionnement de chaque structure en accord avec la fonction recherchée. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.

Programmation :

- Rédiger un programme qui donne l'ordre à la barrière de s'ouvrir lorsqu'un véhicule se présente à l'entrée du parking, puis se referme lorsque ce dernier a franchi la barrière.



Travail groupe 6 :

Etude de FP6 / FP16 :

- Déterminer P1 afin que le gain du pré-amplificateur NE5534 soit variable de 0 à 35 dB (FS6.2/FS16.8)
- D'après la documentation et du schéma structurel, en déduire le gain de l'amplificateur TBA820M (FS6.4/FS16.3).
- Tracer la réponse en fréquence de la fonction FS6.4 et démontrer que cet amplificateur (TBA820) est destiné à des applications audio.
- Concevoir la partie « adaptation TTL » de la fonction FS6.7.
- Concevoir la fonction FS16.1 « Génération du signal de sonnerie » à partir de circuits NE555 (générer un signal carré modulé par un signal de commande basse fréquence).
- Donner le principe de fonctionnement d'une communication « Half-Duplex ».
- Analyser le fonctionnement du circuit CD4053.
- Pour chacune des phases de fonctionnement de l'interphone, donner le sens de transfert du signal porteur du son (sonnerie ou parole).
- Calculer les composants R-C du circuit 4538 afin que le mode « écoute » soit prolongé de 10 secondes suite à une absence de signal « son ».

Réalisation pratique :

- Réaliser le typon de FS6.2 (ou FS16.8) et de FS6.4 (ou FS16.3)
- Réaliser le typon des autres fonctions de FP6
- Réaliser le typon des autres fonctions de FP16
- Fabriquer sur la même carte la fonction FS6.2 (ou FS16.8) et la fonction FS6.4 (ou FS16.3), à dupliquer en deux exemplaires.
- Fabriquer sur 2 cartes distinctes les autres fonctions de FP6 et FP16. Ces deux cartes seront reliées entre elles par un câble blindé transmettant les informations suivantes : GND, GPARLE, APPELG, SIG, OUVERTUREG.

Validation expérimentale et mise au point :

- Etablir une procédure de test permettant de valider le fonctionnement de chaque structure en accord avec la fonction recherchée. Fournir les résultats de vos mesures.
- Tracer ou relever en concordance de temps, les oscillogrammes des signaux entrant et sortant.

Programmation :

- Rédiger un programme permettant l'acquisition de l'ordre d'ouverture de la barrière donné par le gardien, puis d'envoyer les informations nécessaires à son ouverture.



4. Proposition de plan pour votre rapport :

Le rapport devra comporter environ 25 pages hors annexe. En annexe, ne pourront figurer que les documents constructeur nécessaires à la compréhension du rapport. Il devra comporter un sommaire et les pages devront être numérotées. Le dossier peut être manuscrit.

Le rapport pourra suivre le plan suivant:

La partie présentation n'apparaît pas dans le dossier mais doit être parfaitement connue pour l'épreuve orale.

1. Etude fonctionnelle de 1^{er} degré des objets techniques.

- Schémas fonctionnels de 1^{er} degré.
- Explications des fonctions principales.
- Définitions des liaisons.

2. Explications à propos des fonctions étudiées.

- Position et justification de la présence des fonctions au sein du système ;
- Schéma fonctionnel de 2nd degré des fonctions principales ;
- Schémas structurels et nomenclatures ;
- Définitions des liaisons ;
- Etude détaillée de chaque fonction secondaire qui peut comporter par exemple :
 - Schéma structurel de la fonction secondaire ;
 - Explications du fonctionnement de la fonction secondaire ;
 - Calcul ou justification des composants ;
 - Définitions des points tests ;
 - Chronogrammes théoriques et/ou oscillogrammes ;
 - Algorithme de fonctionnement ;
 - Programme de test ;
 - Etc...
- Méthode de mise en œuvre des cartes ;
- Relevés des mesures.

3. Algorithme et programmation des cartes étudiées.

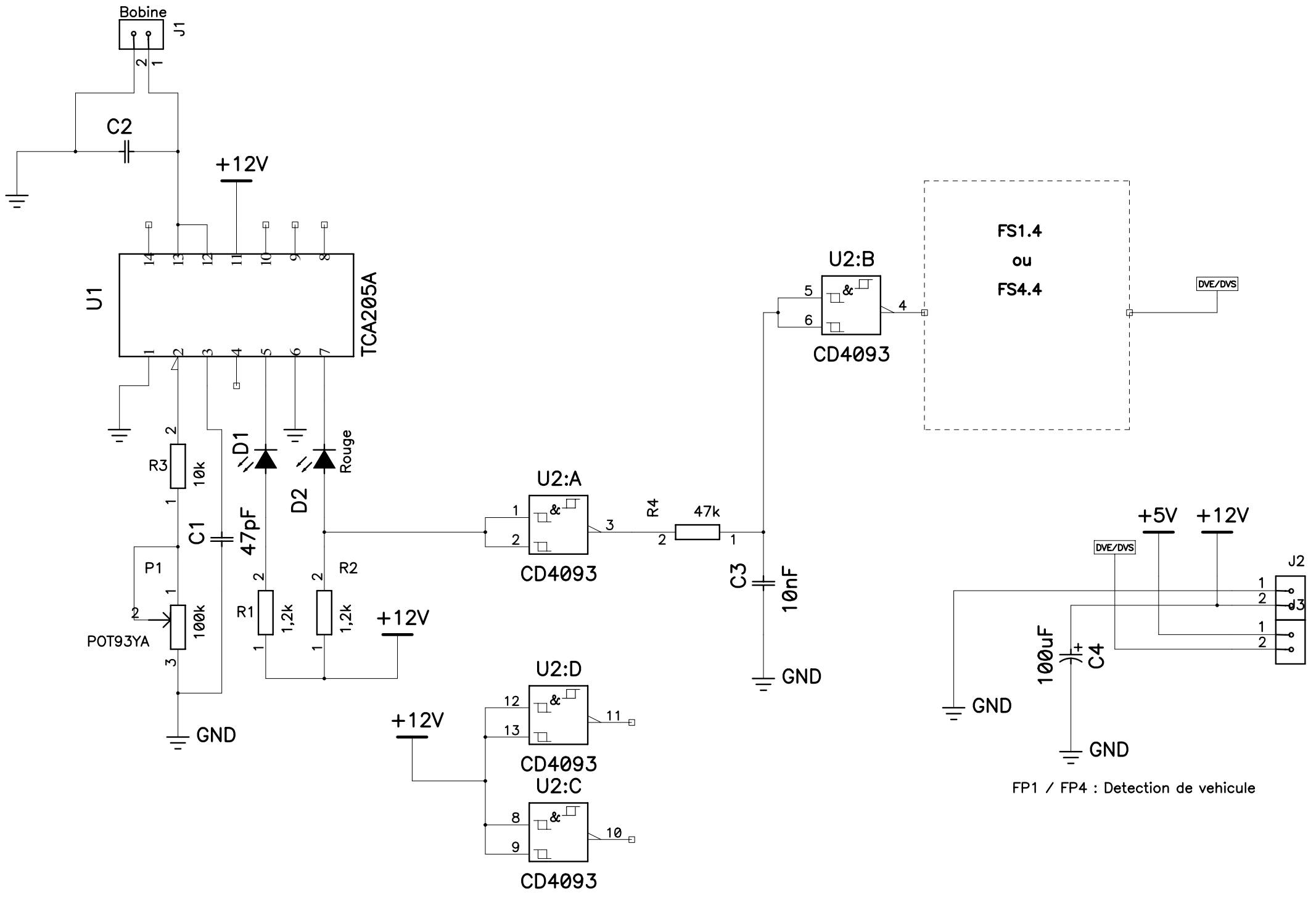
4. Documents de fabrication.

- Schémas structurels (réalisés par le binôme) et nomenclatures chiffrées.
- Typons avec identification des faces (réalisés par le binôme) et schémas d'implantation.
- Plan de câblage (définition de la connectique).

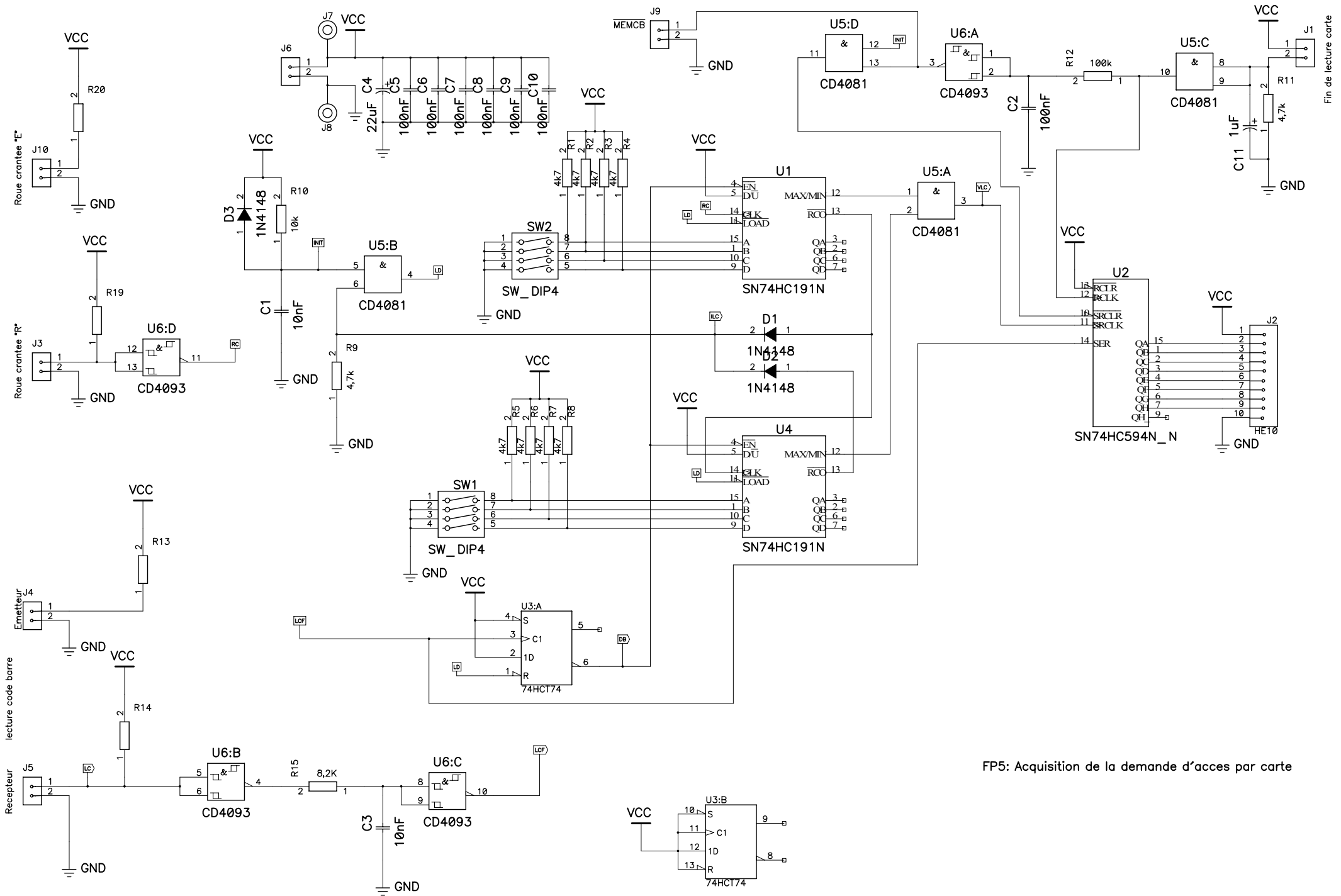
5. Annexe : Documentations des fabricants de composants



Schémas structurels

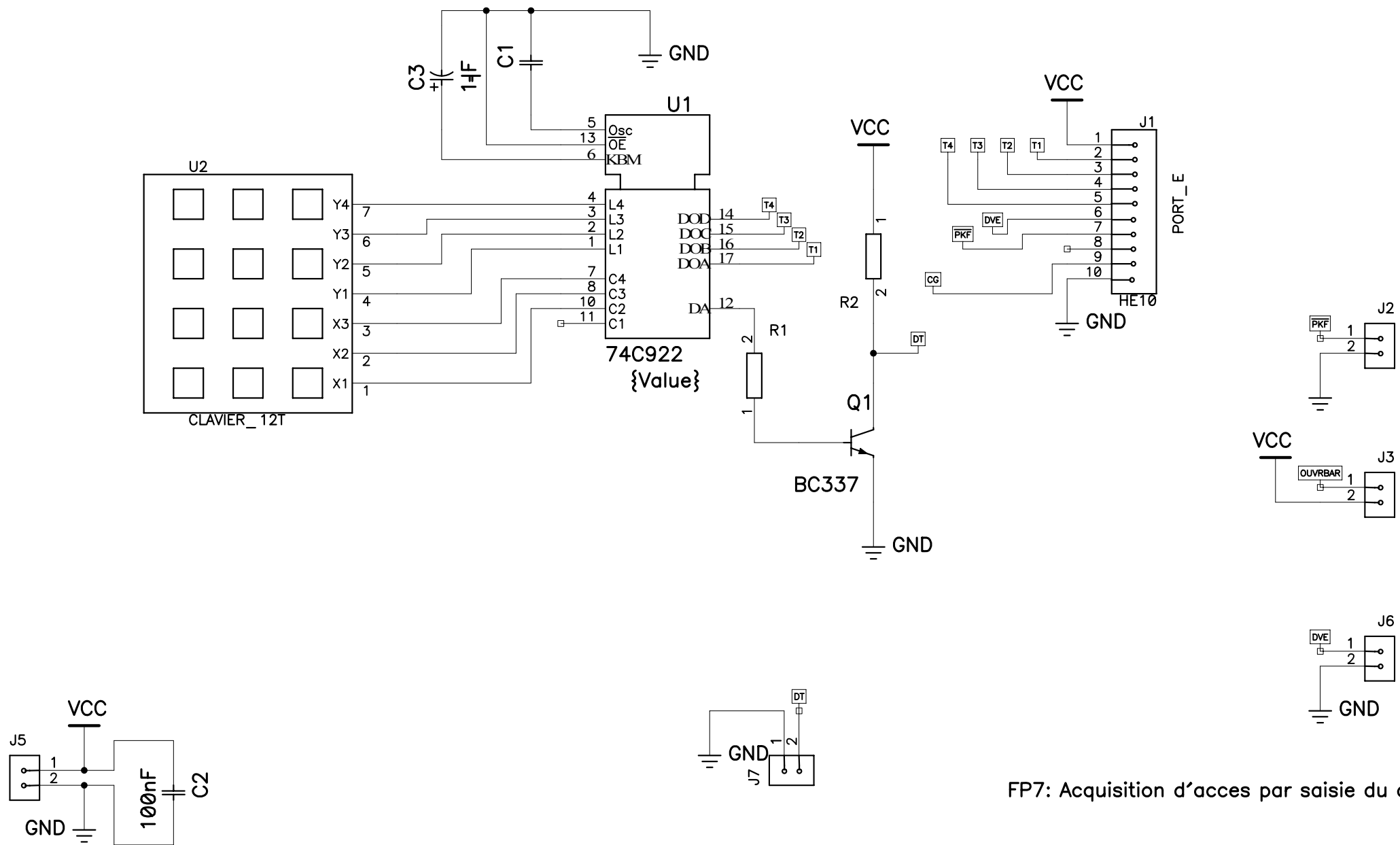


FP1 / FP4 : Detection de vehicule



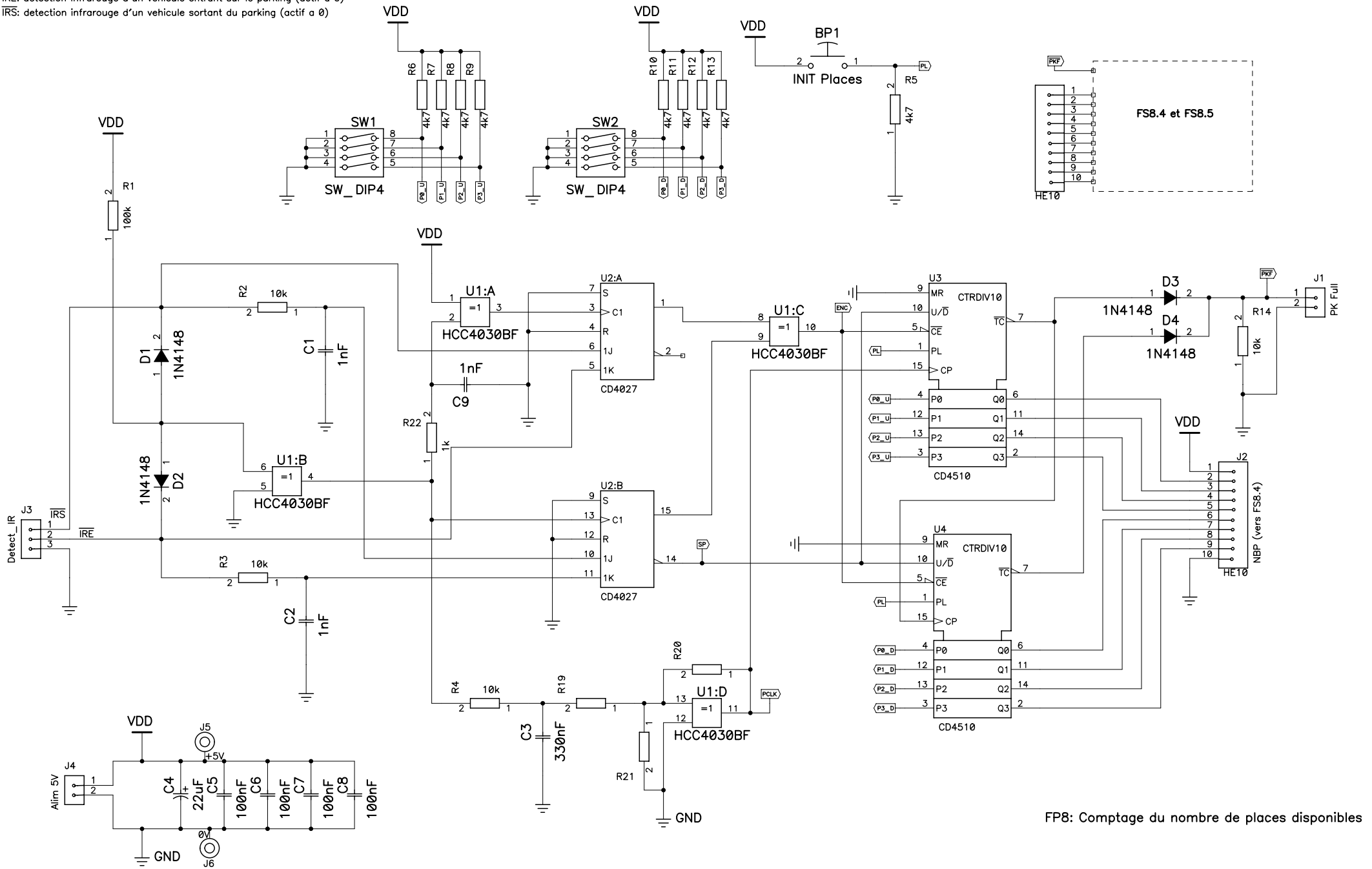
FP5: Acquisition de la demande d'accès par carte

Fin de lecture carte



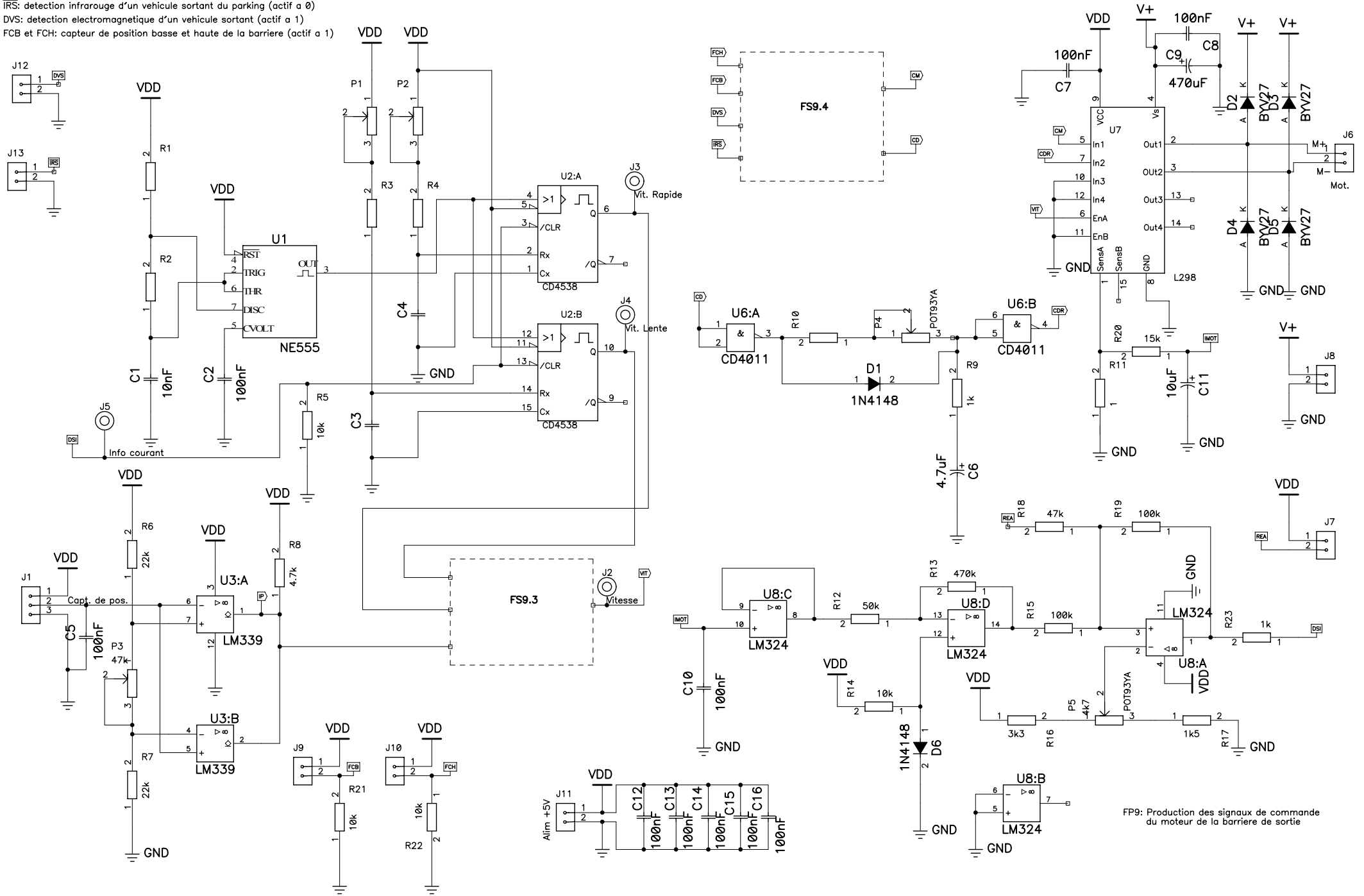
FP7: Acquisition d'accès par saisie du code

IRE: detection infrarouge d'un vehicule entrant sur le parking (actif a 0)
IRS: detection infrarouge d'un vehicule sortant du parking (actif a 0)

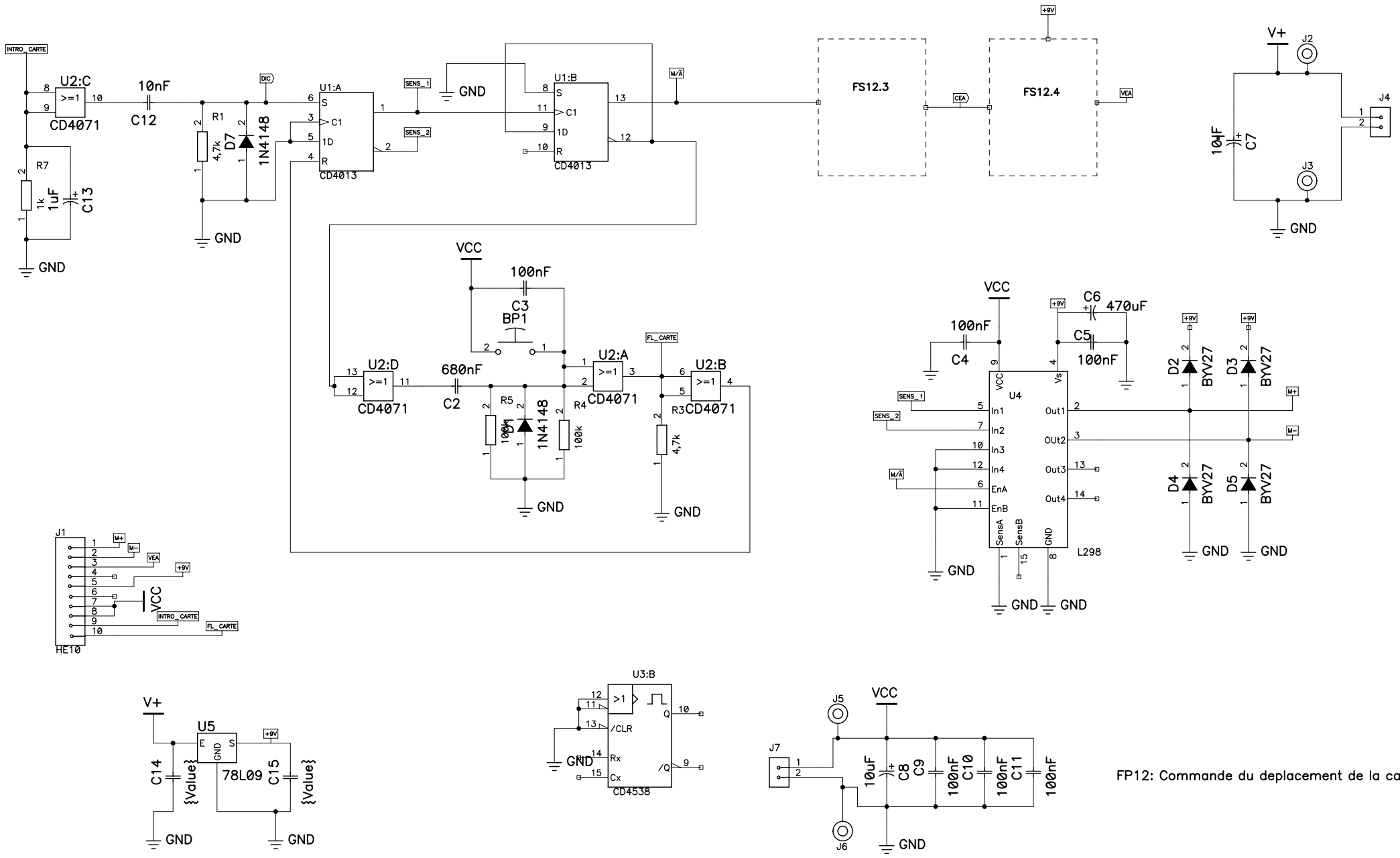


FP8: Comptage du nombre de places disponibles

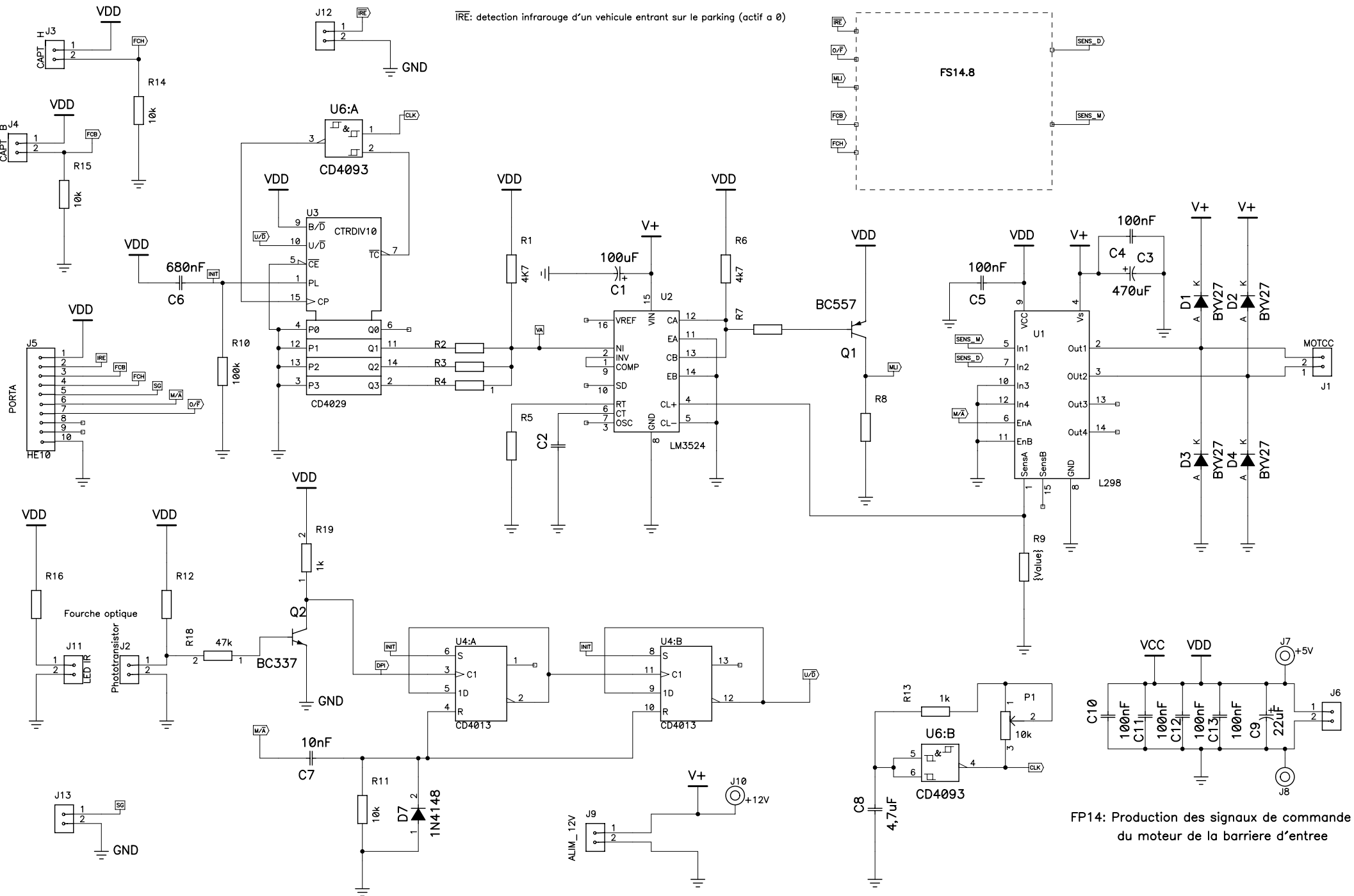
IRS: detection infrarouge d'un vehicule sortant du parking (actif a 0)
 DVS: detection electromagnetique d'un vehicule sortant (actif a 1)
 FCB et FCH: capteur de position basse et haute de la barriere (actif a 1)



FP9: Production des signaux de commande du moteur de la barriere de sortie

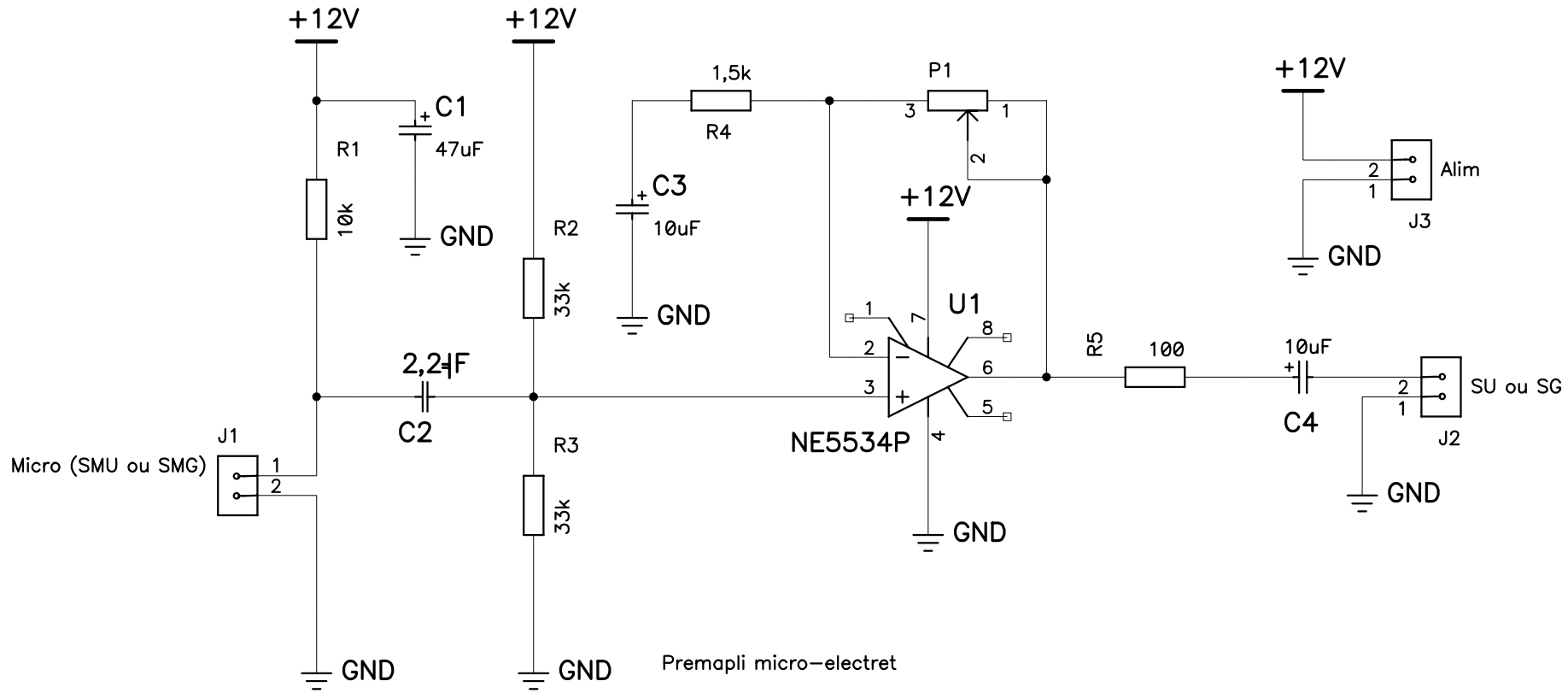


FP12: Commande du déplacement de la carte



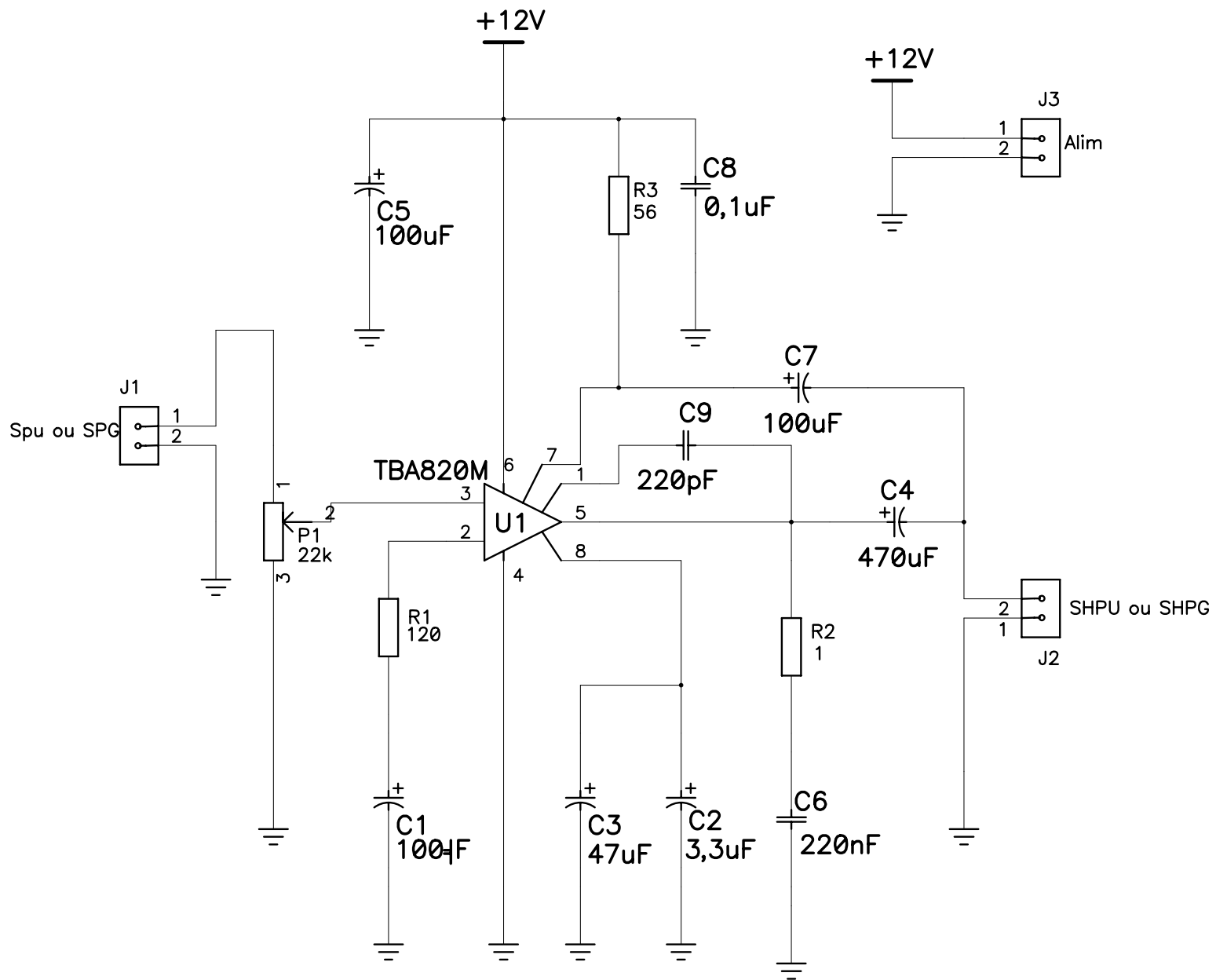
IRE: detection infrarouge d'un vehicule entrant sur le parking (actif a 0)

FP14: Production des signaux de commande du moteur de la barriere d'entree



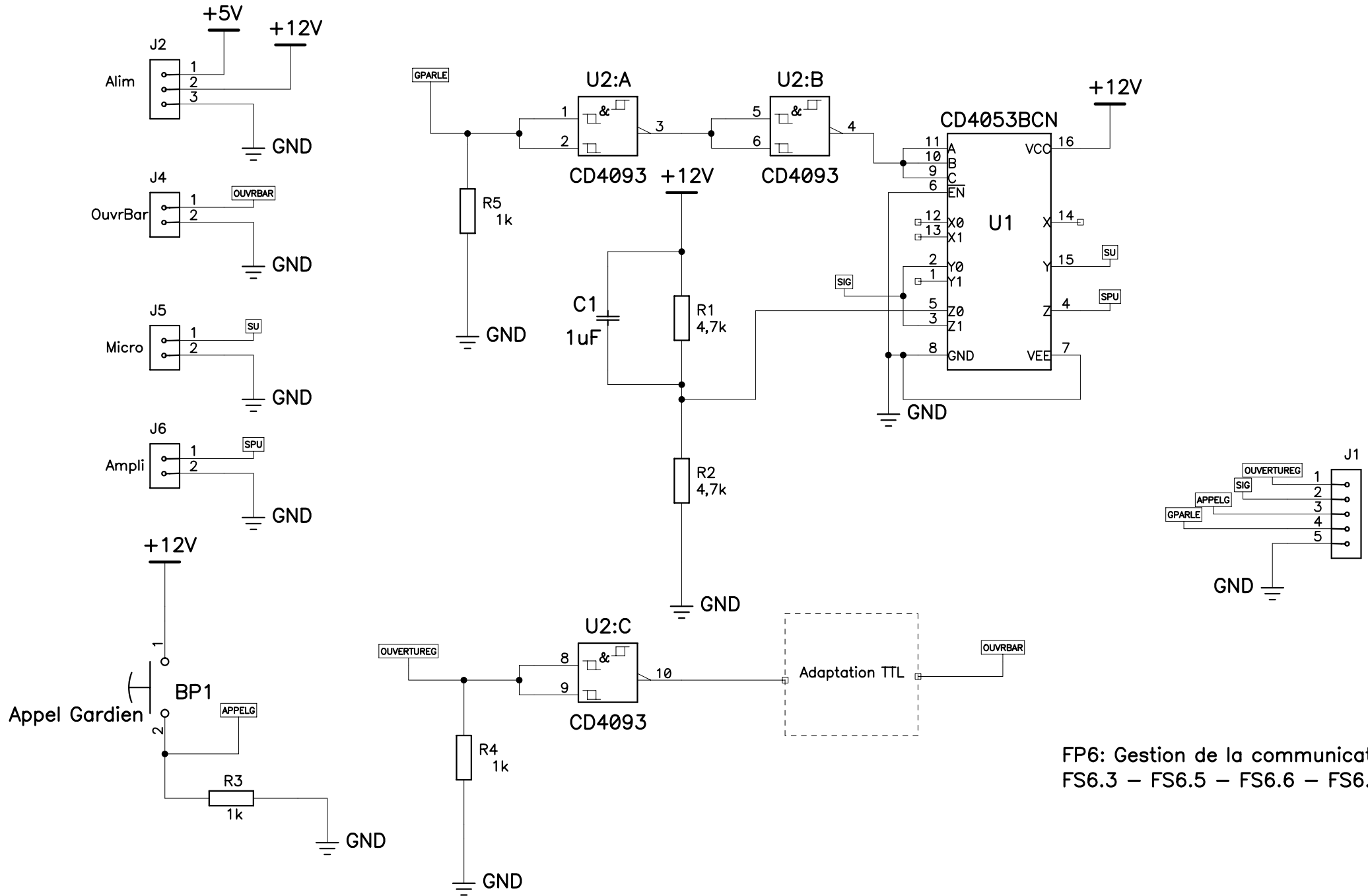
Premapli micro-electret

FS6.2 ou FS16.8 : Preamplification

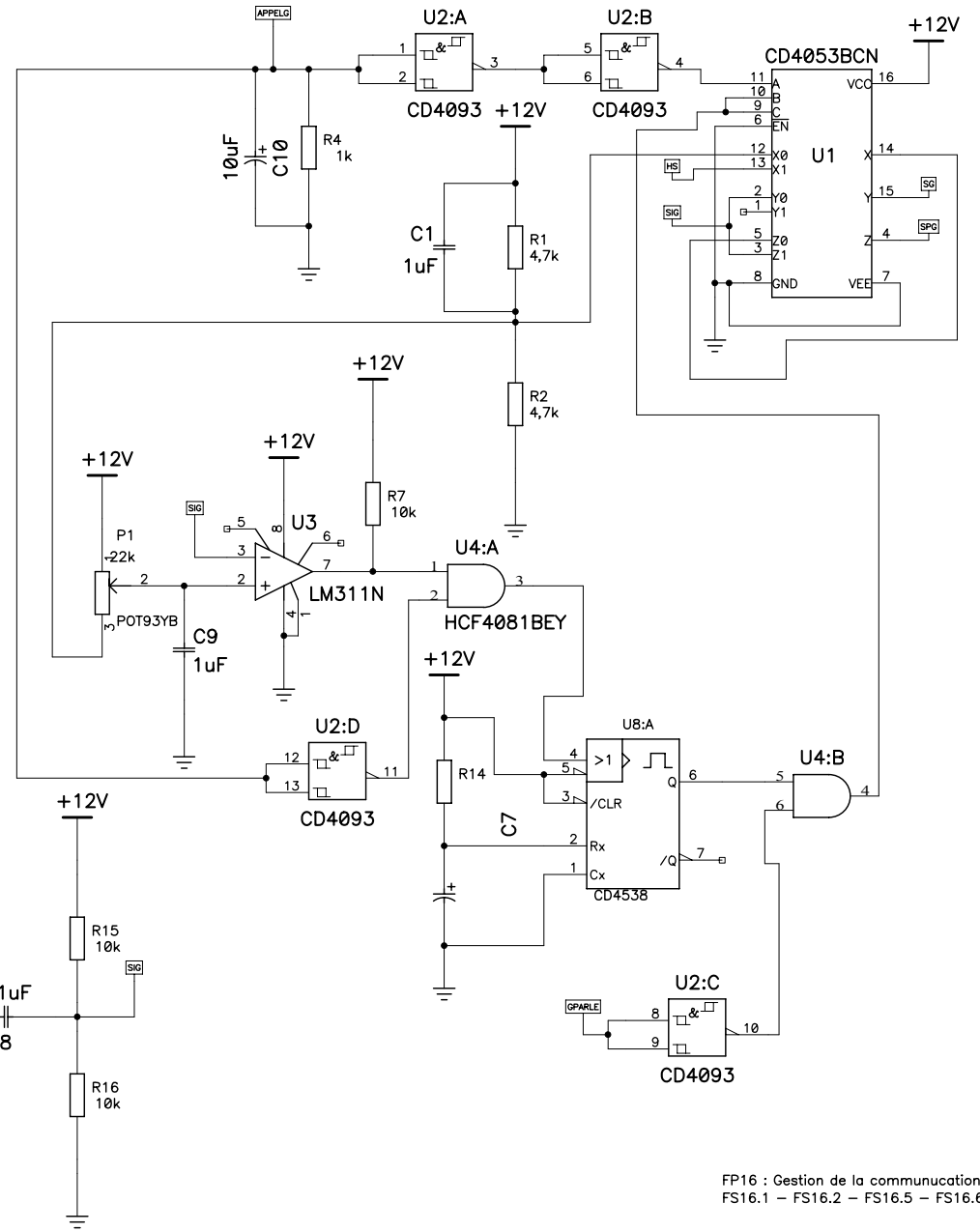
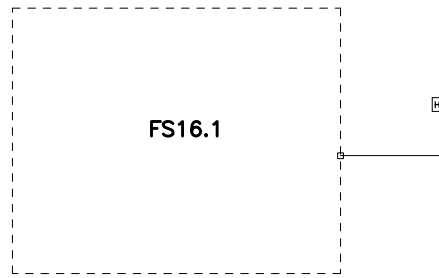
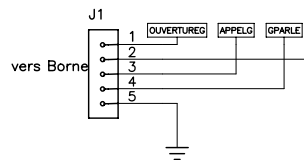
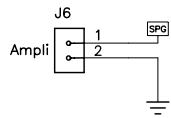
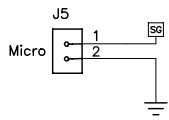
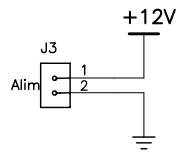
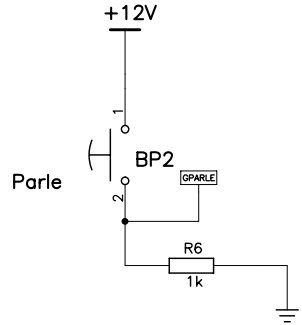
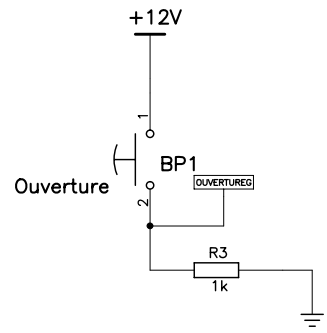


Ampli 2W

FS6.4 ou FS16.3 : Amplification



FP6: Gestion de la communication
FS6.3 – FS6.5 – FS6.6 – FS6.7



FS16 : Gestion de la communication a distance
 FS16.1 – FS16.2 – FS16.5 – FS16.6 – FS16.9

LA LECTURE DES CODES-BARRES

1. PRINCIPES DE FONCTIONNEMENT DES LECTEURS

Un code-barre contient de l'information encodée par une série de barres sombres et d'espaces clairs. Les barres et espaces peuvent être de différentes épaisseur, deux épaisseurs pour les codes industriels les plus courants, ou plus comme pour le code EAN (4 épaisseurs). Les barres sombres absorbent la lumière, tandis que les espaces clairs réfléchissent la lumière.

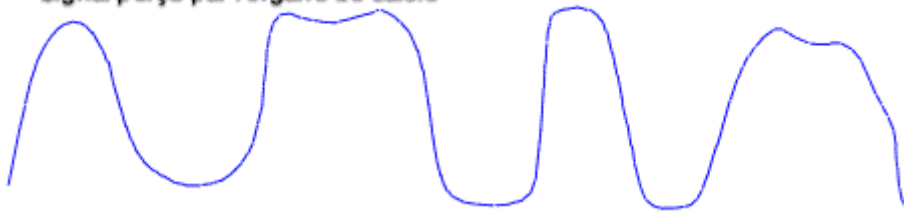
Le lecteur doit donc disposer d'un organe de saisie lui permettant de détecter les barres et les espaces et de reconnaître pour chaque élément leur épaisseur. Pour cela, il est nécessaire d'éclairer le symbole (diodes pour les crayons, tubes ou diodes laser pour les pistolets laser et les lecteurs laser fixes, voire lumière ordinaire pour les caméras), puis de détecter la réflexion de cette lumière par les barres et les espaces.

Forme du signal digital en sortie de l'organe de saisie

Barres et espaces théorique



Signal perçu par l'organe de saisie



Signal après traitement



2. Présentation d'un type de codage standardisé : le code 2 parmi 5.

Un mot est composé de caractères numériques et de deux caractères précisant le début (caractère START) et la fin du mot (caractère STOP).

Chaque caractère est formé par des éléments qui peuvent être des barres ou des espaces. Un espace ou une barre large correspond à la valeur binaire « 1 », tandis que un espace ou une barre mince correspond à la valeur binaire « 0 ».

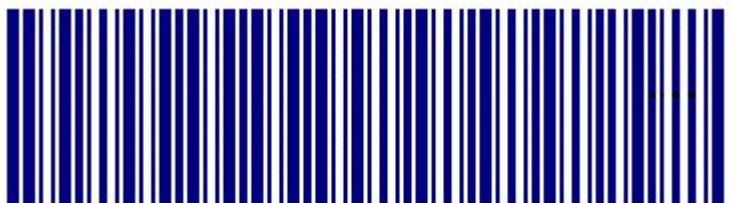
Les codes 2 parmi 5 ont la particularité d'avoir 5 éléments significatifs. Le premier élément du mot est toujours une barre. Ce premier élément peut prendre la valeur « 0 » ou « 1 » suivant l'épaisseur de la barre. Le dernier élément du mot de n caractères est toujours une barre qui peut être large ou mince.

La largeur d'un élément large est trois fois plus grande que celle d'un élément mince.

La longueur occupée par un caractère est toujours la même.

Code à Barres 2 parmi 5

Code essentiellement numérique, n'enregistre que les chiffres (0 à 9). Chaque nombre est codé sur 5 éléments dont deux sont toujours plus larges que les autres...



2222222222

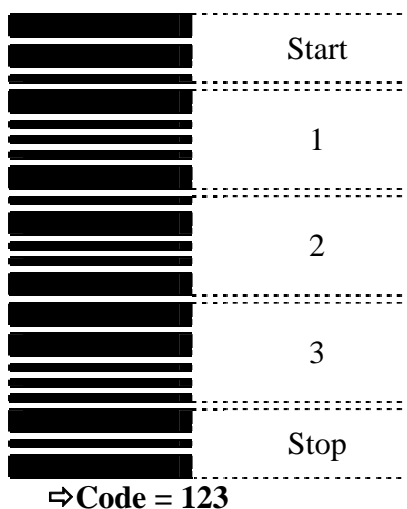
2.1 Spécification du code 2 parmi 5 – 5 barres :

Ce code est constitué uniquement par des barres.

Les espaces ne sont pas significatifs et ne contiennent pas d'information.

Chaque caractère est constitué par deux barres larges et trois barres minces.

De ce fait, ce code présente une grande tolérance d'impression (+/- 25%). Cependant un encombrement important dû à la faible densité par digits limite ses application aux mots composés de 4 ou 5 caractères maximum.



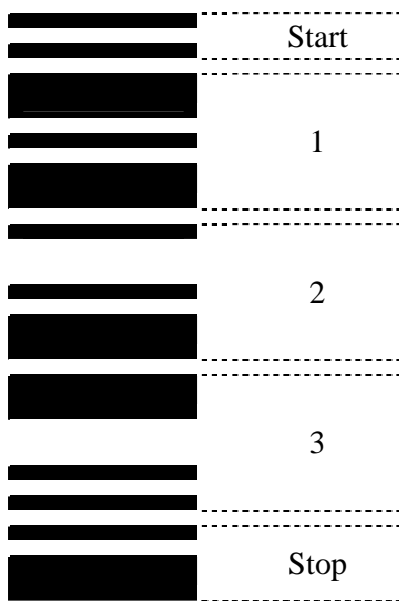
Caractère	EL1	EL2	EL3	EL4	EL5
0	0	0	1	1	0
1	1	0	0	0	1
2	0	1	0	0	1
3	1	1	0	0	0
4	0	0	1	0	1
5	1	0	1	0	0
6	0	1	1	0	0
7	0	0	0	1	1
8	1	0	0	1	0
9	0	1	0	1	0
Start	1	1	0		
Stop	1	0	1		

2.2 Spécification du code 2 parmi 5 - 3 barres :

Ce code est constitué par des barres et des espaces.

Un caractère commence et se termine toujours par une barre. Les espaces appartenant aux caractères sont significatifs et contiennent des informations. Les espaces appartenant aux caractères peuvent être larges ou minces. Ils peuvent, en conséquences, prendre la valeur « 0 » ou « 1 » suivant leur largeur.

Chaque caractère est séparé par un espace généralement mince. Les espaces entre caractères ne sont pas significatifs et ne contiennent pas d'information.



⇒ Code = 123

Caractère	EL1	EL2	EL3	EL4	EL5
0	0	0	1	1	0
1	1	0	0	0	1
2	0	1	0	0	1
3	1	1	0	0	0
4	0	0	1	0	1
5	1	0	1	0	0
6	0	1	1	0	0
7	0	0	0	1	1
8	1	0	0	1	0
9	0	1	0	1	0
Start	0	0	0		
Stop	0	0	1		

2.3 Spécification du code 2 parmi 5 – Entrelacé :

Ce code est constitué par des barres et des espaces.

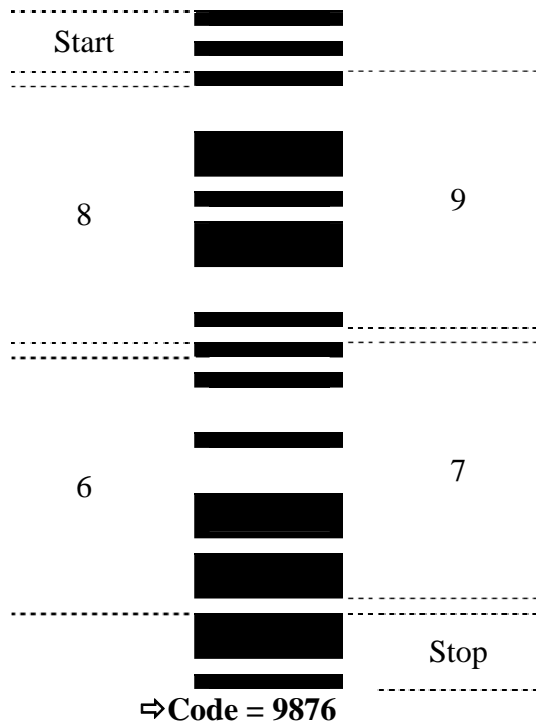
Le premier caractère commence et se termine par une barre et est composé de deux barres larges et de trois minces.

Le deuxième caractère commence et se termine par un espace et est composé de deux espaces larges et de trois espaces minces.

Les espaces non significatifs du premier caractère deviennent les espaces significatifs, support de l'information, pour le deuxième caractère qui se trouve alors enchevêtré dans les éléments du premier caractère.

Les caractères suivants sont composés de la même façon. Tous les espaces du mot sont significatifs et contiennent des informations. Il n'y a pas d'espace séparateur de caractère.

Malgré un encombrement réduit, ce code n'est utilisable que pour des mots composés d'un nombre pair de caractères.



Caractère	EL1	EL2	EL3	EL4	EL5
0	0	0	1	1	0
1	1	0	0	0	1
2	0	1	0	0	1
3	1	1	0	0	0
4	0	0	1	0	1
5	1	0	1	0	0
6	0	1	1	0	0
7	0	0	0	1	1
8	1	0	0	1	0
9	0	1	0	1	0
Start	0	0	0	0	
Stop	1	0	0		

3. Autres types de code :

Codes alphanumériques : - code 93
- code 128

⇒ Codage du jeu ASCII complet.



TBA820M

LINEAR INTEGRATED CIRCUIT

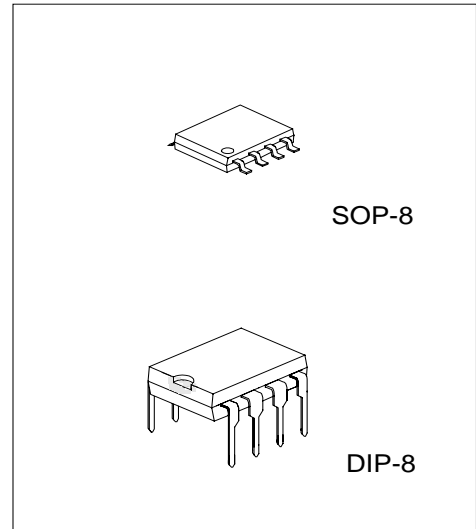
1.2W AUDIO POWER AMPLIFIER

DESCRIPTION

The UTC **TBA820M** is a monolithic integrated audio amplifier. It is designed for audio frequency class b amplifier.

FEATURES

- *Wide operating supply voltage: $V_{CC}=3\sim 14V$
- *Medium output power
 $P_{OUT}=1.2W$ at $V_{CC}=9V, R_L=8\Omega, THD=10\%$
- *Low quiescent circuit current: $I_Q=4mA$ (type)
- *Good ripple rejection.
- *Minimum number of external parts required.

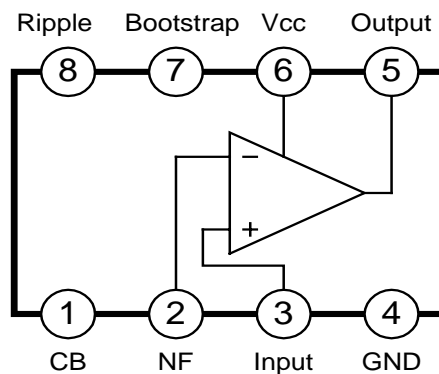


*Pb-free plating product number: TBA820ML

ORDERING INFORMATION

Order Number		Package	Packing
Normal	Lead Free Plating		
TBA820M-S08-R	TBA820ML-S08-R	SOP-8	Tape Reel
TBA820M-S08-T	TBA820ML-S08-T	SOP-8	Tube
TBA820M-D08-T	TBA820ML-D08-T	DIP-8	Tube

BLOCK DIAGRAM



■ ABSOLUTE MAXIMUM RATINGS ($T_a=25^\circ\text{C}$)

PARAMETER	SYMBOL	RATINGS	UNIT
Supply Voltage	V_{CC}	16	V
Output Peak Current	$I_{O(\text{peak})}$	1.5	A
Power Dissipation	P_D	1.25	W
Operating Temperature	T_{OPR}	0 ~ +70	$^\circ\text{C}$
Storage Temperature	T_{STG}	-40 ~ +150	$^\circ\text{C}$

Note:1. Absolute maximum ratings are stress ratings only and functional device operation is not implied. The device could be damaged beyond Absolute maximum ratings.

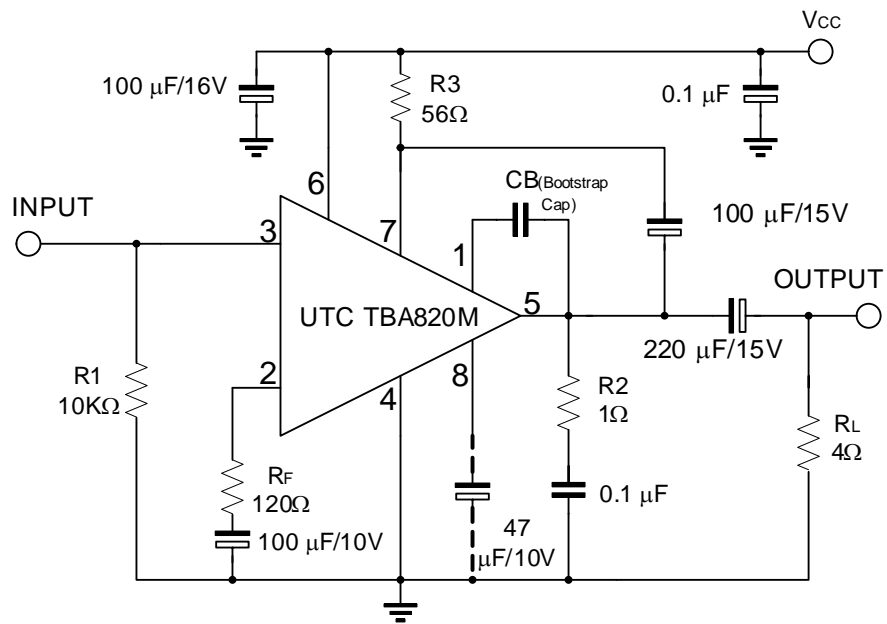
2. The device is guaranteed to meet performance specifications within $0^\circ\text{C} \sim 70^\circ\text{C}$ operating temperature range and assured by design from $-20^\circ\text{C} \sim 85^\circ\text{C}$.

■ ELECTRICAL CHARACTERISTICS

($T_a=25^\circ\text{C}$, $V_{CC}=9\text{V}$, $F=1\text{KHZ}$, $R_G=600\Omega$, $R_F=120\Omega$, $R_L=8\Omega$, unless otherwise specified.)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Quiescent Current	I_Q	$V_{IN}=0$		4	12	mA
Output Power	P_{OUT}	$V_{CC}=9\text{V}, R_L=4\Omega, \text{THD}=10\%$		1.6		W
		$V_{CC}=9\text{V}, R_L=8\Omega, \text{THD}=10\%$	0.9	1.2		
		$V_{CC}=6\text{V}, R_L=4\Omega, \text{THD}=10\%$		0.75		
		$V_{CC}=6\text{V}, R_L=8\Omega, \text{THD}=10\%$	0.4	0.5		
		$V_{CC}=12\text{V}, R_L=8\Omega, \text{THD}=10\%$		2		
Total Harmonic Distortion	THD	$P_{OUT}=500\text{mW}$		0.3	1	%
Open Loop Voltage Gain	G_{vo}	$R_F=0$		75		dB
Closed Loop Voltage Gain	G_{vc}	$R_F=120\Omega$	33	36	39	dB
Input Resistance	R_{IN}			5		$M\Omega$
Output Noise Voltage	eN	$R_G=10\text{k}\Omega, \text{BW}(-3\text{dB})=50\sim 20\text{kHz}$		0.3	1	mV

■ TEST CIRCUIT



TYPICAL CHARACTERISTICS

Fig 1 Quiescent circuit current vs Supply Voltage

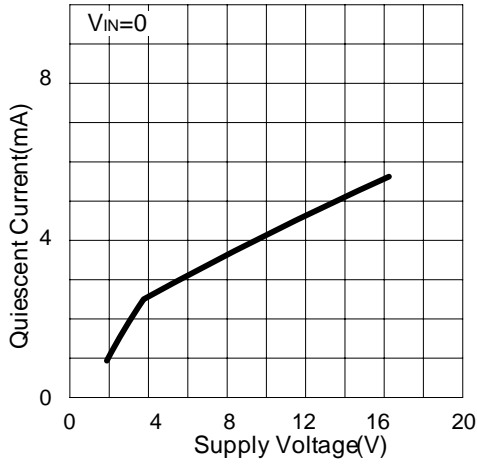


Fig 2 Output power vs Supply Voltage

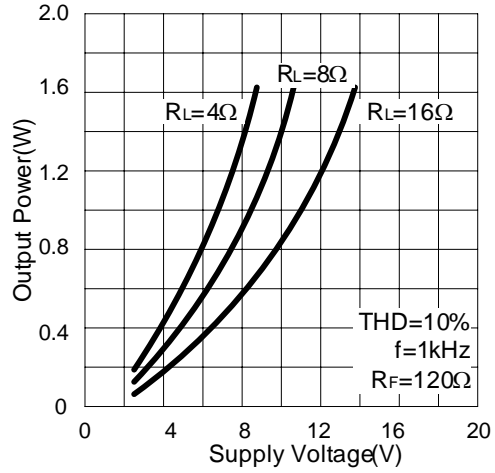


Fig 3 Total harmonic Distortion vs Output power

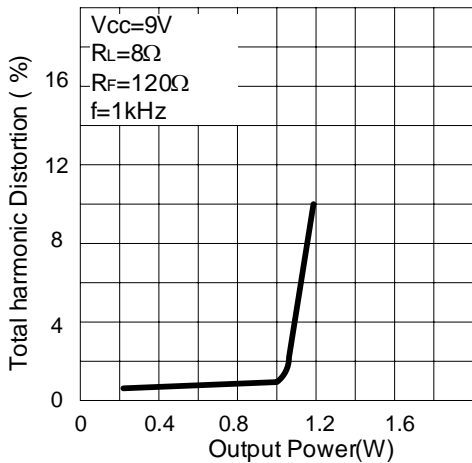


Fig 4 Voltage Gain vs Feedback resistance

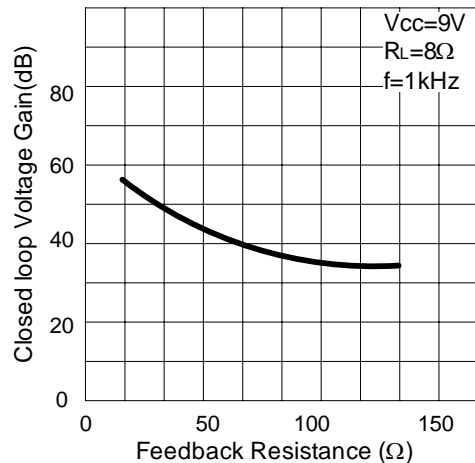


Fig 5 Power Dissipation vs Output power

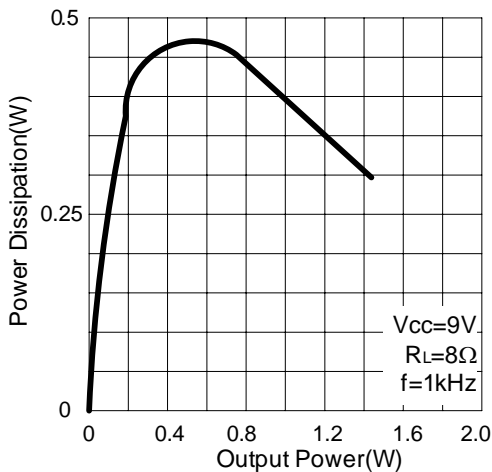
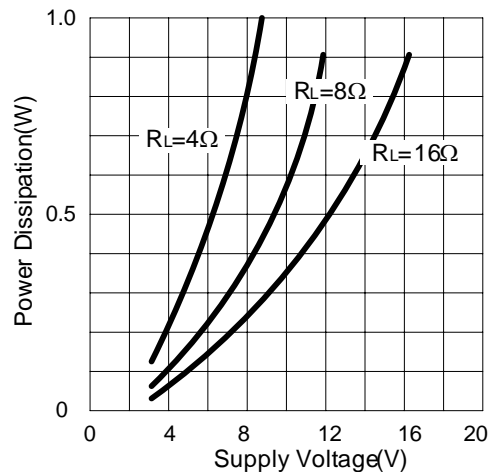


Fig 6 Power Dissipation vs Supply Voltage



■ TYPICAL CHARACTERISTICS(CONT.)

Fig 7 Frequency response

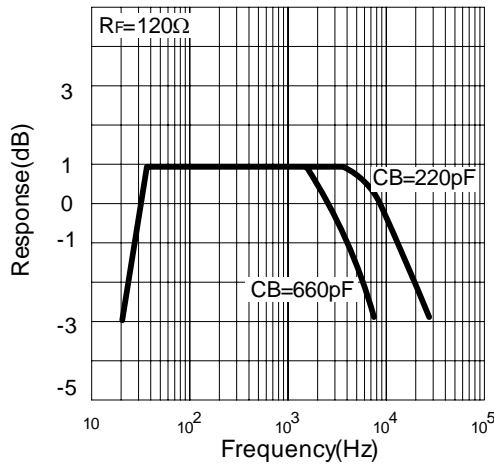
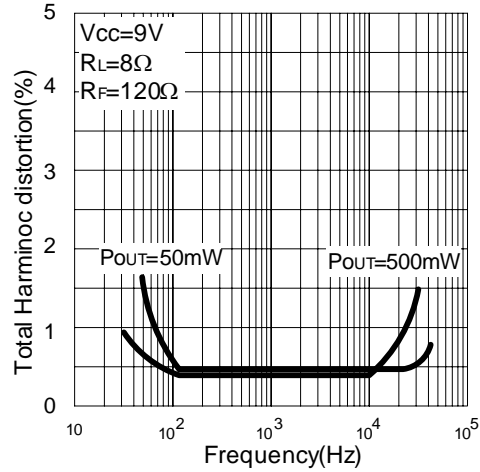


Fig 8 Total Harmonic distortion vs frequency



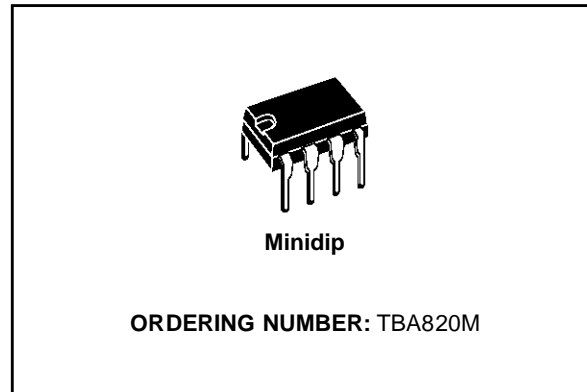
UTC assumes no responsibility for equipment failures that result from using products at values that exceed, even momentarily, rated values (such as maximum ratings, operating condition ranges, or other parameters) listed in products specifications of any and all UTC products described or contained herein. UTC products are not designed for use in life support appliances, devices or systems where malfunction of these products can be reasonably expected to result in personal injury. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner. The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice.

1.2W AUDIO AMPLIFIER

DESCRIPTION

The TBA820M is a monolithic integrated audio amplifier in a 8 lead dual in-line plastic package. It is intended for use as low frequency class B power amplifier with wide range of supply voltage: 3 to 16V, in portable radios, cassette recorders and players etc. Main features are: minimum working supply voltage of 3V, low quiescent current, low number of external components, good ripple rejection, no cross-over distortion, low power dissipation.

Output power: $P_o = 2W$ at $12V/8\Omega$, $1.6W$ at $9V/4\Omega$ and $1.2W$ at $9V/8\Omega$.



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_s	Supply voltage	16	V
I_o	Output peak current	1.5	A
P_{tot}	Power dissipation at $T_{amb} = 50^\circ C$	1	W
T_{stg}, T_j	Storage and junction temperature	-40 to 150	$^\circ C$

TEST AND APPLICATION CIRCUITS

Figure 1. Circuit diagram with load connected to the supply voltage

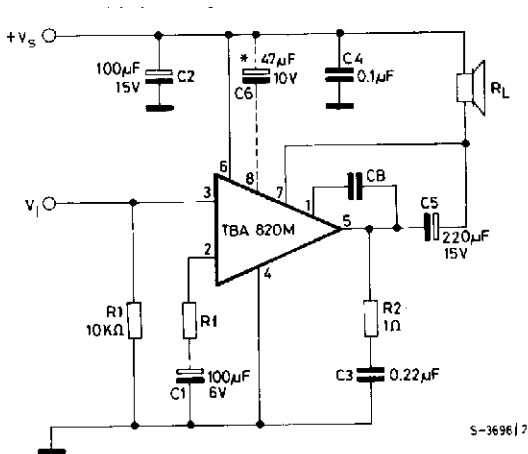
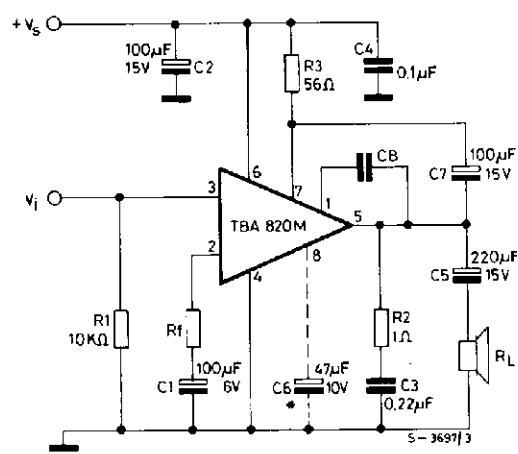


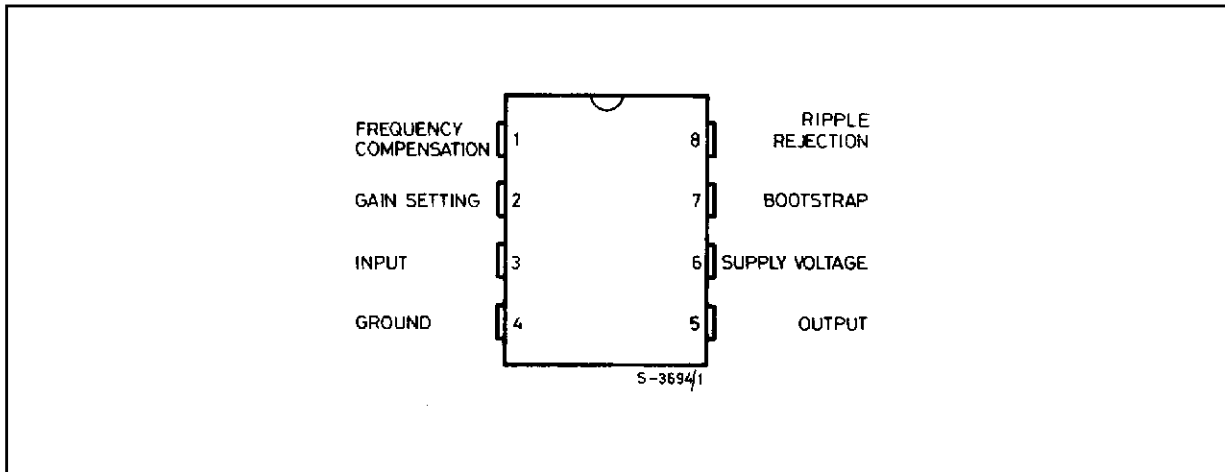
Figure 2. Circuit diagram with load connected to ground



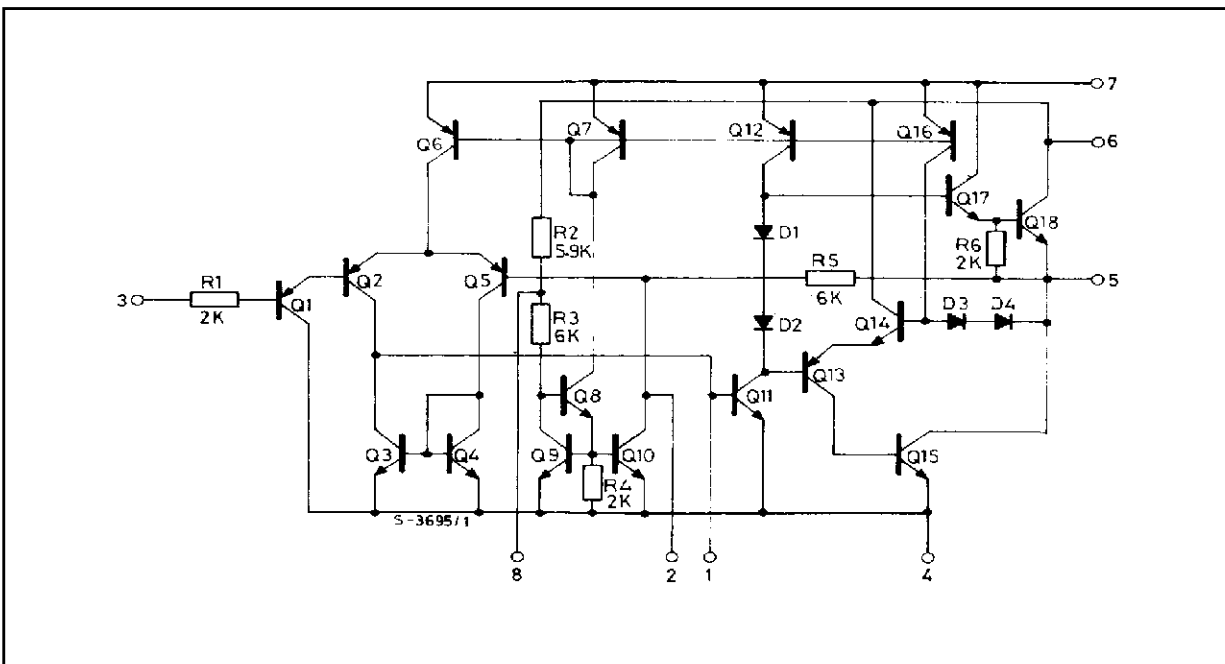
* Capacitor C6 must be used when high ripple rejection is requested.

TBA820M

PIN CONNECTION (top view)



SCHEMATIC DIAGRAM



THERMAL DATA

Symbol	Parameter	Value	Unit
$R_{th-j-amb}$	Thermal resistance junction-ambient	max 100	°C/W

ELECTRICAL CHARACTERISTICS (Refer to the test circuits $V_s = 9V$, $T_{amb} = 25\text{ }^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
V_s	Supply voltage		3		16	V
V_o	Quiescent output voltage (pin 5)		4	4.5	5	V
I_d	Quiescent drain current			4	12	mA
I_b	Bias current (pin 3)			0.1		μA
P_o	Output power	$d = 10\%$ $R_f = 120\Omega$ $V_s = 12V$ $V_s = 9V$ $V_s = 9V$ $V_s = 6V$ $V_s = 3.5V$	$f = 1\text{ kHz}$ $R_L = 8\Omega$ $R_L = 4\Omega$ $R_L = 8\Omega$ $R_L = 4\Omega$ $R_L = 4\Omega$	0.9	2 1.6 1.2 0.75 0.25	W W W W W
R_i	Input resistance (pin 3)	$f = 1\text{ kHz}$		5		$M\Omega$
B	Frequency response (-3 dB)	$R_L = 8\Omega$ $C_5 = 1000\ \mu\text{F}$ $R_f = 120\Omega$	$C_B = 680\text{ pF}$ $C_B = 220\text{ pF}$	25 to 7,000 25 to 20,000		Hz
d	Distortion	$P_o = 500\text{ mW}$ $R_L = 8\Omega$ $f = 1\text{ kHz}$	$R_f = 33\Omega$ $R_f = 120\Omega$	0.8 0.4		%
G_v	Voltage gain (open loop)	$f = 1\text{ kHz}$ $R_L = 8\Omega$		75		dB
G_v	Voltage gain (closed loop)	$R_L = 8\Omega$ $f = 1\text{ kHz}$	$R_f = 33\Omega$ $R_f = 120\Omega$	45 34		dB
e_N	Input noise voltage (*)			3		μV
i_N	Input noise current (*)			0.4		nA
$\frac{S+N}{N}$	Signal to noise ratio (*)	$P_o = 1.2W$ $R_L = 8\Omega$ $G_v = 34\text{ dB}$	$R_1 = 10K\Omega$ $R_1 = 50\text{ k}\Omega$	80 70		dB
SVR	Supply voltage rejection (test circuit of fig. 2)	$R_L = 8\Omega$ $f_{(ripple)} = 100\text{ Hz}$ $C_6 = 47\ \mu\text{F}$ $R_f = 120\Omega$		42		dB

(*) B = 22 Hz to 22 KHz

Figure 3. Output power vs. supply voltage

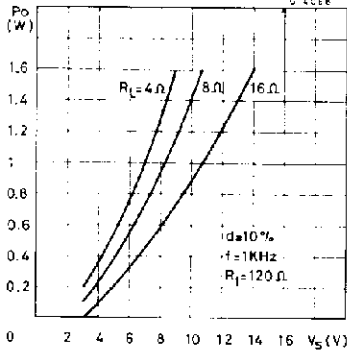


Figure 4. Harmonic distortion vs. output power

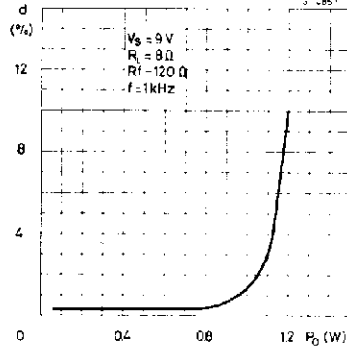


Figure 5. Power dissipation and efficiency vs. output power

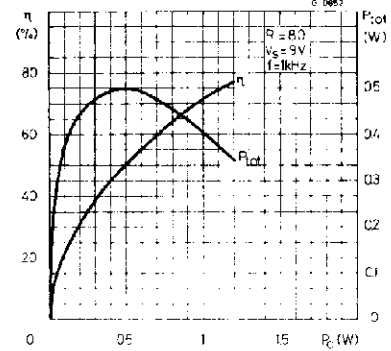


Figure 6. Maximum power dissipation (sine wave operation)

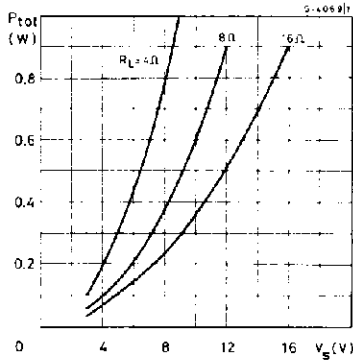


Figure 7. Suggested value of CB vs. Rf

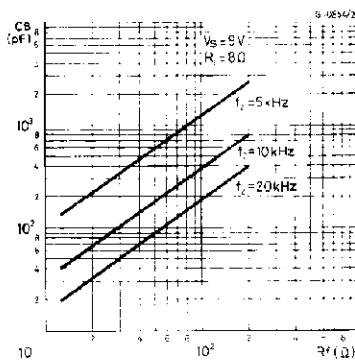


Figure 8. Frequency response

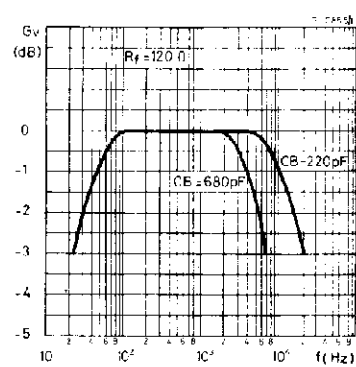


Figure 9. Harmonic distortion vs. frequency

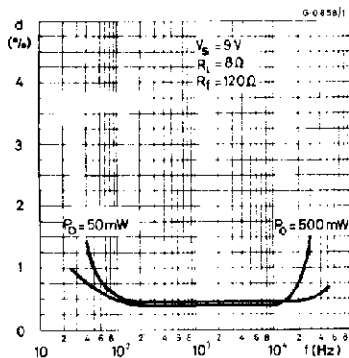


Figure 10. Supply voltage rejection (Fig. 2 circuit)

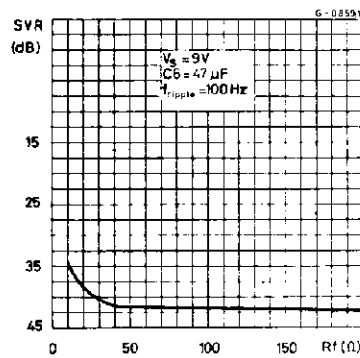
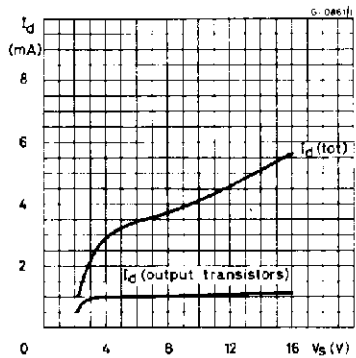
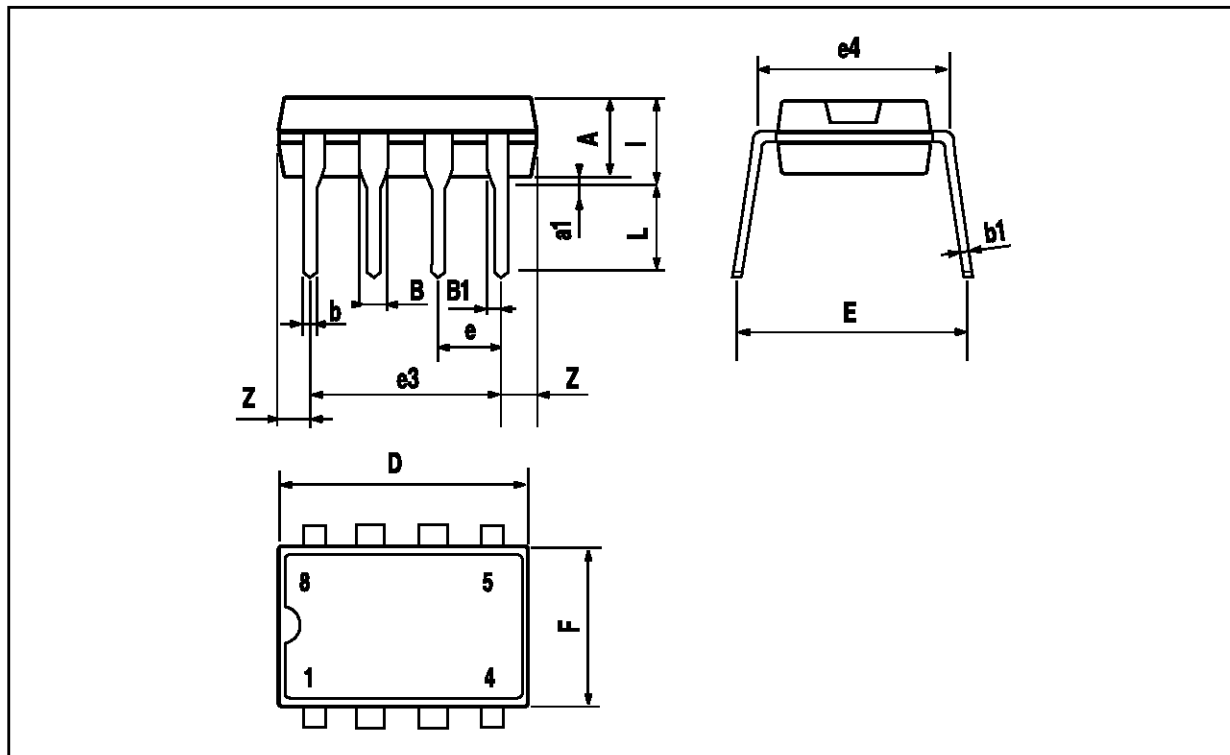


Figure 11. Quiescent current vs. supply voltage



MINIDIP PACKAGE MECHANICAL DATA

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A		3.32			0.131	
a1	0.51			0.020		
B	1.15		1.65	0.045		0.065
b	0.356		0.55	0.014		0.022
b1	0.204		0.304	0.008		0.012
D			10.92			0.430
E	7.95		9.75	0.313		0.384
e		2.54			0.100	
e3		7.62			0.300	
e4		7.62			0.300	
F			6.6			0.260
I			5.08			0.200
L	3.18		3.81	0.125		0.150
Z			1.52			0.060



Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

© 1994 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES

Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

SMPS control circuit

SG3524

DESCRIPTION

This monolithic integrated circuit contains all the control circuitry for a regulating power supply inverter or switching regulator. Included in a 16-pin dual-in-line package is the voltage reference, error amplifier, oscillator, pulse-width modulator, pulse steering flip-flop, dual alternating output switches and current-limiting and shut-down circuitry. This device can be used for switching regulators of either polarity, transformer-coupled DC-to-DC converters, transformerless voltage doublers and polarity converters, as well as other power control applications. The SG3524 is designed for commercial applications of 0°C to +70°C.

FEATURES

- Complete PWM power control circuitry
- Single ended or push-pull outputs
- Line and load regulation of 0.2%
- 1% maximum temperature variation
- Total supply current is less than 10mA
- Operation beyond 100kHz

PIN CONFIGURATION

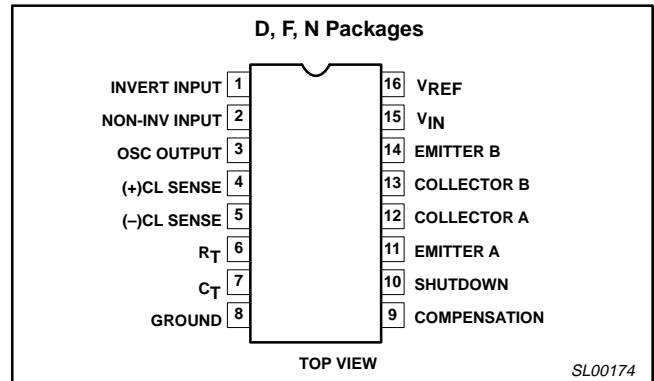


Figure 1. Pin Configuration

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	SG3524N	SOT38-4
16-Pin Ceramic Dual In-Line Package (CERDIP)	0 to +70°C	SG3524F	0582B
16-Pin Small Outline (SO) Package	0 to +70°C	SG3524D	SOT109-1

BLOCK DIAGRAM

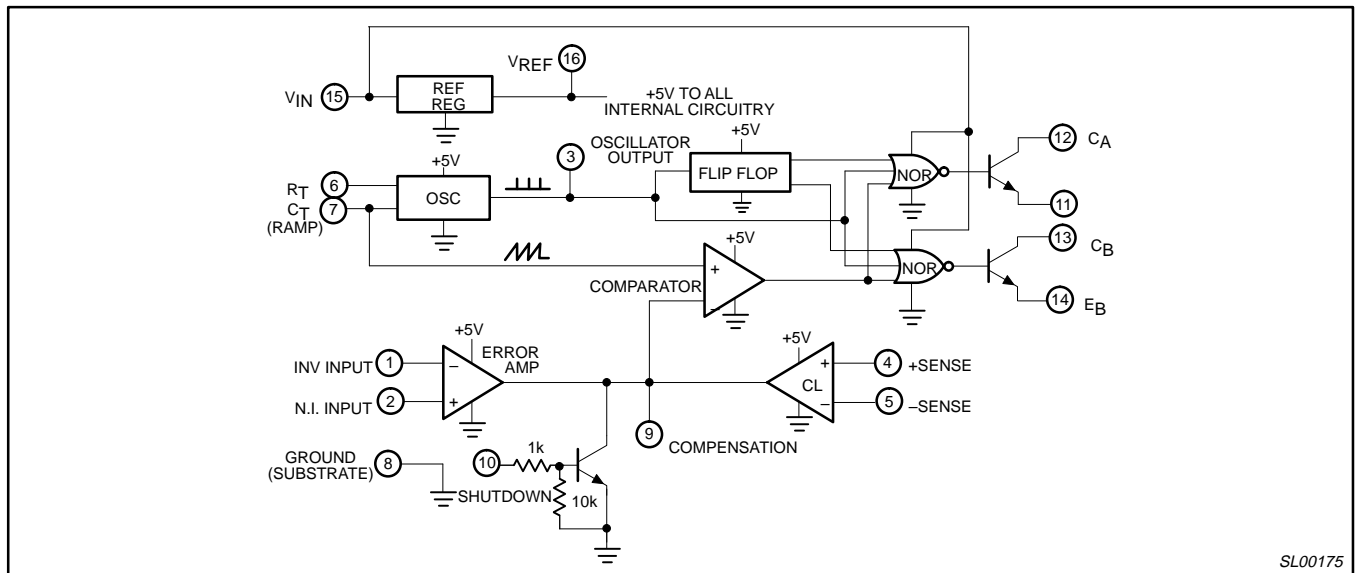


Figure 2. Block Diagram

SMPS control circuit

SG3524

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{IN}	Input voltage	40	V
I_{OUT}	Output current (each output)	100	mA
I_{REF}	Reference output current	50	mA
	Oscillator charging current	5	mA
P_D	Power dissipation Package limitation Derate above 25°C	1000 8	mW mW/°C
T_A	Operating temperature range	0 to +70	°C
T_{STG}	Storage temperature range	-65 to +150	°C

DC ELECTRICAL CHARACTERISTICS

$T_A=0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{IN}=20\text{V}$, and $f=20\text{kHz}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			Min	Typ	Max	
Reference section						
V_{OUT}	Output voltage		4.6	5.0	5.4	V
	Line regulation	$V_{IN}=8$ to 40V		10	30	mV
	Load regulation	$I_L=0$ to 20mA		20	50	mV
	Ripple rejection	$f=120\text{Hz}$, $T_A=25^\circ\text{C}$		66		dB
I_{SC}	Short circuit current limit	$V_{REF}=0$, $T_A=25^\circ\text{C}$		100		mA
	Temperature stability	Over operating temperature range		0.3	1	%
	Long-term stability	$T_A=25^\circ\text{C}$		20		mV/kHz
Oscillator section						
f_{MAX}	Maximum frequency	$C_T=0.001\ \mu\text{F}$, $R_T=2\text{k}\Omega$		300		kHz
	Initial accuracy	R_T and C_T constant		5		%
	Voltage stability	$V_{IN}=8$ to 40V , $T_A=25^\circ\text{C}$			1	%
	Temperature stability	Over operating temperature range			2	%
	Output amplitude	Pin 3, $T_A=25^\circ\text{C}$		3.5		V_P
	Output pulse width	$C_T=0.01\ \mu\text{F}$, $T_A=25^\circ\text{C}$		0.5		μs
Error amplifier section						
V_{OS}	Input offset voltage	$V_{CM}=2.5\text{V}$		2	10	mV
I_{BIAS}	Input bias current	$V_{CM}=2.5\text{V}$		2	10	μA
	Open-loop voltage gain		68	80		dB
V_{CM}	Common-mode voltage	$T_A=25^\circ\text{C}$	1.8		3.4	V
CMRR	Common-mode rejection ratio	$T_A=25^\circ\text{C}$		70		dB
BW	Small-signal bandwidth	$A_V=0\text{dB}$, $T_A=25^\circ\text{C}$		3		MHz
V_{OUT}	Output voltage	$T_A=25^\circ\text{C}$	0.5		3.8	V
Comparator section						
	Duty cycle	% each output "ON"	0		45	%
	Input threshold	Zero duty cycle		1		V
	Input threshold	Maximum duty cycle		3.5		V
I_{BIAS}	Input bias current			1		μA
Current limiting section						
	Sense voltage	Pin 9=2V with error amplifier set for maximum out, $T_A=25^\circ\text{C}$	180	200	220	mV
	Sense voltage T.C.			0.2		mV/°C
V_{CM}	Common-mode voltage		-1		+1	V

SMPS control circuit

SG3524

DC ELECTRICAL CHARACTERISTICS (Continued)

$T_A = 0^{\circ}\text{C}$ to $+70^{\circ}\text{C}$, $V_{IN} = 20\text{V}$, and $f = 20\text{kHz}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			Min	Typ	Max	
Output section (each output)						
	Collector-emitter voltage (breakdown)		40			V
	Collector-leakage current	$V_{CE}=40\text{V}$		0.1	50	μA
	Saturation voltage	$I_C=50\text{mA}$		1	2	V
	Emitter output voltage	$V_{IN}=20\text{V}$	17	18		V
t_R	Rise time	$R_C=2\text{k}\Omega$, $T_A=25^{\circ}\text{C}$		0.2		μs
t_F	Fall time	$R_C=2\text{k}\Omega$, $T_A=25^{\circ}\text{C}$		0.1		μs
Total standby current						
	(excluding oscillator charging current, error and current limit dividers, and with outputs open)	$V_{IN}=40\text{V}$		8	10	mA

THEORY OF OPERATION

Voltage Reference

An internal series regulator provides a nominal 5V output which is used both to generate a reference voltage and is the regulated source for all the internal timing and controlling circuitry. This regulator may be bypassed for operation from a fixed 5V supply by

connecting Pins 15 and 16 together to the input voltage. In this configuration, the maximum input voltage is 6.0V.

This reference regulator may be used as a 5V source for other circuitry. It will provide up to 50mA of current itself and can easily be expanded to higher currents with an external PNP as shown in Figure 3.

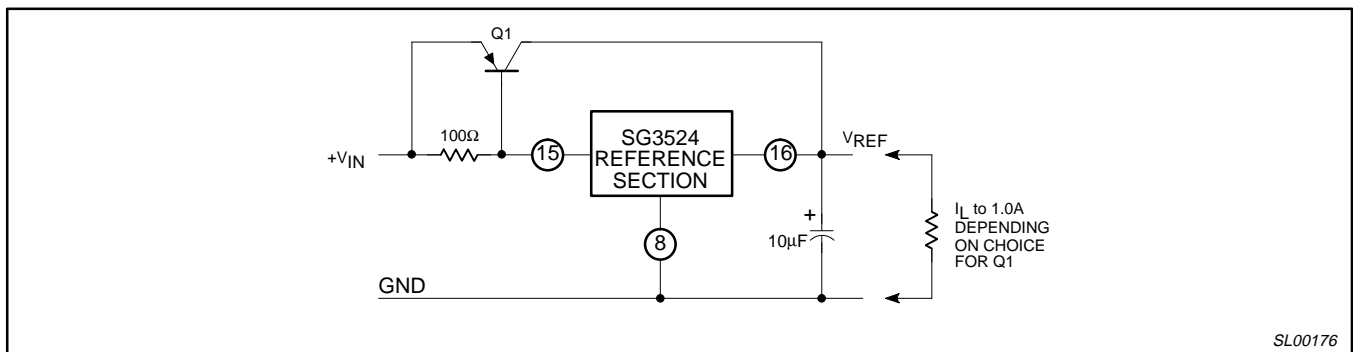


Figure 3. Expanded Reference Current Capability

TEST CIRCUIT

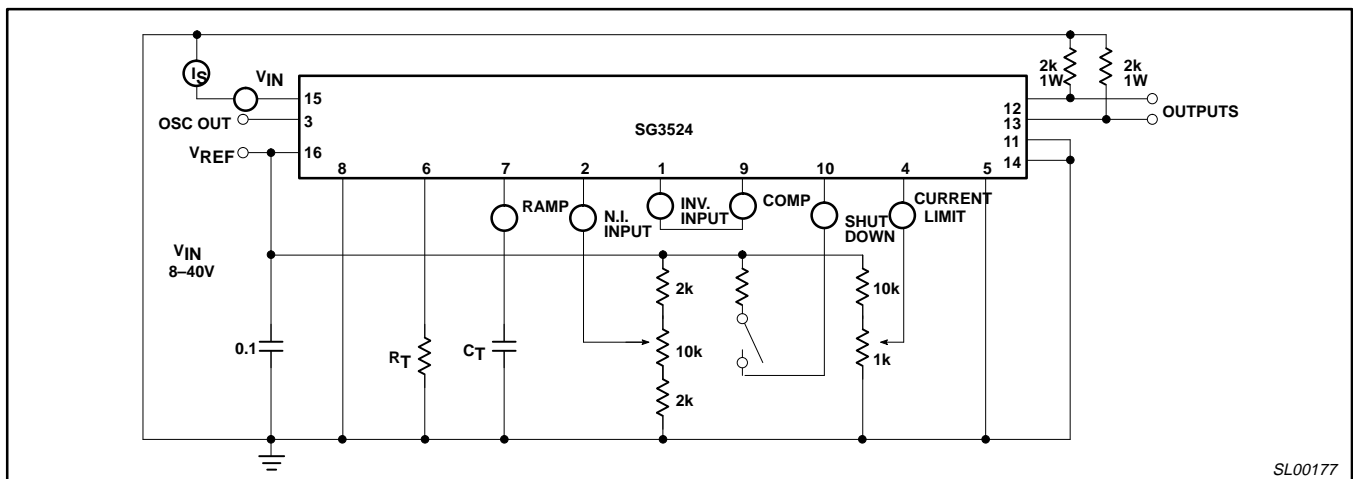


Figure 4. Test Circuit

SMPS control circuit

SG3524

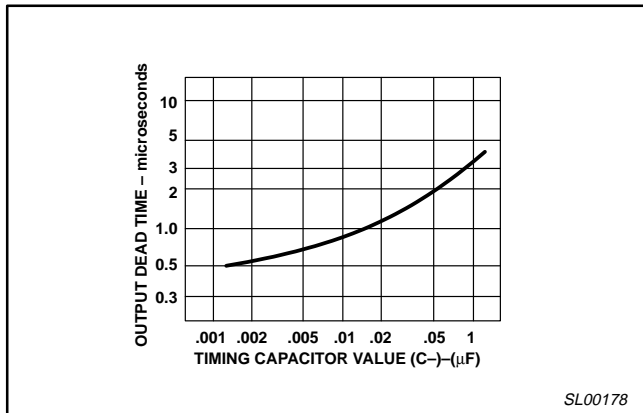


Figure 5. Output Stage Dead Time as a Function of the Timing Capacitor Value

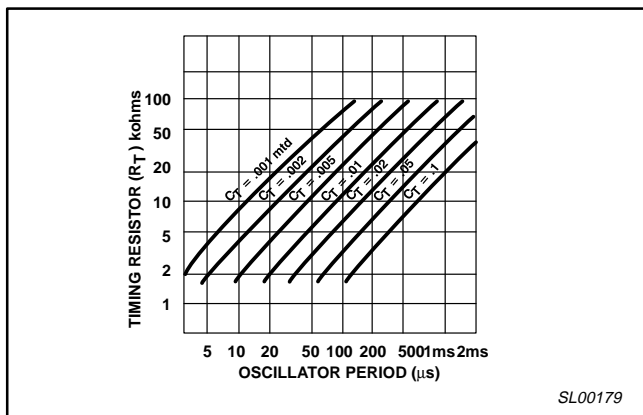


Figure 6. Oscillator Period as a Function of R_T and C_T

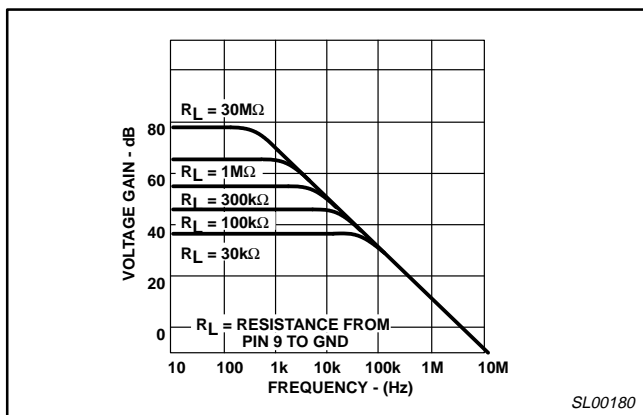


Figure 7. Amplifiers Open-Loop Gain as a Function of Frequency and Loading on Pin 9

Oscillator

The oscillator in the SG3524 uses an external resistor (R_T) to establish a constant charging current into an external capacitor (C_T). While this uses more current than a series-connected RC, it provides a linear ramp voltage on the capacitor which is also used as a reference for the comparator. The charging current is equal to

$3.6 V \div R_T$ and should be kept within the approximate range of $30\mu A$ to $2mA$; i.e., $1.8k < R_T < 100k$.

The range of values for C_T also has limits as the discharge time of C_T determines the pulse-width of the oscillator output pulse. This pulse is used (among other things) as a blanking pulse to both outputs to insure that there is no possibility of having both outputs on simultaneously during transitions. This output dead time relationship is shown in Figure 5. A pulse width below approximately $0.5\mu s$ may allow false triggering of one output by removing the blanking pulse prior to the flip-flop's reaching a stable state. If small values of C_T must be used, the pulse-width may still be expanded by adding a shunt capacitance ($\approx 100pF$) to ground at the oscillator output. [(Note: Although the oscillator output is a convenient oscilloscope sync input, the cable and input capacitance may increase the blanking pulse-width slightly.)] Obviously, the upper limit to the pulse width is determined by the maximum duty cycle acceptable. Practical values of C_T fall between 0.001 and $0.1\mu F$.

The oscillator period is approximately $t = R_T C_T$ where t is in microseconds when $R_T = \Omega$ and $C_T = \mu F$. The use of Figure 6 will allow selection of R_T and C_T for a wide range of operating frequencies. Note that for series regulator applications, the two outputs can be connected in parallel for an effective 0-90% duty cycle and the frequency of the oscillator is the frequency of the output. For push-pull applications, the outputs are separated and the flip-flop divides the frequency such that each output's duty cycle is 0-45% and the overall frequency is one-half that of the oscillator.

External Synchronization

If it is desired to synchronize the SG3524 to an external clock, a pulse of $\approx +3V$ may be applied to the oscillator output terminal with $R_T C_T$ set slightly greater than the clock period. The same considerations of pulse-width apply. The impedance to ground at this point is approximately $2k\Omega$.

If two or more SG3524s must be synchronized together, one must be designated as master with its $R_T C_T$ set for the correct period. The slaves should each have an $R_T C_T$ set for approximately 10% longer period than the master with the added requirement that $C_T(\text{slave}) = \text{one-half } C_T(\text{master})$. Then connecting Pin 3 on all units together will insure that the master output pulse—which occurs first and has a wider pulse width—will reset the slave units.

Error Amplifier

This circuit is a simple differential input transconductance amplifier. The output is the compensation terminal, Pin 9, which is a high-impedance node ($R_L \approx 5M\Omega$). The gain is

$$A_v = g_m R_L = \frac{8 I_C R_L}{2kT} \approx 0.002 R_L$$

and can easily be reduced from a nominal of 10,000 by an external shunt resistance from Pin 9 to ground, as shown in Figure 7.

In addition to DC gain control, the compensation terminal is also the place for AC phase compensation. The frequency response curves of Figure 7 show the uncompensated amplifier with a single pole at approximately 200Hz and a unity gain crossover at 5MHz.

Typically, most output filter designs will introduce one or more additional poles at a significantly lower frequency. Therefore, the best stabilizing network is a series RC combination between Pin 9 and ground which introduces a zero to cancel one of the output filter poles. A good starting point is $50k\Omega$ plus $0.001\mu F$.

SMPS control circuit

SG3524

One final point on the compensation terminal is that this is also a convenient place to insert any programming signal which is to override the error amplifier. Internal shutdown and current limit circuits are connected here, but any other circuit which can sink 200µA can pull this point to ground, thus shutting off both outputs.

While feedback is normally applied around the entire regulator, the error amplifier can be used with conventional operational amplifier feedback and is stable in either the inverting or non-inverting mode. Regardless of the connections, however, input common-mode limits must be observed or output signal inversions may result. For conventional regulator applications, the 5V reference voltage must be divided down as shown in Figure 8. The error amplifier may also be used in fixed duty cycle applications by using the unity gain configuration shown in the open-loop test circuit.

Current Limiting

The current limiting circuitry of the SG3524 is shown in Figure 9.

By matching the base-emitter voltages of Q1 and Q2, and assuming a negligible voltage drop across R₁:

$$\text{Threshold} = V_{BE}(Q1) + I_1 R_2 - V_{BE}(Q2)$$

$$= I_1 R_2 \cong 200\text{mV}$$

Although this circuit provides a relatively small threshold with a negligible temperature coefficient, there are some limitations to its use, the most important of which is the ±1V common-mode range which requires sensing in the ground line. Another factor to consider is that the frequency compensation provided by R₁C₁ and Q1 provides a roll-off pole at approximately 300Hz.

Since the gain of this circuit is relatively low, there is a transition region as the current limit amplifier takes over pulse width control from the error amplifier. For testing purposes, threshold is defined as the input voltage required to get 25% duty cycle with the error amplifier signaling maximum duty cycle.

In addition to constant current limiting, Pins 4 and 5 may also be used in transformer-coupled circuits to sense primary current and to shorten an output pulse, should transformer saturation occur. Another application is to ground Pin 5 and use Pin 4 as an additional shutdown terminal: i.e., the output will be off with Pin 4 open and on when it is grounded. Finally, foldback current limiting can be provided with the network of Figure 10. This circuit can reduce the short-circuit current (I_{SC}) to approximately one-third the maximum available output current (I_{MAX}).

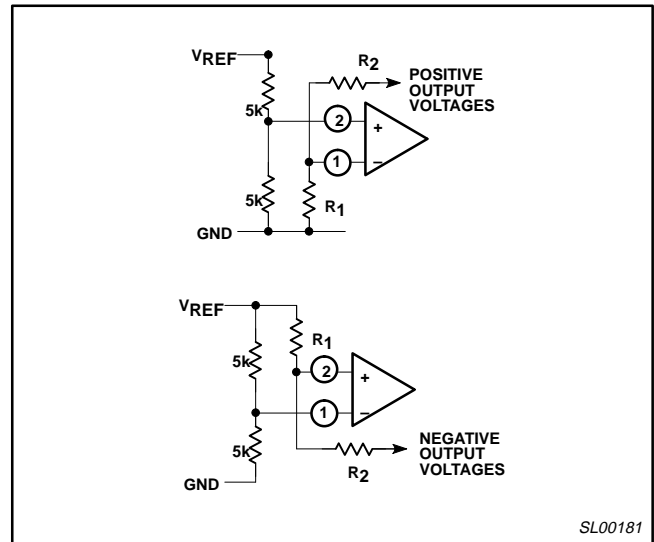


Figure 8. Error Amplifier Biasing Circuits

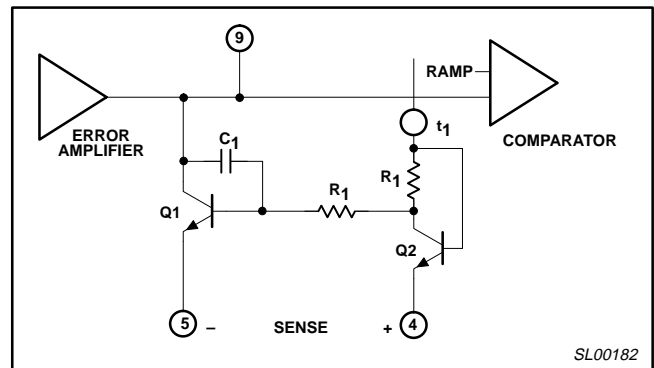


Figure 9. Current Limiting Circuitry of the SG3524

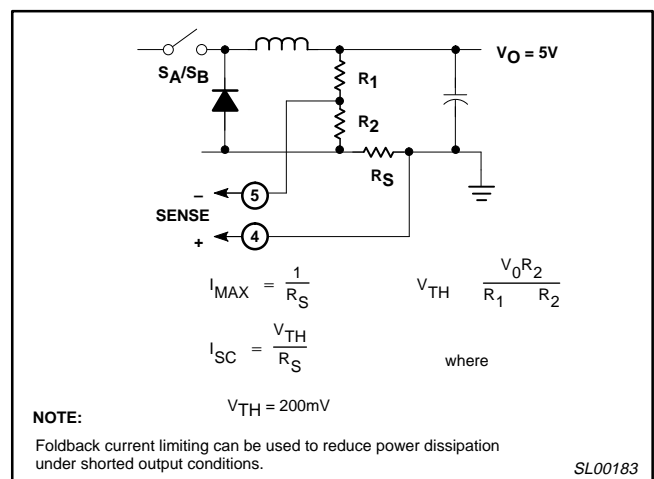
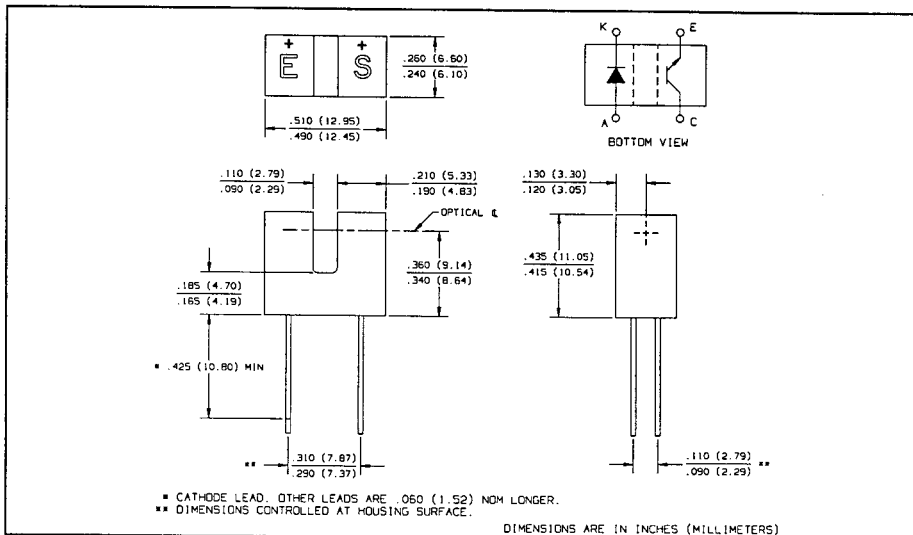
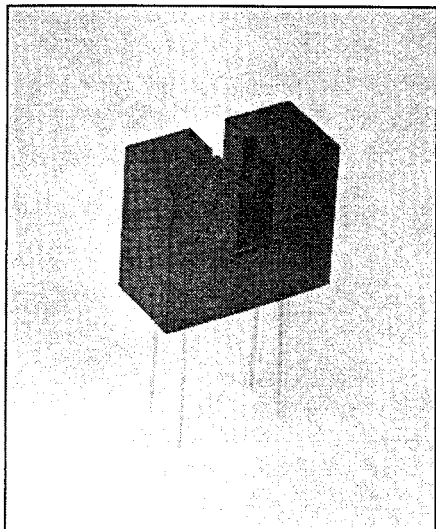


Figure 10. Foldback Current Limiting

Slotted Optical Switches

Types OPB847, OPB848



Features

- Non-contact switching
- Apertured for high resolution
- Fast switching speed
- 0.300" (7.62 mm) lead spacing
- 0.100" (2.54 mm) wide slot
- TX-TXV process available (see Hi-Rel section)

Description

The OPB847 and OPB848 each consist of an infrared emitting diode and an NPN silicon phototransistor mounted in a low cost black plastic housing on opposite sides of a 0.100" (2.54 mm) wide slot. Both devices have a 0.025" (0.635 mm) by 0.060" (1.52 mm) aperture in front of the phototransistor for high resolution position sensing.

Absolute Maximum Ratings (T_A = 25° C unless otherwise noted)

Storage and Operating Temperature -40° C to +85° C
 Lead Soldering Temperature [1/16 inch (1.6 mm) from case for 5 sec. with soldering iron]. 240° C⁽¹⁾

Input Diode

Continuous Forward Current 50 mA
 Peak Forward Current (1 μs pulse width, 300 pps) 3.0 A
 Reverse Voltage 2.0 V
 Power Dissipation 100 mW⁽²⁾

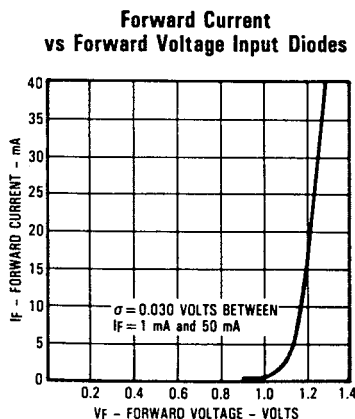
Output Phototransistor

Collector-Emitter Voltage 30 V
 Emitter-Collector Voltage 5.0 V
 Power Dissipation 100 mW⁽²⁾

Notes:

- (1) RMA flux is recommended. Duration can be extended to 10 sec. max when wave soldering.
- (2) Derate linearly 1.67 mW/° C above 25° C.
- (3) Methanol or isopropanol are recommended as cleaning agents.
- (4) All parameters tested using pulse technique.

Typical Performance Curves



Types OPB847, OPB848

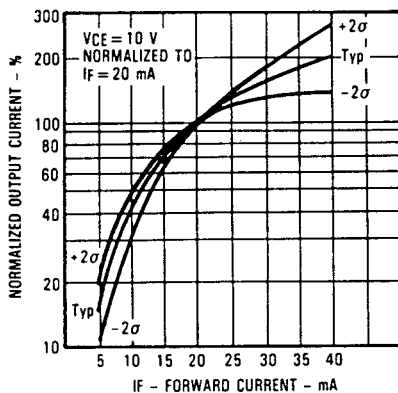
Electrical Characteristics ($T_A = 25^\circ\text{C}$ unless otherwise noted)

SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
Input Diode					
V_F	Forward Voltage		1.7	V	$I_F = 20\text{ mA}$
I_R	Reverse Current		100	μA	$V_R = 2\text{ V}$
Output Phototransistor					
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	30		V	$I_C = 1\text{ mA}$
$V_{(BR)ECO}$	Emitter-Collector Breakdown Voltage	5.0		V	$I_E = 100\ \mu\text{A}$
I_{CEO}	Collector-Emitter Dark Current		100	nA	$V_{CE} = 10\text{ V}, I_F = 0, E_e = 0$
Coupled					
$V_{CE(SAT)}$	Collector-Emitter Saturation Voltage	OPB847 OPB848	0.40 0.40	V V	$I_C = 2\text{ mA}, I_F = 20\text{ mA}$ $I_C = 0.5\text{ mA}, I_F = 20\text{ mA}$
$I_{C(ON)}$	On-State Collector Current	OPB847 OPB848	4.0 1.0	mA mA	$V_{CE} = 10\text{ V}, I_F = 20\text{ mA}$ $V_{CE} = 10\text{ V}, I_F = 20\text{ mA}$

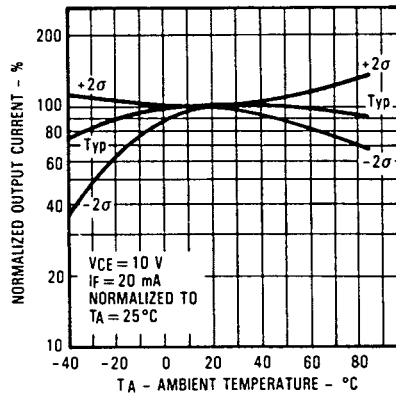
SLOTTED OPTICAL SWITCHES

Typical Performance Curves

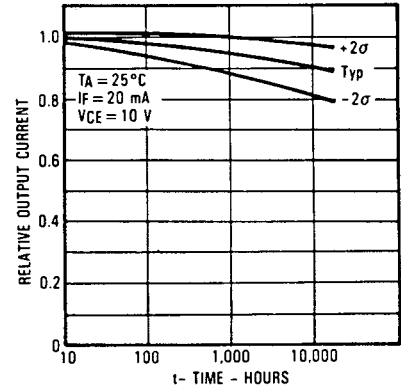
Normalized Output Current vs Forward Current



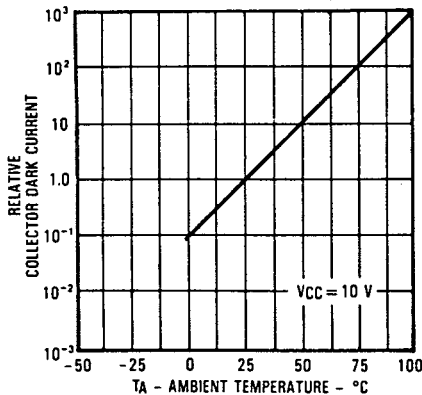
Normalized Output Current vs Ambient Temperature



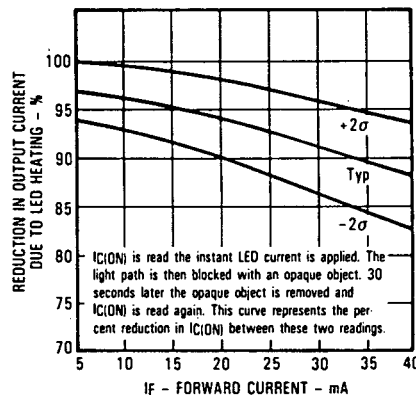
Relative Output Current vs Time



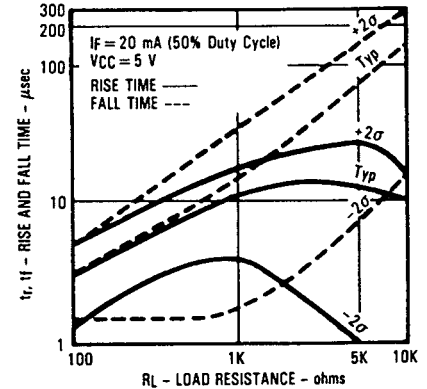
Relative Collector Dark Current vs Ambient Temperature



Reduction in Output Current Due to LED Heating vs Forward Current



Rise and Fall Time vs Load Resistance

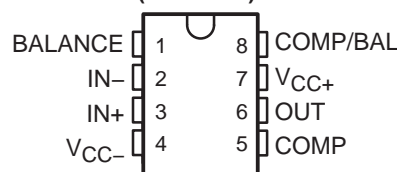


NE5534, NE5534A, SA5534, SA5534A LOW-NOISE OPERATIONAL AMPLIFIERS

SLOS070C – JULY 1979 – REVISED SEPTEMBER 2004

- Equivalent Input Noise Voltage . . .
3.5 nV/ $\sqrt{\text{Hz}}$ Typ
- Unity-Gain Bandwidth . . . 10 MHz Typ
- Common-Mode Rejection Ratio . . .
100 dB Typ
- High DC Voltage Gain . . . 100 V/mV Typ
- Peak-to-Peak Output Voltage Swing
32 V Typ With $V_{CC\pm} = \pm 18$ V and $R_L = 600 \Omega$
- High Slew Rate . . . 13 V/ μs Typ
- Wide Supply-Voltage Range ± 3 V to ± 20 V
- Low Harmonic Distortion
- Offset Nulling Capability
- External Compensation Capability

NE5534, SA5534 . . . D (SOIC), P (PDIP),
OR PS (SOP) PACKAGE
NE5534A, SA5534A . . . D (SOIC) OR P (PDIP) PACKAGE
(TOP VIEW)



description/ordering information

The NE5534, NE5534A, SA5534, and SA5534A are high-performance operational amplifiers combining excellent dc and ac characteristics. Some of the features include very low noise, high output-drive capability, high unity-gain and maximum-output-swing bandwidths, low distortion, and high slew rate.

These operational amplifiers are compensated internally for a gain equal to or greater than three. Optimization of the frequency response for various applications can be obtained by use of an external compensation capacitor between COMP and COMP/BAL. The devices feature input-protection diodes, output short-circuit protection, and offset-voltage nulling capability with use of the BALANCE and COMP/BAL pins (see the *application circuit* diagram).

For the NE5534A and SA5534A, a maximum limit is specified for the equivalent input noise voltage.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2004, Texas Instruments Incorporated

NE5534, NE5534A, SA5534. SA5534A LOW-NOISE OPERATIONAL AMPLIFIERS

SLOS070C – JULY 1979 – REVISED SEPTEMBER 2004

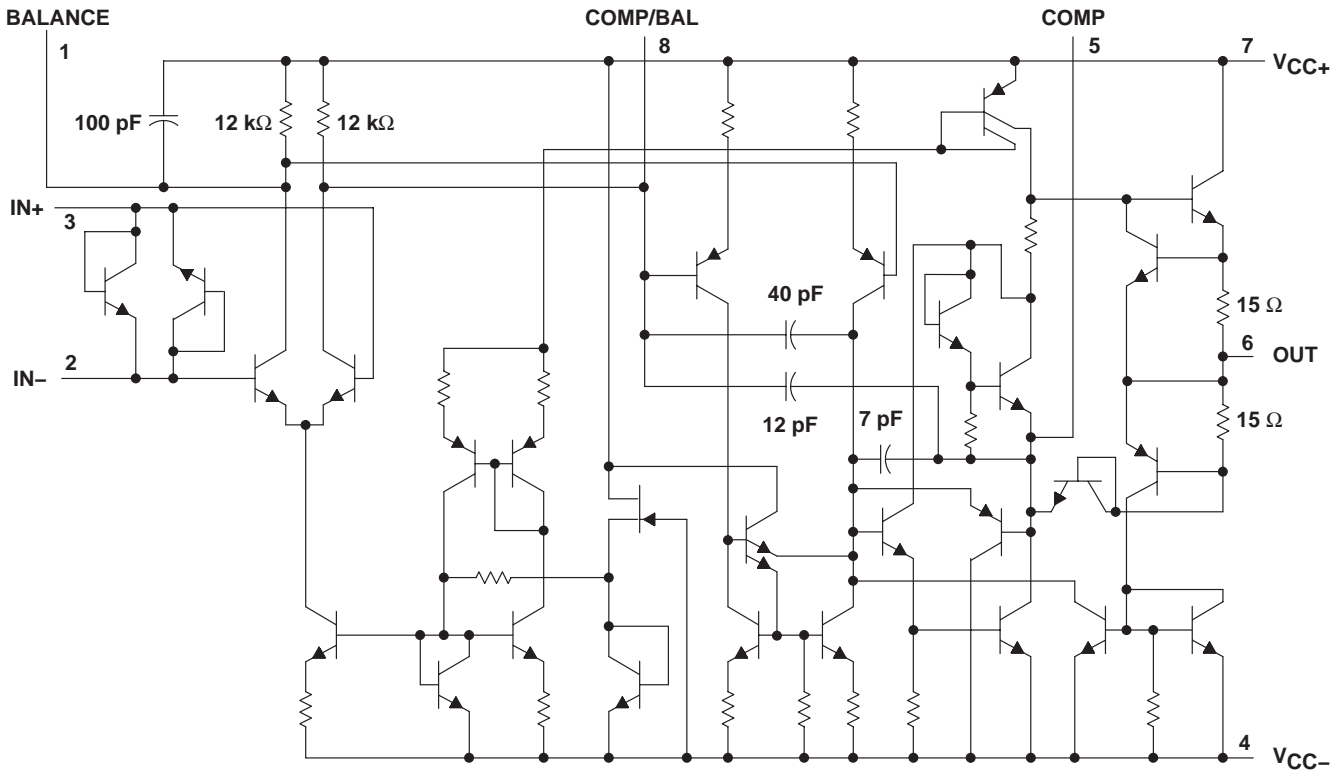
description/ordering information (continued)

ORDERING INFORMATION

TA	V _{IOMAX} AT 25°C	PACKAGE†	ORDERABLE PART NUMBER	TOP-SIDE MARKING	
0°C to 70°C	4 mV	PDIP (P)	Tube of 50	NE5534P	NE5534P
			Tube of 50	NE5534AP	NE5534AP
		SOIC (D)	Tube of 75	NE5534D	NE5534
			Reel of 2500	NE5534DR	
			Tube of 75	NE5534AD	5534A
			Reel of 2500	NE5534ADR	
SOP (PS)	Reel of 2000	NE5534PSR	N5534		
-40°C to 85°C	4 mV	PDIP (P)	Tube of 50	SA5534P	SA5534P
			Tube of 50	SA5534AP	SA5534AP
		SOIC (D)	Tube of 75	SA5534D	SA5534
			Reel of 2500	SA5534DR	
			Tube of 75	SA5534AD	SA5534A
			Reel of 2500	SA5534ADR	
		SOP (PS)	Tube of 80	SA5534PS	SA5534
			Reel of 2000	SA5534PSR	

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.

schematic



All component values shown are nominal.

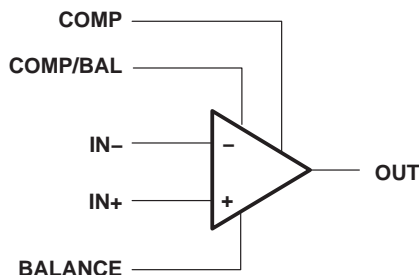


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

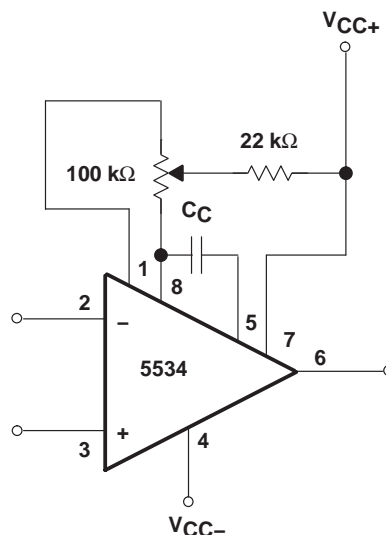
NE5534, NE5534A, SA5534. SA5534A LOW-NOISE OPERATIONAL AMPLIFIERS

SLOS070C – JULY 1979 – REVISED SEPTEMBER 2004

symbol



application circuit



Frequency Compensation and Offset-Voltage Nulling Circuit

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage: V_{CC+} (see Note 1)	22 V
V_{CC-} (see Note 1)	-22 V
Input voltage either input (see Notes 1 and 2)	V_{CC+}
Input current (see Note 3)	± 10 mA
Duration of output short circuit (see Note 4)	Unlimited
Package thermal impedance, θ_{JA} (see Notes 5 and 6):	
D package	97°C/W
P package	85°C/W
PS package	95°C/W
Operating virtual junction temperature, T_J	150°C
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES:
- All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-} .
 - The magnitude of the input voltage must never exceed the magnitude of the supply voltage.
 - Excessive current will flow if a differential input voltage in excess of approximately 0.6 V is applied between the inputs, unless some limiting resistance is used.
 - The output may be shorted to ground or to either power supply. Temperature and/or supply voltages must be limited to ensure the maximum dissipation rating is not exceeded.
 - Maximum power dissipation is a function of $T_J(\max)$, θ_{JA} , and T_A . The maximum allowable power dissipation at any allowable ambient temperature is $P_D = (T_J(\max) - T_A)/\theta_{JA}$. Operating at the absolute maximum T_J of 150°C can affect reliability.
 - The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions

		MIN	MAX	UNIT
V_{CC+}	Supply voltage	5	15	V
V_{CC-}	Supply voltage	-5	-15	V
T_A	Operating free-air temperature range	NE5534, NE5534A	0	70
		SA5534, SA5534A	-40	85

NE5534, NE5534A, SA5534, SA5534A LOW-NOISE OPERATIONAL AMPLIFIERS

SLOS070C – JULY 1979 – REVISED SEPTEMBER 2004

electrical characteristics, $V_{CC\pm} = \pm 15\text{ V}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		MIN	TYP	MAX	UNIT
V_{IO}	Input offset voltage	$V_O = 0$, $R_S = 50\ \Omega$	$T_A = 25^\circ\text{C}$	0.5	4		mV
			$T_A = \text{Full range}$			5	
I_{IO}	Input offset current	$V_O = 0$	$T_A = 25^\circ\text{C}$	20	300		nA
			$T_A = \text{Full range}$			400	
I_{IB}	Input bias current	$V_O = 0$	$T_A = 25^\circ\text{C}$	500	1500		nA
			$T_A = \text{Full range}$			2000	
V_{ICR}	Common-mode input voltage range			± 12	± 13		V
$V_{O(PP)}$	Maximum peak-to-peak output voltage swing	$R_L \geq 600\ \Omega$	$V_{CC\pm} = \pm 15\text{ V}$	24	26		V
			$V_{CC\pm} = \pm 18\text{ V}$	30	32		
A_{VD}	Large-signal differential voltage amplification	$V_O = \pm 10\text{ V}$, $R_L \geq 600\ \Omega$	$T_A = 25^\circ\text{C}$	25	100		V/mV
			$T_A = \text{Full range}$	15			
A_{vd}	Small-signal differential voltage amplification	$f = 10\text{ kHz}$	$C_C = 0$		6		V/mV
			$C_C = 22\text{ pF}$		2.2		
B_{OM}	Maximum-output-swing bandwidth	$V_O = \pm 10\text{ V}$	$C_C = 0$		200		kHz
			$C_C = 22\text{ pF}$		95		
		$V_{CC\pm} = \pm 18\text{ V}$, $R_L \geq 600\ \Omega$,	$V_O = \pm 14\text{ V}$, $C_C = 22\text{ pF}$		70		
B_1	Unity-gain bandwidth	$C_C = 22\text{ pF}$,	$C_L = 100\text{ pF}$		10		MHz
r_i	Input resistance			30	100		k Ω
z_o	Output impedance	$A_{VD} = 30\text{ dB}$, $C_C = 22\text{ pF}$,	$R_L \geq 600\ \Omega$, $f = 10\text{ kHz}$		0.3		Ω
CMRR	Common-mode rejection ratio	$V_O = 0$, $R_S = 50\ \Omega$	$V_{IC} = V_{ICRmin}$,	70	100		dB
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{CC}/\Delta V_{IO}$)	$V_{CC+} = \pm 9\text{ V to } \pm 15\text{ V}$, $V_O = 0$	$R_S = 50\ \Omega$,	80	100		dB
I_{OS}	Output short-circuit current				38		mA
I_{CC}	Supply current	$V_O = 0$, No load	$T_A = 25^\circ\text{C}$		4	8	mA

† All characteristics are measured under open-loop conditions with zero common-mode input voltage, unless otherwise specified. For NE5534 and NE5534A, full range is 0°C to 70°C . For SA5534 and SA5534A, full range is -40°C to 85°C .

NE5534, NE5534A, SA5534. SA5534A LOW-NOISE OPERATIONAL AMPLIFIERS

SLOS070C – JULY 1979 – REVISED SEPTEMBER 2004

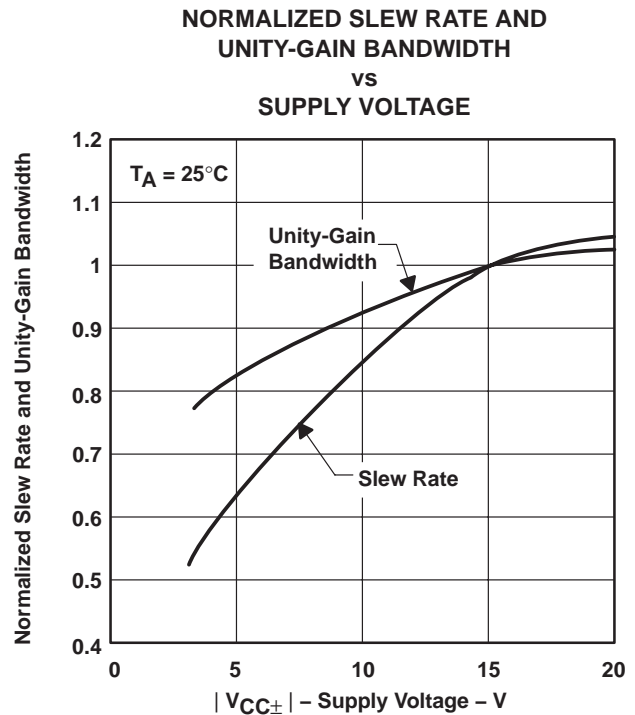
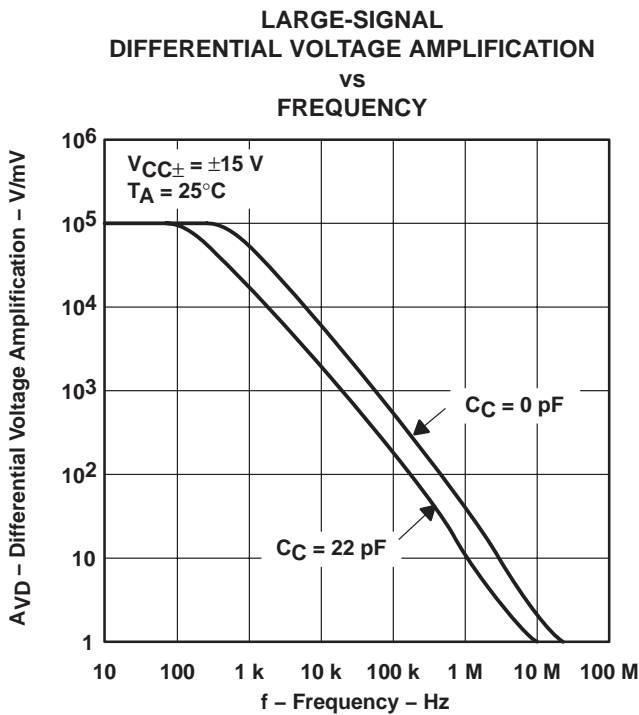
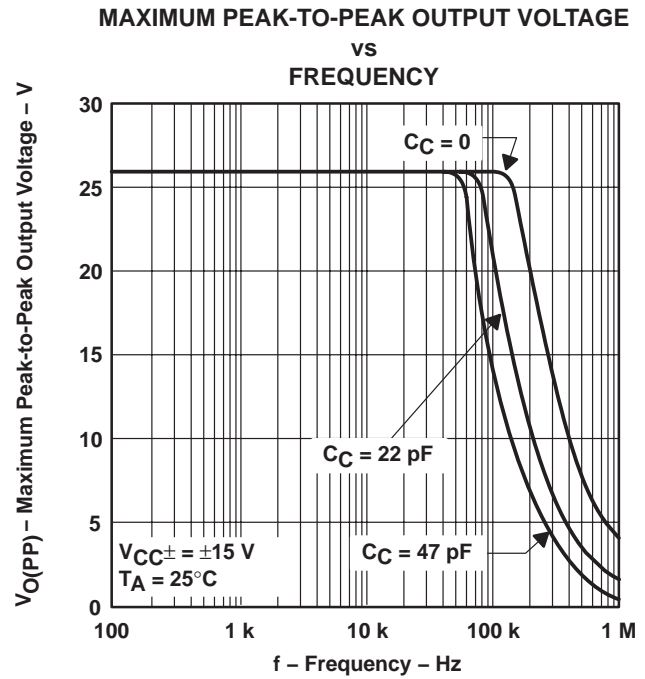
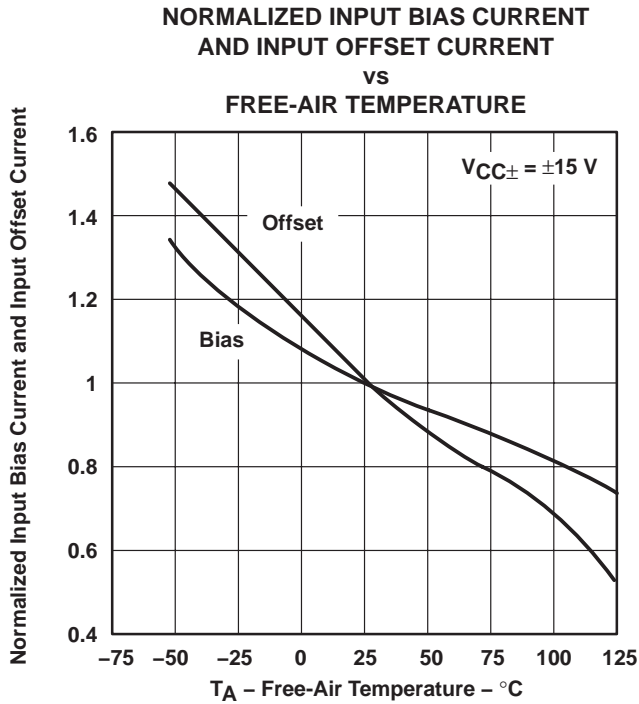
operating characteristics, $V_{CC} \pm = \pm 15\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS	NE5534, SA5534	NE5534A, SA5534A			UNIT
			TYP	MIN	TYP	MAX	
SR	Slew rate	$C_C = 0$	13	13			V/ μ s
		$C_C = 22\text{ pF}$	6	6			
t_r	Rise time	$V_I = 50\text{ mV}$, $A_{VD} = 1$, $R_L = 600\ \Omega$, $C_C = 22\text{ pF}$	20	20			ns
	Overshoot factor	$C_L = 100\text{ pF}$	20	20			%
	Rise time	$V_I = 50\text{ mV}$, $A_{VD} = 1$, $R_L = 600\ \Omega$, $C_C = 47\text{ pF}$	50	50			ns
	Overshoot factor	$C_L = 500\text{ pF}$	35	35			%
V_n	Equivalent input noise voltage	$f = 30\text{ Hz}$	7	5.5	7		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 1\text{ kHz}$	4	3.5	4.5		
I_n	Equivalent input noise current	$f = 30\text{ Hz}$	2.5	1.5			$\text{pA}/\sqrt{\text{Hz}}$
		$f = 1\text{ kHz}$	0.6	0.4			
\bar{F}	Average noise figure	$R_S = 5\text{ k}\Omega$, $f = 10\text{ Hz to }20\text{ kHz}$		0.9			dB

NE5534, NE5534A, SA5534. SA5534A LOW-NOISE OPERATIONAL AMPLIFIERS

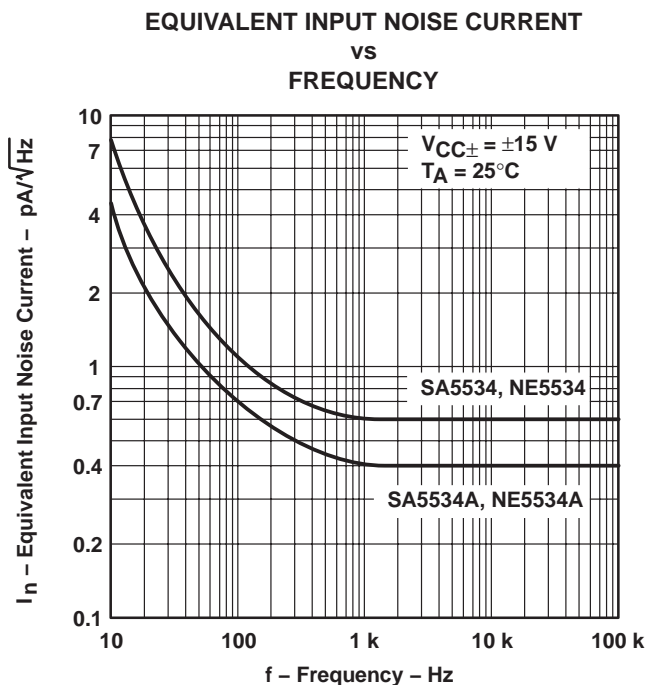
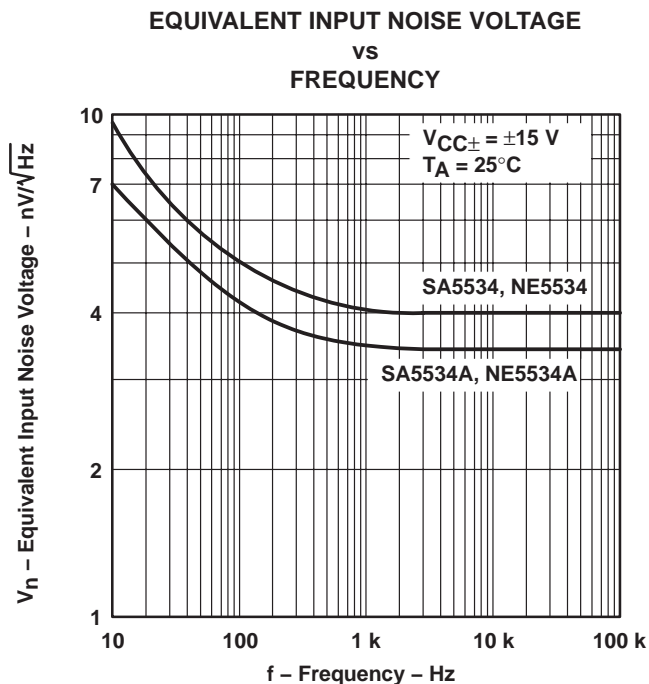
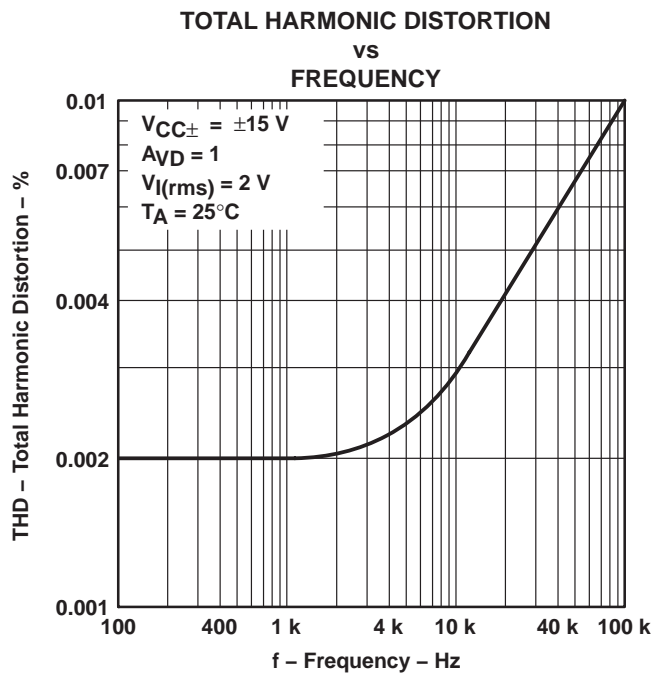
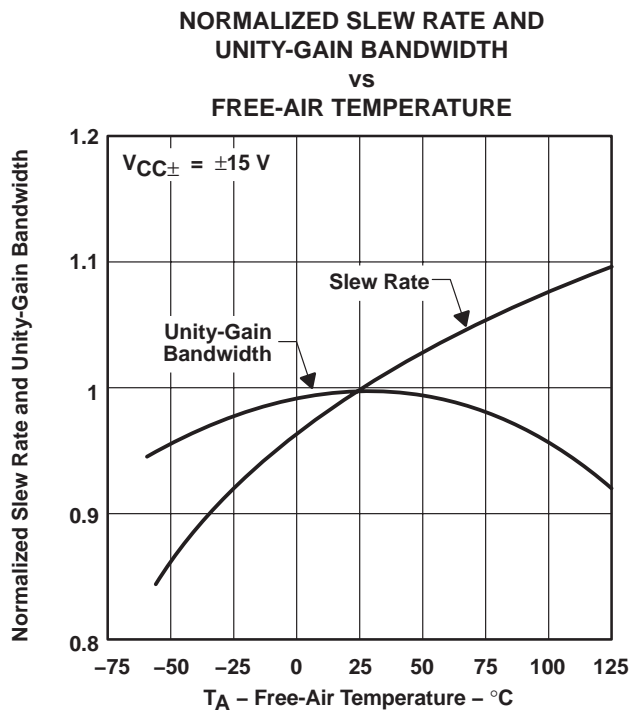
SLOS070C – JULY 1979 – REVISED SEPTEMBER 2004

TYPICAL CHARACTERISTICS†



† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

TYPICAL CHARACTERISTICS†



† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

NE5534, NE5534A, SA5534. SA5534A LOW-NOISE OPERATIONAL AMPLIFIERS

SLOS070C – JULY 1979 – REVISED SEPTEMBER 2004

TYPICAL CHARACTERISTICS

TOTAL EQUIVALENT INPUT NOISE VOLTAGE vs SOURCE RESISTANCE

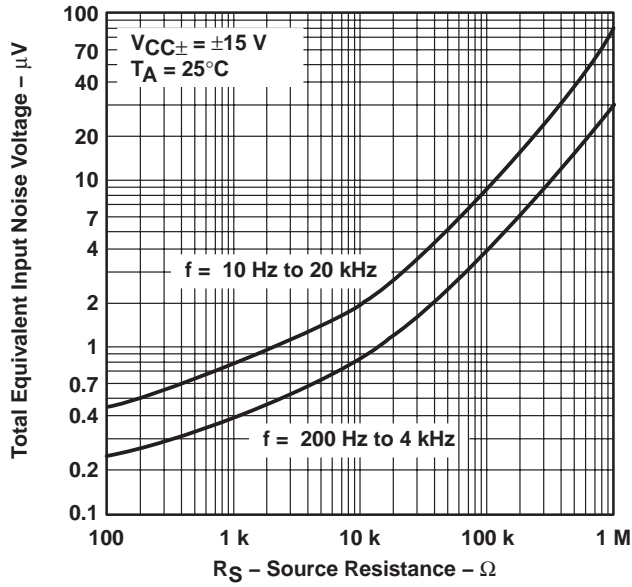


Figure 9

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
NE5534AD	ACTIVE	SOIC	D	8	75	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR
NE5534ADR	ACTIVE	SOIC	D	8	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR
NE5534AJG	OBSOLETE	CDIP	JG	8		None	Call TI	Call TI
NE5534AP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
NE5534D	ACTIVE	SOIC	D	8	75	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR
NE5534DR	ACTIVE	SOIC	D	8	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR
NE5534IP	OBSOLETE	PDIP	P	8		None	Call TI	Call TI
NE5534P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
NE5534PSR	ACTIVE	SO	PS	8	2000	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
SA5534AD	ACTIVE	SOIC	D	8	75	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
SA5534ADR	ACTIVE	SOIC	D	8	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
SA5534AP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SA5534D	ACTIVE	SOIC	D	8	75	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
SA5534DR	ACTIVE	SOIC	D	8	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
SA5534P	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	Level-NC-NC-NC
SA5534PS	ACTIVE	SO	PS	8	80	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
SA5534PSR	ACTIVE	SO	PS	8	2000	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - May not be currently available - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

None: Not yet available Lead (Pb-Free).

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean "Pb-Free" and in addition, uses package materials that do not contain halogens, including bromine (Br) or antimony (Sb) above 0.1% of total product weight.

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

MM74C922 • MM74C923 16-Key Encoder • 20-Key Encoder

General Description

The MM74C922 and MM74C923 CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 kΩ on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two-key roll-over is provided between any two switches.

An internal register remembers the last key pressed even after the key is released. The 3-STATE outputs provide for easy expansion and bus operation and are LPTTL compatible.

Features

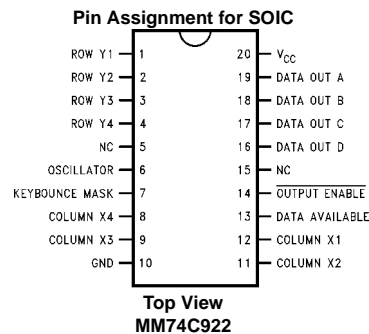
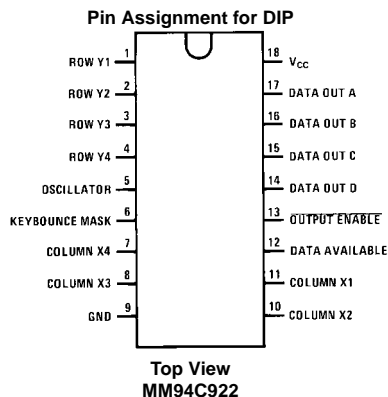
- 50 kΩ maximum switch on resistance
- On or off chip clock
- On-chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- 3-STATE output LPTTL compatible
- Wide supply range: 3V to 15V
- Low power consumption

Ordering Code:

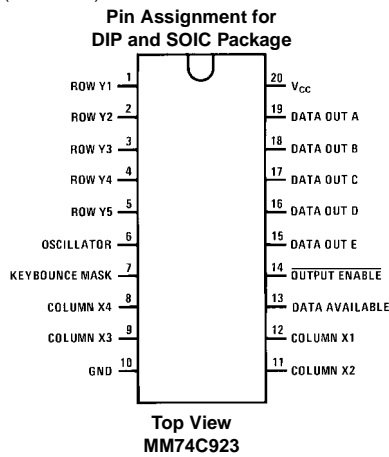
Order Number	Package Number	Package Description
MM74C922N	N18A	18-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74C922WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
MM74C923WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
MM74C923N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Device also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

Connection Diagrams



Connection Diagrams (Continued)



Truth Tables

(Pins 0 through 11)

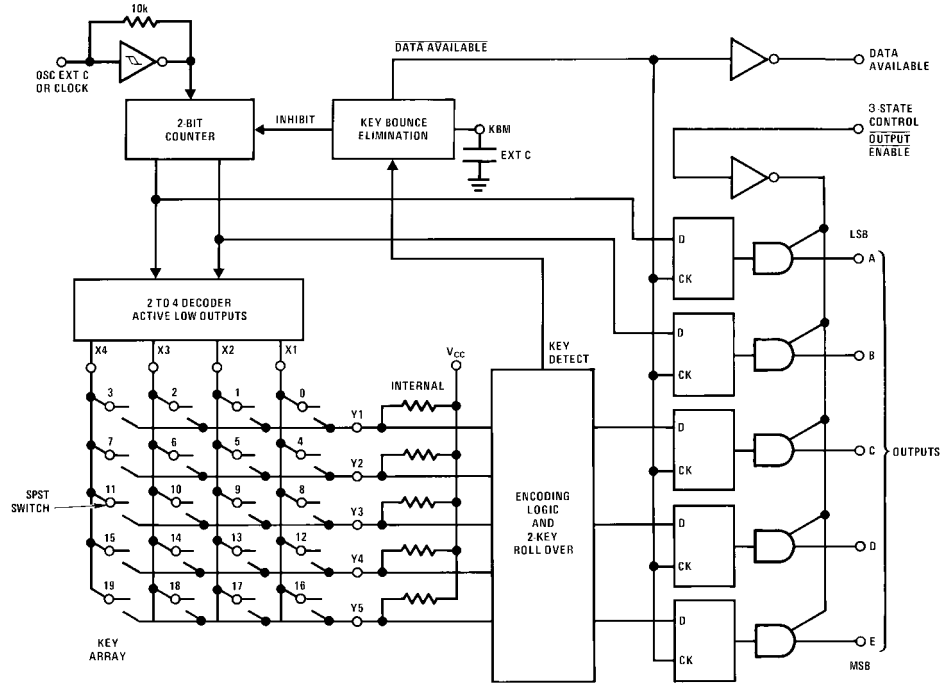
Switch Position	0	1	2	3	4	5	6	7	8	9	10	11
	Y1,X1	Y1,X2	Y1,X3	Y1,X4	Y2,X1	Y2,X2	Y2,X3	Y2,X4	Y3,X1	Y3,X2	Y3,X3	Y3,X4
D												
A A	0	1	0	1	0	1	0	1	0	1	0	1
T B	0	0	1	1	0	0	1	1	0	0	1	1
A C	0	0	0	0	1	1	1	1	0	0	0	0
O D	0	0	0	0	0	0	0	0	1	1	1	1
U E (Note 1)	0	0	0	0	0	0	0	0	0	0	0	0
T												

(Pins 12 through 19)

Switch Position	12	13	14	15	16	17	18	19
	Y4,X1	Y4,X2	Y4,X3	Y4,X4	Y5 (Note 1), X1	Y5 (Note 1), X2	Y5 (Note 1), X3	Y5 (Note 1), X4
D								
A A	0	1	0	1	0	1	0	1
T B	0	0	1	1	0	0	1	1
A C	1	1	1	1	0	0	0	0
O D	1	1	1	1	0	0	0	0
U E (Note 1)	0	0	0	0	1	1	1	1
T								

Note 1: Omit for MM74C922

Block Diagram



MM74C922 • MM74C923

Absolute Maximum Ratings (Note 2)		Operating V_{CC} Range	3V to 15V
Voltage at Any Pin	$V_{CC} - 0.3V$ to $V_{CC} + 0.3V$	V_{CC}	18V
Operating Temperature Range	MM74C922, MM74C923	Lead Temperature	260°C
	-40°C to +85°C	(Soldering, 10 seconds)	
Storage Temperature Range	-65°C to +150°C		
Power Dissipation (P_D)			
Dual-In-Line	700 mW		
Small Outline	500 mW		

Note 2: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

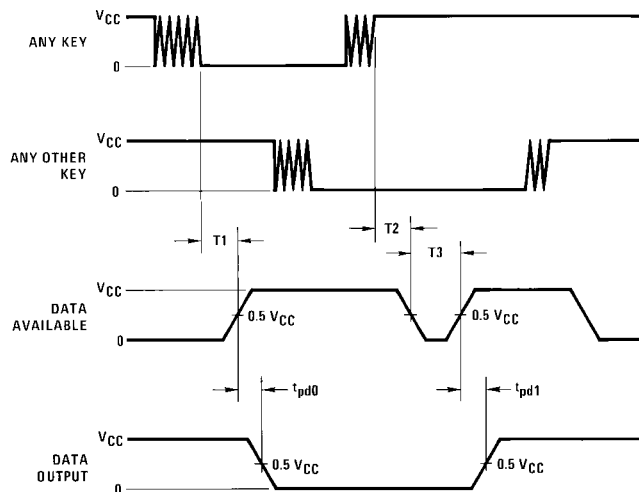
DC Electrical Characteristics

Min/Max limits apply across temperature range unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V, I_{IN} \geq 0.7$ mA	3.0	3.6	4.3	V
		$V_{CC} = 10V, I_{IN} \geq 1.4$ mA	6.0	6.8	8.6	V
		$V_{CC} = 15V, I_{IN} \geq 2.1$ mA	9.0	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V, I_{IN} \geq 0.7$ mA	0.7	1.4	2.0	V
		$V_{CC} = 10V, I_{IN} \geq 1.4$ mA	1.4	3.2	4.0	V
		$V_{CC} = 15V, I_{IN} \geq 2.1$ mA	2.1	5	6.0	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$	3.5	4.5		V
		$V_{CC} = 10V$	8.0	9		V
		$V_{CC} = 15V$	12.5	13.5		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$		0.5	1.5	V
		$V_{CC} = 10V$		1	2	V
		$V_{CC} = 15V$		1.5	2.5	V
I_p	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	$V_{CC} = 5V, V_{IN} = 0.1 V_{CC}$		-2	-5	μ A
		$V_{CC} = 10V$		-10	-20	μ A
		$V_{CC} = 15V$		-22	-45	μ A
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 5V, I_O = -10$ μ A	4.5			V
		$V_{CC} = 10V, I_O = -10$ μ A	9			V
		$V_{CC} = 15V, I_O = -10$ μ A	13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5V, I_O = 10$ μ A			0.5	V
		$V_{CC} = 10V, I_O = 10$ μ A			1	V
		$V_{CC} = 15V, I_O = 10$ μ A			1.5	V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	$V_{CC} = 5V, V_O = 0.5V$		500	1400	Ω
		$V_{CC} = 10V, V_O = 1V$		300	700	Ω
		$V_{CC} = 15V, V_O = 1.5V$		200	500	Ω
I_{CC}	Supply Current Osc at 0V, (one Y low)	$V_{CC} = 5V$		0.55	1.1	mA
		$V_{CC} = 10V$		1.1	1.9	mA
		$V_{CC} = 15V$		1.7	2.6	mA
$I_{IN(1)}$	Logical "1" Input Current at Output Enable	$V_{CC} = 15V, V_{IN} = 15V$		0.005	1.0	μ A
$I_{IN(0)}$	Logical "0" Input Current at Output Enable	$V_{CC} = 15V, V_{IN} = 0V$	-1.0	-0.005		μ A
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Except Osc and KBM Inputs	$V_{CC} = 4.75V$	$V_{CC} - 1.5$			V
$V_{IN(0)}$	Except Osc and KBM Inputs	$V_{CC} = 4.75V$			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360$ μ A	2.4			V
		$V_{CC} = 4.75V$ $I_O = -360$ μ A				
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = -360$ μ A $V_{CC} = 4.75V$ $I_O = -360$ μ A			0.4	V

DC Electrical Characteristics (Continued)						
Symbol	Parameter	Conditions	Min	Typ	Max	Units
OUTPUT DRIVE (See Family Characteristics Data Sheet) (Short Circuit Current)						
I _{SOURCE}	Output Source Current (P-Channel)	V _{CC} = 5V, V _{OUT} = 0V, T _A = 25°C	-1.75	-3.3		mA
I _{SOURCE}	Output Source Current (P-Channel)	V _{CC} = 10V, V _{OUT} = 0V, T _A = 25°C	-8	-15		mA
I _{SINK}	Output Sink Current (N-Channel)	V _{CC} = 5V, V _{OUT} = V _{CC} , T _A = 25°C	1.75	3.6		mA
I _{SINK}	Output Sink Current (N-Channel)	V _{CC} = 10V, V _{OUT} = V _{CC} , T _A = 25°C	8	16		mA
AC Electrical Characteristics (Note 3)						
T _A = 25°C, C _L = 50 pF, unless otherwise noted						
Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{pd0} , t _{pd1}	Propagation Delay Time to Logical "0" or Logical "1" from D.A.	C _L = 50 pF (Figure 1) V _{CC} = 5V V _{CC} = 10V V _{CC} = 15V		60 35 25	150 80 60	ns ns ns
t _{0H} , t _{1H}	Propagation Delay Time from Logical "0" or Logical "1" into High Impedance State	R _L = 10k, C _L = 10 pF (Figure 2) V _{CC} = 5V, R _L = 10k V _{CC} = 10V, C _L = 10 pF V _{CC} = 15V		80 65 50	200 150 110	ns ns ns
t _{H0} , t _{H1}	Propagation Delay Time from High Impedance State to a Logical "0" or Logical "1"	R _L = 10k, C _L = 50 pF (Figure 2) V _{CC} = 5V, R _L = 10k V _{CC} = 10V, C _L = 50 pF V _{CC} = 15V		100 55 40	250 125 90	ns ns ns
C _{IN}	Input Capacitance	Any Input (Note 4)		5	7.5	pF
C _{OUT}	3-STATE Output Capacitance	Any Output (Note 4)		10		pF
<p>Note 3: AC Parameters are guaranteed by DC correlated testing.</p> <p>Note 4: Capacitance is guaranteed by periodic testing.</p>						

Switching Time Waveforms



$T_1 = T_2 = RC$, $T_3 = 0.7 RC$, where $R \approx 10k$ and C is external capacitor at KBM input.

FIGURE 1.

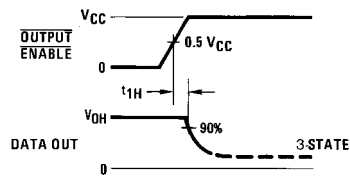
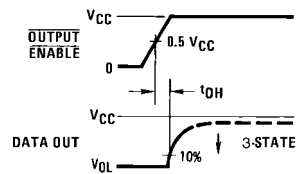
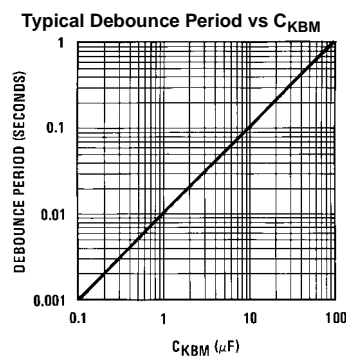
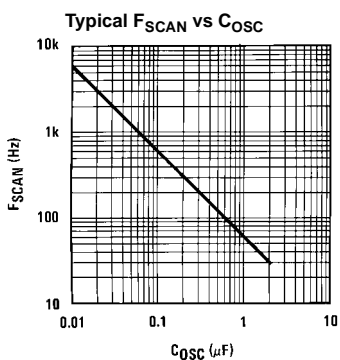
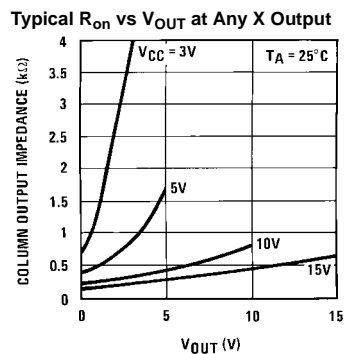
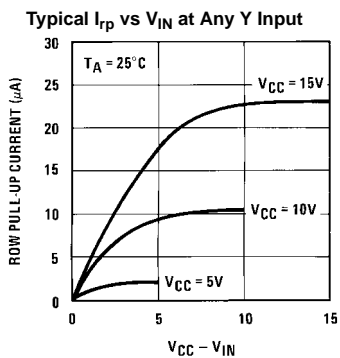


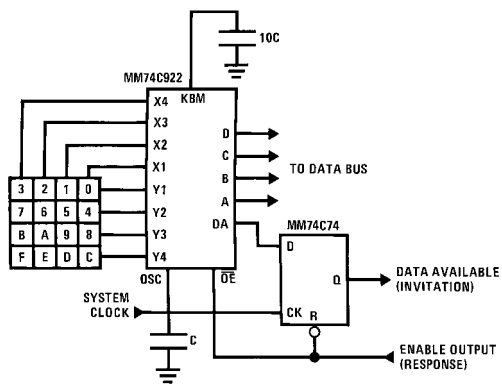
FIGURE 2.

Typical Performance Characteristics



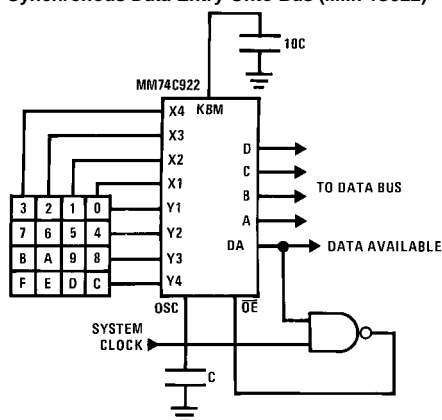
Typical Applications

Synchronous Handshake (MM74C922)



The keyboard may be synchronously scanned by omitting the capacitor at osc. and driving osc. directly if the system clock rate is lower than 10 kHz

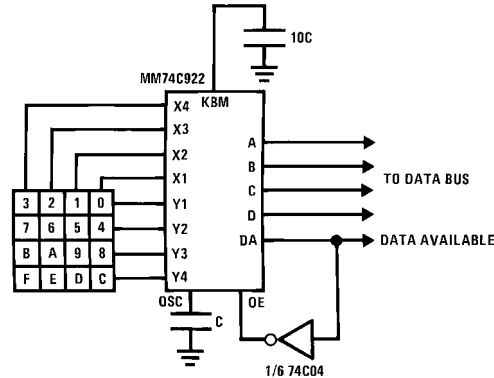
Synchronous Data Entry Onto Bus (MM74C922)



Outputs are enabled when valid entry is made and go into 3-STATE when key is released.

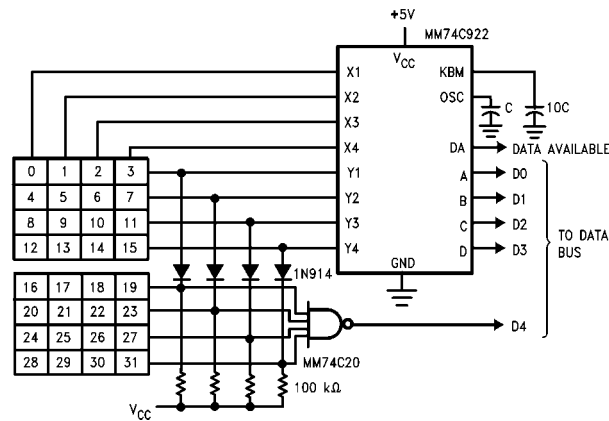
The keyboard may be synchronously scanned by omitting the capacitor at osc. and driving osc. directly if the system clock rate is lower than 10 kHz

Asynchronous Data Entry Onto Bus (MM74C922)



Outputs are in 3-STATE until key is pressed, then data is placed on bus. When key is released, outputs return to 3-STATE.

Expansion to 32 Key Encoder (MM74C922)



Theory of Operation

The MM74C922/MM74C923 Keyboard Encoders implement all the logic necessary to interface a 16 or 20 SPST key switch matrix to a digital system. The encoder will convert a key switch closure to a 4 (MM74C922) or 5 (MM74C923) bit nibble. The designer can control both the keyboard scan rate and the key debounce period by altering the oscillator capacitor, C_{OSC} , and the key bounce mask capacitor, C_{MSK} . Thus, the MM74C922/MM74C923's performance can be optimized for many keyboards.

The keyboard encoders connect to a switch matrix that is 4 rows by 4 columns (MM74C922) or 5 rows by 4 columns (MM74C923). When no keys are depressed, the row inputs are pulled high by internal pull-ups and the column outputs sequentially output a logic "0". These outputs are open drain and are therefore low for 25% of the time and otherwise off. The column scan rate is controlled by the oscillator input, which consists of a Schmitt trigger oscillator, a 2-bit counter, and a 2-4-bit decoder.

When a key is depressed, key 0, for example, nothing will happen when the X1 input is off, since Y1 will remain high. When the X1 column is scanned, X1 goes low and Y1 will go low. This disables the counter and keeps X1 low. Y1

going low also initiates the key bounce circuit timing and locks out the other Y inputs. The key code to be output is a combination of the frozen counter value and the decoded Y inputs. Once the key bounce circuit times out, the data is latched, and the Data Available (DAV) output goes high.

If, during the key closure the switch bounces, Y1 input will go high again, restarting the scan and resetting the key bounce circuitry. The key may bounce several times, but as soon as the switch stays low for a debounce period, the closure is assumed valid and the data is latched.

A key may also bounce when it is released. To ensure that the encoder does not recognize this bounce as another key closure, the debounce circuit must time out before another closure is recognized.

The two-key roll-over feature can be illustrated by assuming a key is depressed, and then a second key is depressed. Since all scanning has stopped, and all other Y inputs are disabled, the second key is not recognized until the first key is lifted and the key bounce circuitry has reset.

The output latches feed 3-STATE, which is enabled when the Output Enable (\overline{OE}) input is taken low.

MM54C922/MM74C922 16-Key Encoder MM54C923/MM74C923 20-Key Encoder

General Description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 k Ω on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two-key roll-over is provided between any two switches.

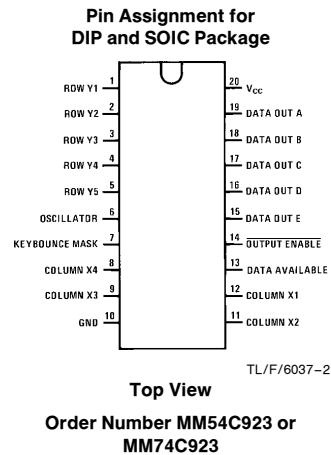
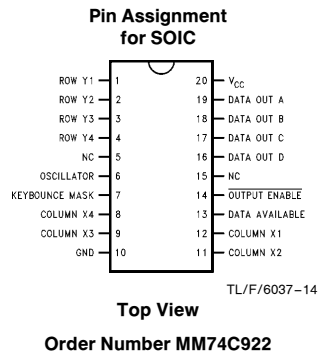
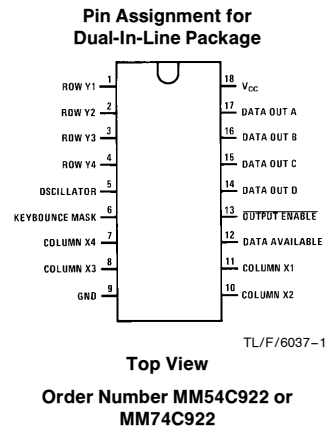
An internal register remembers the last key pressed even after the key is released. The TRI-STATE[®] outputs provide for easy expansion and bus operation and are LPTTL compatible.

Features

- 50 k Ω maximum switch on resistance
- On or off chip clock
- On-chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE output LPTTL compatible
- Wide supply range
- Low power consumption

3V to 15V

Connection Diagrams



TRI-STATE[®] is a registered trademark of National Semiconductor Corporation.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Voltage at Any Pin	$V_{CC} - 0.3V$ to $V_{CC} + 0.3V$
Operating Temperature Range	$-55^{\circ}C$ to $+125^{\circ}C$
MM54C922, MM54C923	$-40^{\circ}C$ to $+85^{\circ}C$
MM74C922, MM74C923	

Storage Temperature Range	$-65^{\circ}C$ to $+150^{\circ}C$
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Operating V_{CC} Range	3V to 15V
V_{CC}	18V
Lead Temperature	
(Soldering, 10 seconds)	260°C

DC Electrical Characteristics

Min/Max limits apply across temperature range unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V, I_{IN} \geq 0.7 mA$	3.0	3.6	4.3	V
		$V_{CC} = 10V, I_{IN} \geq 1.4 mA$	6.0	6.8	8.6	V
		$V_{CC} = 15V, I_{IN} \geq 2.1 mA$	9.0	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V, I_{IN} \geq 0.7 mA$	0.7	1.4	2.0	V
		$V_{CC} = 10V, I_{IN} \geq 1.4 mA$	1.4	3.2	4.0	V
		$V_{CC} = 15V, I_{IN} \geq 2.1 mA$	2.1	5	6.0	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$	3.5	4.5		V
		$V_{CC} = 10V$	8.0	9		V
		$V_{CC} = 15V$	12.5	13.5		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$		0.5	1.5	V
		$V_{CC} = 10V$		1	2	V
		$V_{CC} = 15V$		1.5	2.5	V
I_{rp}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	$V_{CC} = 5V, V_{IN} = 0.1 V_{CC}$		-2	-5	μA
		$V_{CC} = 10V$		-10	-20	μA
		$V_{CC} = 15V$		-22	-45	μA
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 5V, I_O = -10 \mu A$	4.5			V
		$V_{CC} = 10V, I_O = -10 \mu A$	9			V
		$V_{CC} = 15V, I_O = -10 \mu A$	13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5V, I_O = 10 \mu A$			0.5	V
		$V_{CC} = 10V, I_O = 10 \mu A$			1	V
		$V_{CC} = 15V, I_O = 10 \mu A$			1.5	V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	$V_{CC} = 5V, V_O = 0.5V$		500	1400	Ω
		$V_{CC} = 10V, V_O = 1V$		300	700	Ω
		$V_{CC} = 15V, V_O = 1.5V$		200	500	Ω
I_{CC}	Supply Current Osc at 0V, (one Y low)	$V_{CC} = 5V$		0.55	1.1	mA
		$V_{CC} = 10V$		1.1	1.9	mA
		$V_{CC} = 15V$		1.7	2.6	mA
$I_{IN(1)}$	Logical "1" Input Current at Output Enable	$V_{CC} = 15V, V_{IN} = 15V$		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at Output Enable	$V_{CC} = 15V, V_{IN} = 0V$	-1.0	-0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, $V_{CC} = 4.5V$	$V_{CC} - 1.5$			V
		74C, $V_{CC} = 4.75V$	$V_{CC} - 1.5$			V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, $V_{CC} = 4.5V$			0.8	V
		74C, $V_{CC} = 4.75V$			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, $V_{CC} = 4.5V$ $I_O = -360 \mu A$	2.4			V
		74C, $V_{CC} = 4.75V$ $I_O = -360 \mu A$	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, $V_{CC} = 4.5V$ $I_O = -360 \mu A$			0.4	V
		74C, $V_{CC} = 4.75V$ $I_O = -360 \mu A$			0.4	V

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

DC Electrical Characteristics

Min/Max limits apply across temperature range unless otherwise specified (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet) (Short Circuit Current)						
I _{SOURCE}	Output Source Current (P-Channel)	V _{CC} = 5V, V _{OUT} = 0V, T _A = 25°C	-1.75	-3.3		mA
I _{SOURCE}	Output Source Current (P-Channel)	V _{CC} = 10V, V _{OUT} = 0V, T _A = 25°C	-8	-15		mA
I _{SINK}	Output Sink Current (N-Channel)	V _{CC} = 5V, V _{OUT} = V _{CC} , T _A = 25°C	1.75	3.6		mA
I _{SINK}	Output Sink Current (N-Channel)	V _{CC} = 10V, V _{OUT} = V _{CC} , T _A = 25°C	8	16		mA

AC Electrical Characteristics* T_A = 25°C, C_L = 50 pF, unless otherwise noted

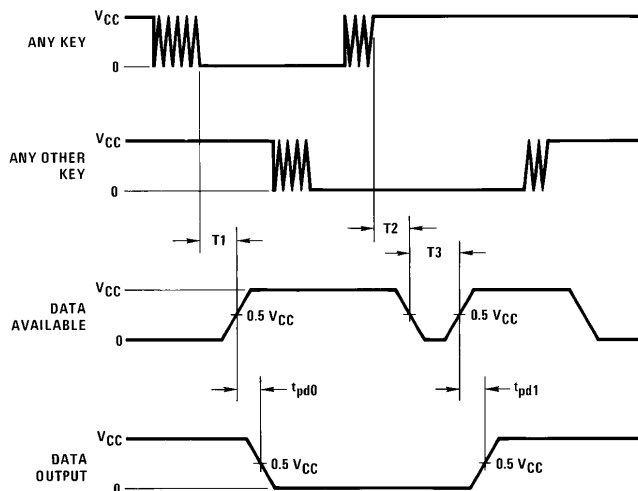
Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{pd0} , t _{pd1}	Propagation Delay Time to Logical "0" or Logical "1" from D.A.	C _L = 50 pF (Figure 1) V _{CC} = 5V V _{CC} = 10V V _{CC} = 15V		60 35 25	150 80 60	ns
t _{0H} , t _{1H}	Propagation Delay Time from Logical "0" or Logical "1" into High Impedance State	R _L = 10k, C _L = 10 pF (Figure 2) V _{CC} = 5V, R _L = 10k V _{CC} = 10V, C _L = 10 pF V _{CC} = 15V		80 65 50	200 150 110	ns
t _{H0} , t _{H1}	Propagation Delay Time from High Impedance State to a Logical "0" or Logical "1"	R _L = 10k, C _L = 50 pF (Figure 2) V _{CC} = 5V, R _L = 10k V _{CC} = 10V, C _L = 50 pF V _{CC} = 15V		100 55 40	250 125 90	ns
C _{IN}	Input Capacitance	Any Input (Note 2)		5	7.5	pF
C _{OUT}	TRI-STATE Output Capacitance	Any Output (Note 2)		10		pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

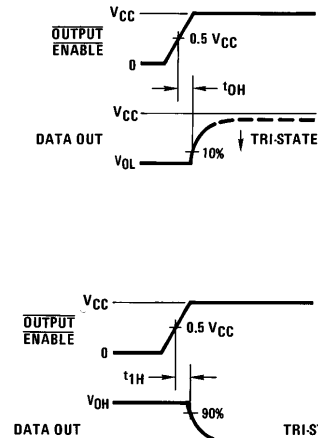
Switching Time Waveforms



TL/F/6037-3

T₁ ≈ T₂ ≈ RC, T₃ ≈ 0.7 RC, where R ≈ 10k and C is external capacitor at KBM input.

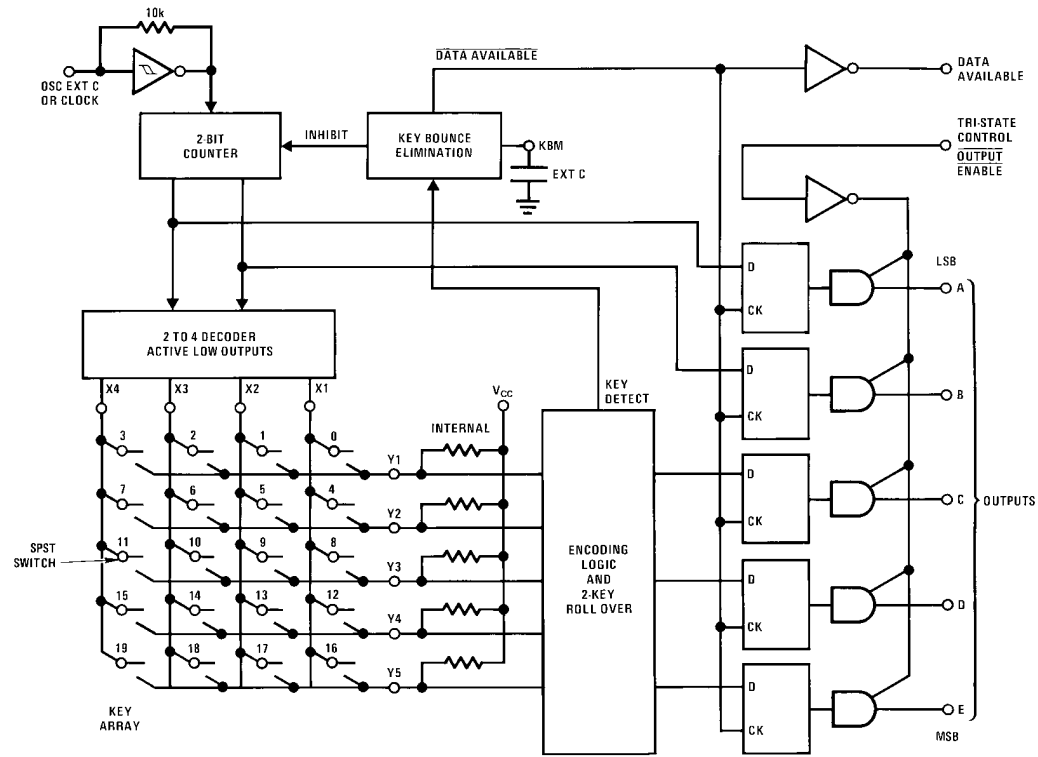
FIGURE 1



TL/F/6037-4

FIGURE 2

Block Diagram



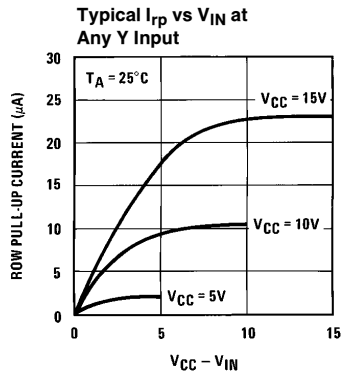
TL/F/6037-5

Truth Table

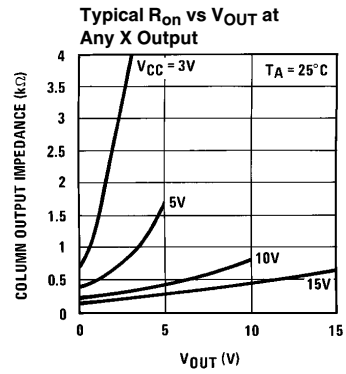
Switch Position	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
	Y1,X1	Y1,X2	Y1,X3	Y1,X4	Y2,X1	Y2,X2	Y2,X3	Y2,X4	Y3,X1	Y3,X2	Y3,X3	Y3,X4	Y4,X1	Y4,X2	Y4,X3	Y4,X4	Y5*,X1	Y5*,X2	Y5*,X3	Y5*,X4
D	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
A	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
T B	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
A C	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
O D	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
U E*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

*Omit for MM54C922/MM74C922

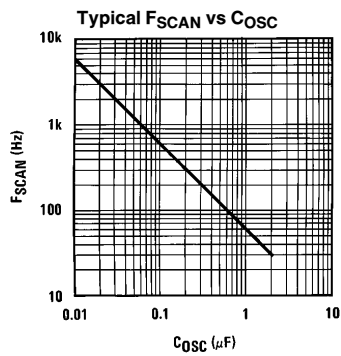
Typical Performance Characteristics



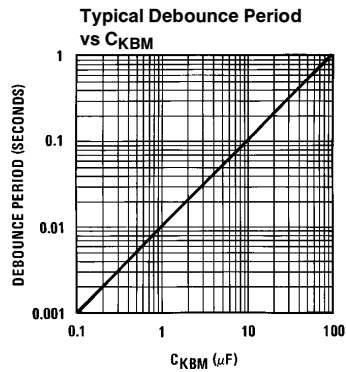
TL/F/6037-6



TL/F/6037-7



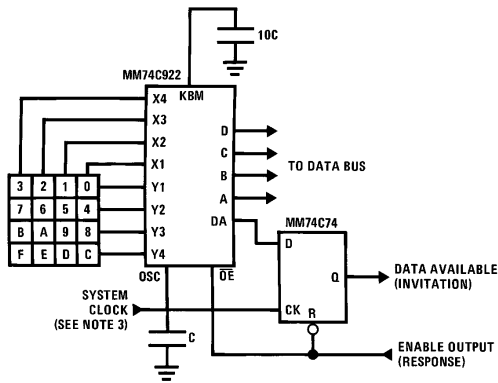
TL/F/6037-8



TL/F/6037-9

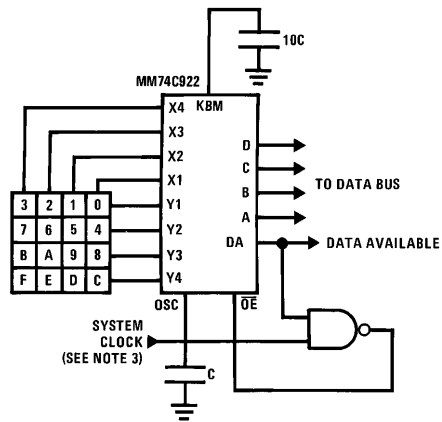
Typical Applications

Synchronous Handshake (MM74C922)



TL/F/6037-10

Synchronous Data Entry Onto Bus (MM74C922)



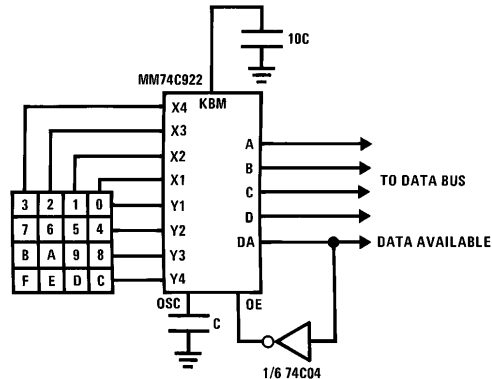
TL/F/6037-11

Outputs are enabled when valid entry is made and go into TRI-STATE when key is released.

Note 3: The keyboard may be synchronously scanned by omitting the capacitor at osc. and driving osc. directly if the system clock rate is lower than 10 kHz.

Typical Applications (Continued)

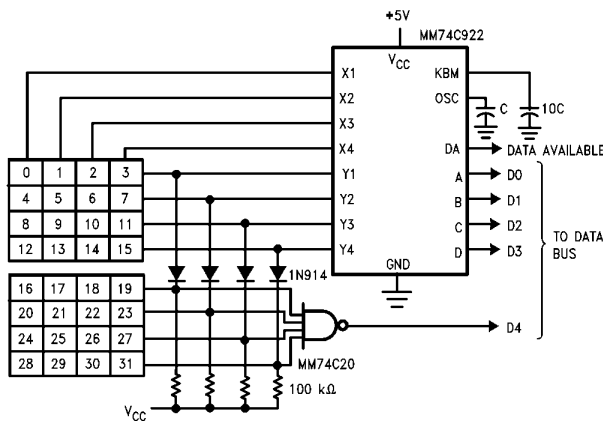
Asynchronous Data Entry Onto Bus (MM74C922)



Outputs are in TRI-STATE until key is pressed, then data is placed on bus. When key is released, outputs return to TRI-STATE.

TL/F/6037-12

Expansion to 32 Key Encoder (MM74C922)



TL/F/6037-13

Theory of Operation

The MM74C922/MM74C923 Keyboard Encoders implement all the logic necessary to interface a 16 or 20 SPST key switch matrix to a digital system. The encoder will convert a key switch closer to a 4 (MM74C922) or 5 (MM74C923) bit nibble. The designer can control both the keyboard scan rate and the key debounce period by altering the oscillator capacitor, C_{OSC} , and the key bounce mask capacitor, C_{MSK} . Thus, the MM74C922/MM74C923's performance can be optimized for many keyboards.

The keyboard encoders connect to a switch matrix that is 4 rows by 4 columns (MM74C922) or 5 rows by 4 columns (MM74C923). When no keys are depressed, the row inputs are pulled high by internal pull-ups and the column outputs sequentially output a logic "0". These outputs are open drain and are therefore low for 25% of the time and otherwise off. The column scan rate is controlled by the oscillator input, which consists of a Schmitt trigger oscillator, a 2-bit counter, and a 2-4-bit decoder.

When a key is depressed, key 0, for example, nothing will happen when the X1 input is off, since Y1 will remain high. When the X1 column is scanned, X1 goes low and Y1 will go low. This disables the counter and keeps X1 low. Y1 going

low also initiates the key bounce circuit timing and locks out the other Y inputs. The key code to be output is a combination of the frozen counter value and the decoded Y inputs. Once the key bounce circuit times out, the data is latched, and the Data Available (DAV) output goes high.

If, during the key closure the switch bounces, Y1 input will go high again, restarting the scan and resetting the key bounce circuitry. The key may bounce several times, but as soon as the switch stays low for a debounce period, the closure is assumed valid and the data is latched.

A key may also bounce when it is released. To ensure that the encoder does not recognize this bounce as another key closure, the debounce circuit must time out before another closure is recognized.

The two-key roll-over feature can be illustrated by assuming a key is depressed, and then a second key is depressed. Since all scanning has stopped, and all other Y inputs are disabled, the second key is not recognized until the first key is lifted and the key bounce circuitry has reset.

The output latches feed TRI-STATE, which is enabled when the Output Enable (\overline{OE}) input is taken low.

LM2524D/LM3524D

Regulating Pulse Width Modulator

General Description

The LM3524D family is an improved version of the industry standard LM3524. It has improved specifications and additional features yet is pin for pin compatible with existing 3524 families. New features reduce the need for additional external circuitry often required in the original version.

The LM3524D has a $\pm 1\%$ precision 5V reference. The current carrying capability of the output drive transistors has been raised to 200 mA while reducing V_{CEsat} and increasing V_{CE} breakdown to 60V. The common mode voltage range of the error-amp has been raised to 5.5V to eliminate the need for a resistive divider from the 5V reference.

In the LM3524D the circuit bias line has been isolated from the shut-down pin. This prevents the oscillator pulse amplitude and frequency from being disturbed by shut-down. Also at high frequencies (≈ 300 kHz) the max. duty cycle per output has been improved to 44% compared to 35% max. duty cycle in other 3524s.

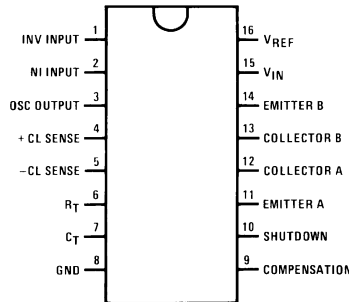
In addition, the LM3524D can now be synchronized externally, through pin 3. Also a latch has been added to insure

one pulse per period even in noisy environments. The LM3524D includes double pulse suppression logic that insures when a shut-down condition is removed the state of the T-flip-flop will change only after the first clock pulse has arrived. This feature prevents the same output from being pulsed twice in a row, thus reducing the possibility of core saturation in push-pull designs.

Features

- Fully interchangeable with standard LM3524 family
- $\pm 1\%$ precision 5V reference with thermal shut-down
- Output current to 200 mA DC
- 60V output capability
- Wide common mode input range for error-amp
- One pulse per period (noise suppression)
- Improved max. duty cycle at high frequencies
- Double pulse suppression
- Synchronize through pin 3

Connection Diagram



00865002

Top View

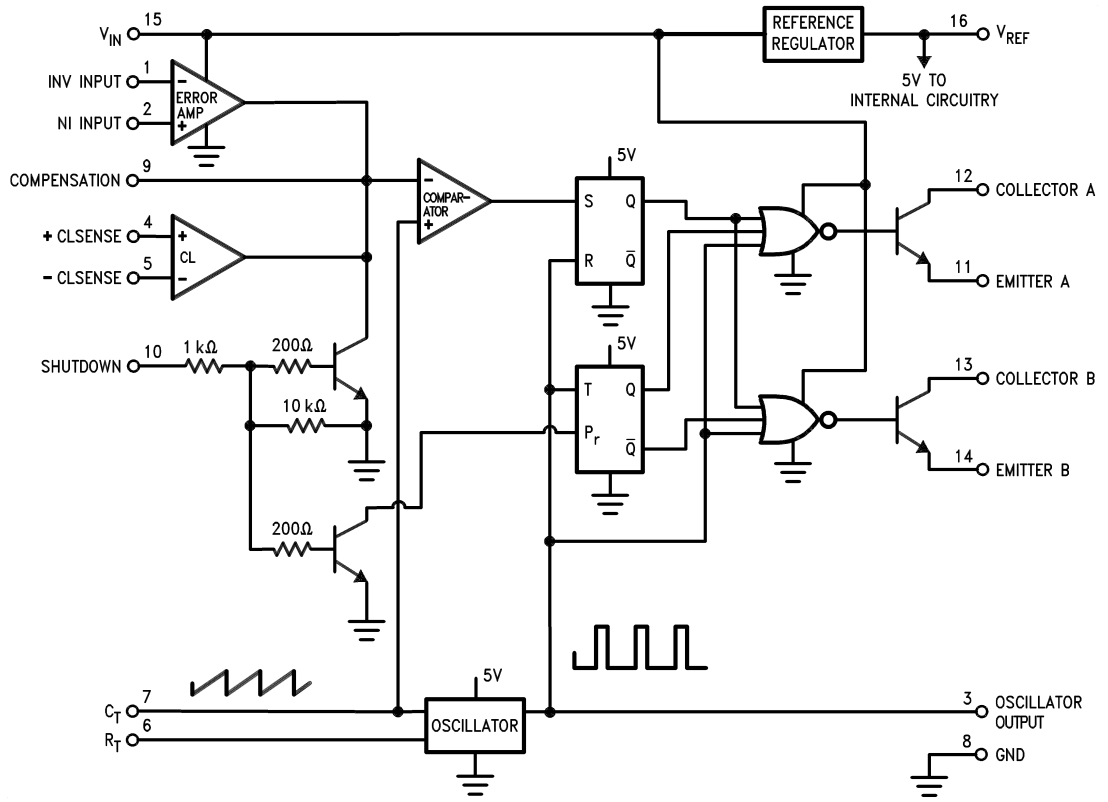
Order Number LM2524DN or LM3524DN

See NS Package Number N16E

Order Number LM3524DM

See NS Package Number M16A

Block Diagram



00865001

Absolute Maximum Ratings (Note 5)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	40V
Collector Supply Voltage (LM2524D)	55V
(LM3524D)	40V
Output Current DC (each)	200 mA
Oscillator Charging Current (Pin 7)	5 mA

Internal Power Dissipation	1W
Operating Junction Temperature Range (Note 2)	
LM2524D	-40°C to +125°C
LM3524D	0°C to +125°C
Maximum Junction Temperature	150°
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering 4 sec.)	
M, N Pkg.	260°C

Electrical Characteristics

(Note 1)

Symbol	Parameter	Conditions	LM2524D			LM3524D			Units
			Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	

REFERENCE SECTION

V_{REF}	Output Voltage		5	4.85	4.80	5	4.75		V_{Min}
				5.15	5.20		5.25		V_{Max}
V_{RLine}	Line Regulation	$V_{IN} = 8V$ to 40V	10	15	30	10	25	50	mV_{Max}
V_{RLoad}	Load Regulation	$I_L = 0$ mA to 20 mA	10	15	25	10	25	50	mV_{Max}
$\frac{\Delta V_{IN}}{\Delta V_{REF}}$	Ripple Rejection	$f = 120$ Hz	66			66			dB
I_{OS}	Short Circuit Current	$V_{REF} = 0$	50	25		50	25		mA Min
				180			200		mA Max
N_O	Output Noise	10 Hz $\leq f \leq 10$ kHz	40		100	40		100	$\mu V_{rms Max}$
	Long Term Stability	$T_A = 125^\circ C$	20			20			mV/kHr

OSCILLATOR SECTION

f_{OSC}	Max. Freq.	$R_T = 1k, C_T = 0.001 \mu F$ (Note 7)	550		500	350			kHz_{Min}
f_{OSC}	Initial Accuracy	$R_T = 5.6k, C_T = 0.01 \mu F$ (Note 7)	20	17.5		20	17.5		kHz_{Min}
				22.5			22.5		kHz_{Max}
		$R_T = 2.7k, C_T = 0.01 \mu F$ (Note 7)	38	34		38	30		kHz_{Min}
				42			46		kHz_{Max}
Δf_{OSC}	Freq. Change with V_{IN}	$V_{IN} = 8$ to 40V	0.5	1		0.5	1.0		$\%_{Max}$
Δf_{OSC}	Freq. Change with Temp.	$T_A = -55^\circ C$ to $+125^\circ C$ at 20 kHz $R_T = 5.6k,$ $C_T = 0.01 \mu F$	5			5			%
V_{OSC}	Output Amplitude (Pin 3) (Note 8)	$R_T = 5.6k, C_T = 0.01 \mu F$	3	2.4		3	2.4		V_{Min}
t_{PW}	Output Pulse Width (Pin 3)	$R_T = 5.6k, C_T = 0.01 \mu F$	0.5	1.5		0.5	1.5		μS_{Max}
	Sawtooth Peak Voltage	$R_T = 5.6k, C_T = 0.01 \mu F$	3.4	3.6	3.8		3.8		V_{Max}

Electrical Characteristics (Continued)

(Note 1)

Symbol	Parameter	Conditions	LM2524D			LM3524D			Units
			Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	
	Sawtooth Valley Voltage	$R_T = 5.6k, C_T = 0.01 \mu F$	1.1	0.8	0.6		0.6		V_{Min}
ERROR-AMP SECTION									
V_{IO}	Input Offset Voltage	$V_{CM} = 2.5V$	2	8	10	2	10		mV_{Max}
I_{IB}	Input Bias Current	$V_{CM} = 2.5V$	1	8	10	1	10		μA_{Max}
I_{IO}	Input Offset Current	$V_{CM} = 2.5V$	0.5	1.0	1	0.5	1		μA_{Max}
I_{COSI}	Compensation Current (Sink)	$V_{IN(I)} - V_{IN(NI)} = 150 mV$	95	65		95	65		μA_{Min}
				125			125		μA_{Max}
I_{COSO}	Compensation Current (Source)	$V_{IN(NI)} - V_{IN(I)} = 150 mV$	-95	-125		-95	-125		μA_{Min}
				-65			-65		μA_{Max}
A_{VOL}	Open Loop Gain	$R_L = \infty, V_{CM} = 2.5 V$	80	74	60	80	70	60	dB_{Min}
VCMR	Common Mode Input Voltage Range			1.5	1.4		1.5		V_{Min}
				5.5	5.4		5.5		V_{Max}
CMRR	Common Mode Rejection Ratio		90	80		90	80		dB_{Min}
G_{BW}	Unity Gain Bandwidth	$A_{VOL} = 0 dB, V_{CM} = 2.5V$	3			2			MHz
V_O	Output Voltage Swing	$R_L = \infty$		0.5			0.5		V_{Min}
				5.5			5.5		V_{Max}
PSRR	Power Supply Rejection Ratio	$V_{IN} = 8 to 40V$	80		70	80	65		db_{Min}
COMPARATOR SECTION									
$\frac{t_{ON}}{t_{OSC}}$	Minimum Duty Cycle	Pin 9 = 0.8V, [$R_T = 5.6k, C_T = 0.01 \mu F$]	0	0		0	0		$\%_{Max}$
$\frac{t_{ON}}{t_{OSC}}$	Maximum Duty Cycle	Pin 9 = 3.9V, [$R_T = 5.6k, C_T = 0.01 \mu F$]	49	45		49	45		$\%_{Min}$
$\frac{t_{ON}}{t_{OSC}}$	Maximum Duty Cycle	Pin 9 = 3.9V, [$R_T = 1k, C_T = 0.001 \mu F$]	44	35		44	35		$\%_{Min}$
V_{COMPZ}	Input Threshold (Pin 9)	Zero Duty Cycle	1			1			V
V_{COMPM}	Input Threshold (Pin 9)	Maximum Duty Cycle	3.5			3.5			V
I_{IB}	Input Bias Current		-1			-1			μA
CURRENT LIMIT SECTION									
V_{SEN}	Sense Voltage	$V_{(Pin 2)} - V_{(Pin 1)} \geq 150 mV$	200	180		200	180		mV_{Min}
				220			220		mV_{Max}

Electrical Characteristics (Continued)

(Note 1)

Symbol	Parameter	Conditions	LM2524D			LM3524D			Units
			Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	
TC- V_{sense}	Sense Voltage T.C.		0.2			0.2			mV/°C
	Common Mode Voltage Range	$V_5 - V_4 = 300\text{ mV}$	-0.7 1			-0.7 1			V_{Min} V_{Max}
SHUT DOWN SECTION									
V_{SD}	High Input Voltage	$V_{(Pin\ 2)} - V_{(Pin\ 1)} \geq 150\text{ mV}$	1	0.5 1.5		1	0.5 1.5		V_{Min} V_{Max}
I_{SD}	High Input Current	$I_{(pin\ 10)}$	1			1			mA
OUTPUT SECTION (EACH OUTPUT)									
V_{CES}	Collector Emitter Voltage Breakdown	$I_C \leq 100\ \mu\text{A}$		55			40		V_{Min}
I_{CES}	Collector Leakage Current	$V_{CE} = 60\text{V}$							
		$V_{CE} = 55\text{V}$	0.1	50				μA_{Max}	
		$V_{CE} = 40\text{V}$				0.1	50		
V_{CESAT}	Saturation Voltage	$I_E = 20\text{ mA}$	0.2	0.5		0.2	0.7		V_{Max}
		$I_E = 200\text{ mA}$	1.5	2.2		1.5	2.5		
V_{EO}	Emitter Output Voltage	$I_E = 50\text{ mA}$	18	17		18	17		V_{Min}
t_R	Rise Time	$V_{IN} = 20\text{V}$, $I_E = -250\ \mu\text{A}$ $R_C = 2\text{k}$	200			200			ns
t_F	Fall Time	$R_C = 2\text{k}$	100			100			ns
SUPPLY CHARACTERISTICS SECTION									
V_{IN}	Input Voltage Range	After Turn-on		8 40			8 40		V_{Min} V_{Max}
		Thermal Shutdown Temp.	(Note 2)	160		160			°C
I_{IN}	Stand By Current	$V_{IN} = 40\text{V}$ (Note 6)	5	10		5	10		mA

Note 1: Unless otherwise stated, these specifications apply for $T_A = T_J = 25^\circ\text{C}$. Boldface numbers apply over the rated temperature range: LM2524D is -40° to 85°C and LM3524D is 0°C to 70°C . $V_{IN} = 20\text{V}$ and $f_{OSC} = 20\text{ kHz}$.

Note 2: For operation at elevated temperatures, devices in the N package must be derated based on a thermal resistance of 86°C/W , junction to ambient. Devices in the M package must be derated at 125°C/W , junction to ambient.

Note 3: Tested limits are guaranteed and 100% tested in production.

Note 4: Design limits are guaranteed (but not 100% production tested) over the indicated temperature and supply voltage range. These limits are not used to calculate outgoing quality level.

Note 5: Absolute maximum ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its rated operating conditions.

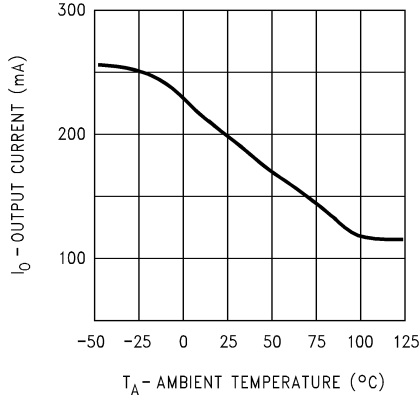
Note 6: Pins 1, 4, 7, 8, 11, and 14 are grounded; Pin 2 = 2V. All other inputs and outputs open.

Note 7: The value of a C_1 capacitor can vary with frequency. Careful selection of this capacitor must be made for high frequency operation. Polystyrene was used in this test. NPO ceramic or polypropylene can also be used.

Note 8: OSC amplitude is measured open circuit. Available current is limited to 1 mA so care must be exercised to limit capacitive loading of fast pulses.

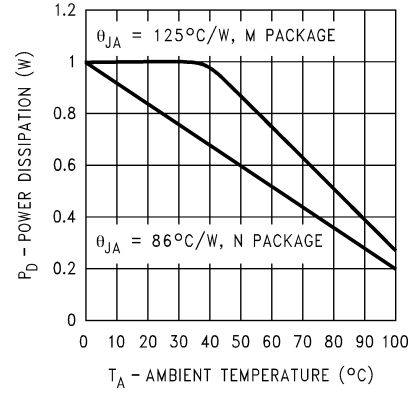
Typical Performance Characteristics

Switching Transistor Peak Output Current vs Temperature



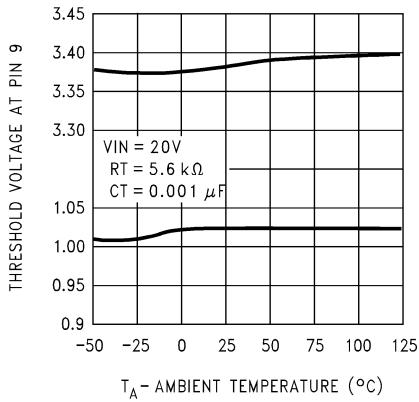
00865028

Maximum Average Power Dissipation (N, M Packages)



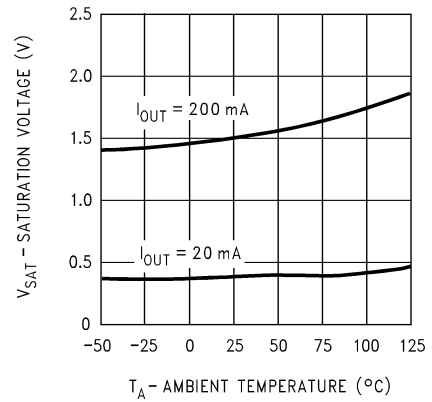
00865029

Maximum & Minimum Duty Cycle Threshold Voltage



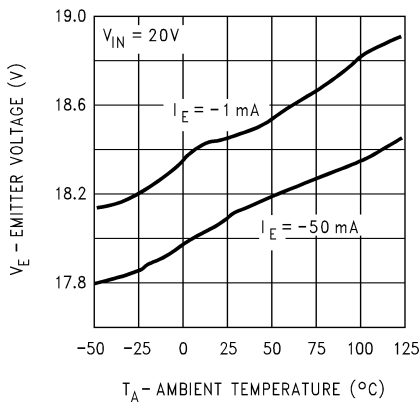
00865030

Output Transistor Saturation Voltage



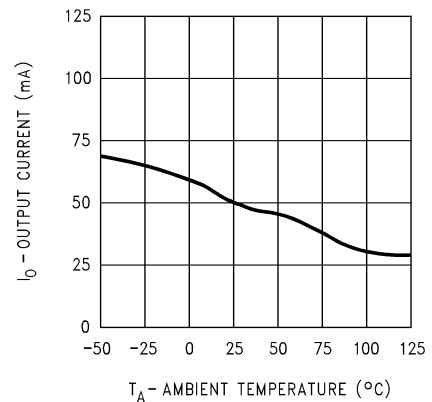
00865031

Output Transistor Emitter Voltage



00865032

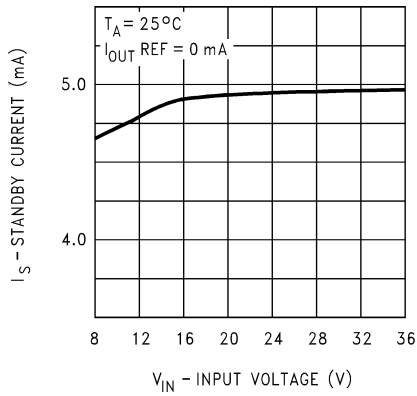
Reference Transistor Peak Output Current



00865033

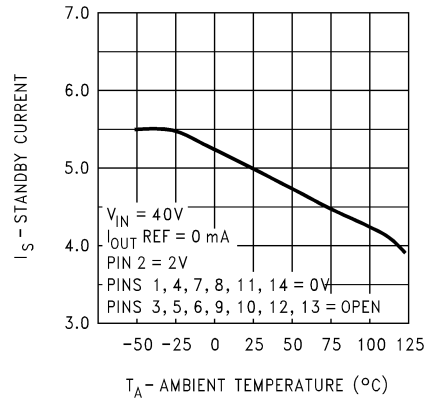
Typical Performance Characteristics (Continued)

Standby Current vs Voltage



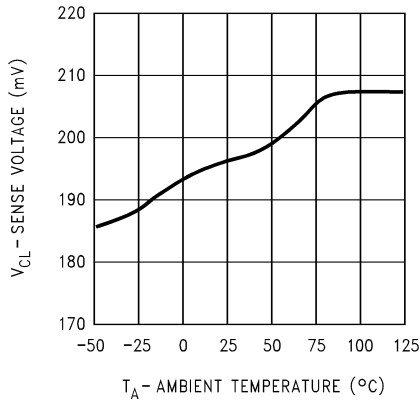
00865034

Standby Current vs Temperature



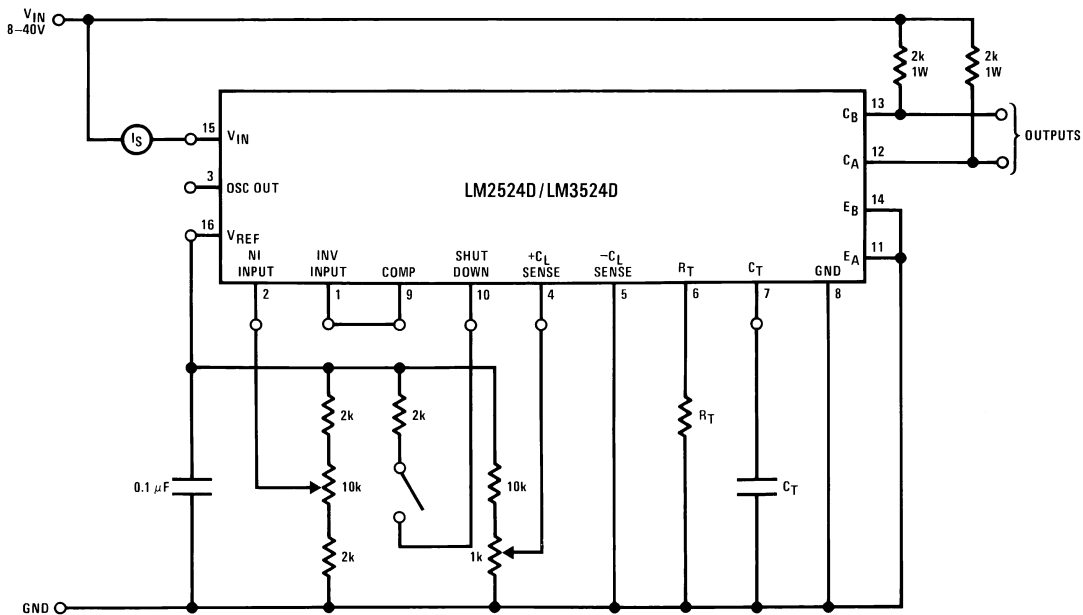
00865035

Current Limit Sense Voltage



00865036

Test Circuit



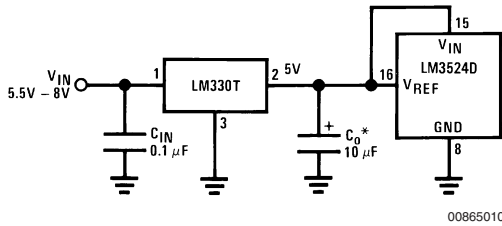
00865004

Functional Description

INTERNAL VOLTAGE REGULATOR

The LM3524D has an on-chip 5V, 50 mA, short circuit protected voltage regulator. This voltage regulator provides a supply for all internal circuitry of the device and can be used as an external reference.

For input voltages of less than 8V the 5V output should be shorted to pin 15, V_{IN} , which disables the 5V regulator. With these pins shorted the input voltage must be limited to a maximum of 6V. If input voltages of 6V–8V are to be used, a pre-regulator, as shown in *Figure 1*, must be added.



*Minimum C_O of 10 μF required for stability.

FIGURE 1.

OSCILLATOR

The LM3524D provides a stable on-board oscillator. Its frequency is set by an external resistor, R_T and capacitor, C_T . A graph of R_T , C_T vs oscillator frequency is shown in *Figure 2*. The oscillator's output provides the signals for triggering an internal flip-flop, which directs the PWM information to the outputs, and a blanking pulse to turn off both outputs during transitions to ensure that cross conduction does not occur. The width of the blanking pulse, or dead time, is controlled by the value of C_T , as shown in *Figure 3*. The recommended values of R_T are 1.8 k Ω to 100 k Ω , and for C_T , 0.001 μF to 0.1 μF .

If two or more LM3524D's must be synchronized together, the easiest method is to interconnect all pin 3 terminals, tie all pin 7's (together) to a single C_T , and leave all pin 6's open except one which is connected to a single R_T . This method works well unless the LM3524D's are more than 6" apart.

A second synchronization method is appropriate for any circuit layout. One LM3524D, designated as master, must have its $R_T C_T$ set for the correct period. The other slave LM3524D(s) should each have an $R_T C_T$ set for a 10% longer period. All pin 3's must then be interconnected to allow the master to properly reset the slave units.

The oscillator may be synchronized to an external clock source by setting the internal free-running oscillator frequency 10% slower than the external clock and driving pin 3 with a pulse train (approx. 3V) from the clock. Pulse width should be greater than 50 ns to insure full synchronization.

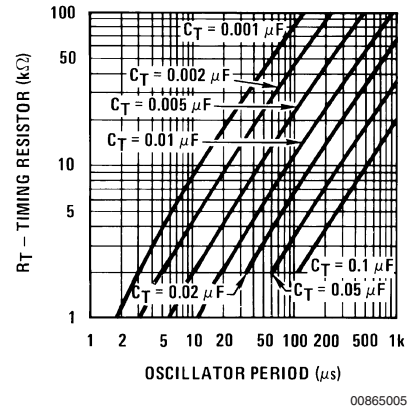


FIGURE 2.

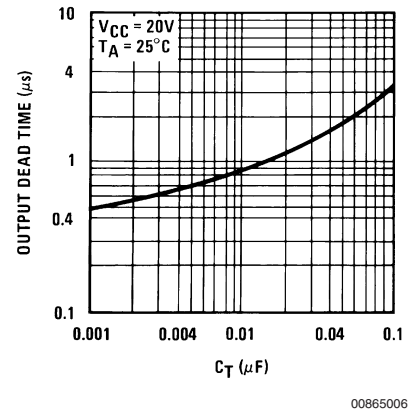


FIGURE 3.

ERROR AMPLIFIER

The error amplifier is a differential input, transconductance amplifier. Its gain, nominally 86 dB, is set by either feedback or output loading. This output loading can be done with either purely resistive or a combination of resistive and reactive components. A graph of the amplifier's gain vs output load resistance is shown in *Figure 4*.

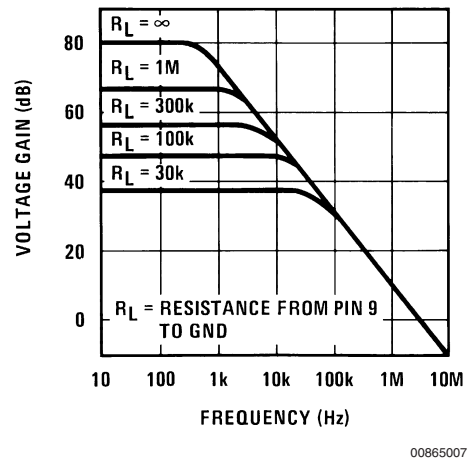
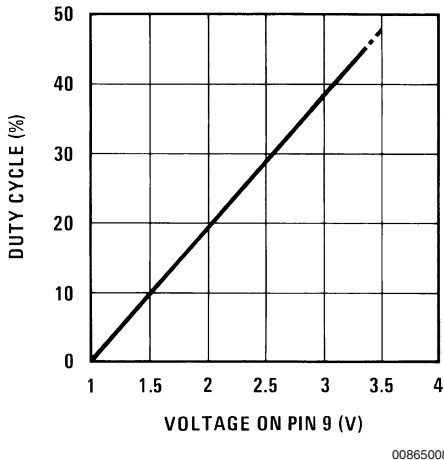


FIGURE 4.

Functional Description (Continued)

The output of the amplifier, or input to the pulse width modulator, can be overridden easily as its output impedance is very high ($Z_O \approx 5 \text{ M}\Omega$). For this reason a DC voltage can be applied to pin 9 which will override the error amplifier and force a particular duty cycle to the outputs. An example of this could be a non-regulating motor speed control where a variable voltage was applied to pin 9 to control motor speed. A graph of the output duty cycle vs the voltage on pin 9 is shown in *Figure 5*.

The duty cycle is calculated as the percentage ratio of each output's ON-time to the oscillator period. Paralleling the outputs doubles the observed duty cycle.



00865008

FIGURE 5.

The amplifier's inputs have a common-mode input range of 1.5V–5.5V. The on board regulator is useful for biasing the inputs to within this range.

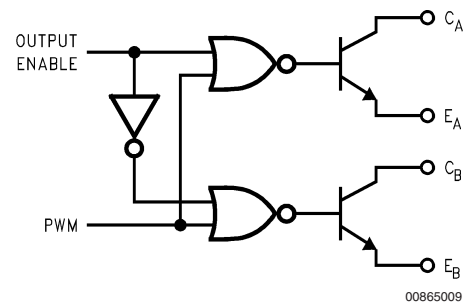
CURRENT LIMITING

The function of the current limit amplifier is to override the error amplifier's output and take control of the pulse width. The output duty cycle drops to about 25% when a current limit sense voltage of 200 mV is applied between the $+C_L$ and $-C_L$ sense terminals. Increasing the sense voltage approximately 5% results in a 0% output duty cycle. Care should be taken to ensure the -0.7V to $+1.0\text{V}$ input common-mode range is not exceeded.

In most applications, the current limit sense voltage is produced by a current through a sense resistor. The accuracy of this measurement is limited by the accuracy of the sense resistor, and by a small offset current, typically 100 μA , flowing from $+C_L$ to $-C_L$.

OUTPUT STAGES

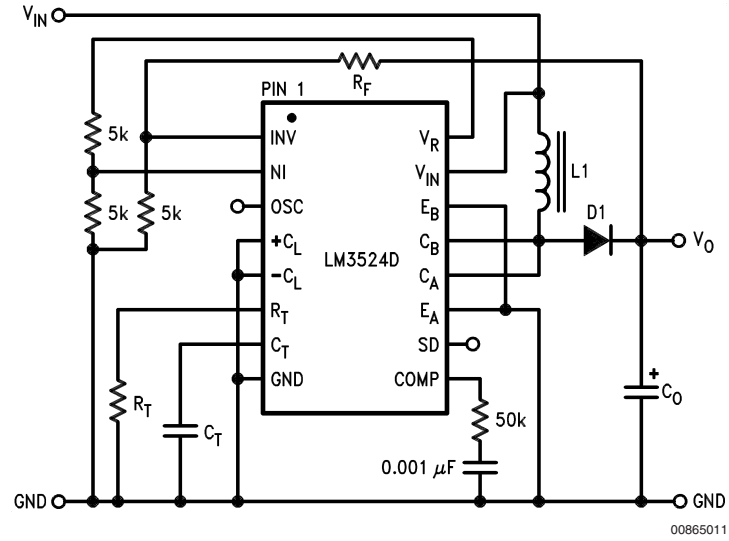
The outputs of the LM3524D are NPN transistors, capable of a maximum current of 200 mA. These transistors are driven 180° out of phase and have non-committed open collectors and emitters as shown in *Figure 6*.



00865009

FIGURE 6.

Typical Applications



Design Equations

$$R_F = 5k \left(\frac{V_O}{2.5} - 1 \right)$$

$$f_{OSC} \cong \frac{1}{R_T C_T}$$

$$L1 = \frac{2.5V_{IN}^2 (V_O - V_{IN})}{f_{OSC} I_O V_O^2}$$

$$C_O = \frac{I_O (V_O - V_{IN})}{f_{OSC} \Delta V_O V_O}$$

$$I_{O(MAX)} = I_{IN} \frac{V_{IN}}{V_O}$$

FIGURE 7. Positive Regulator, Step-Up Basic Configuration ($I_{IN(MAX)} = 80 \text{ mA}$)

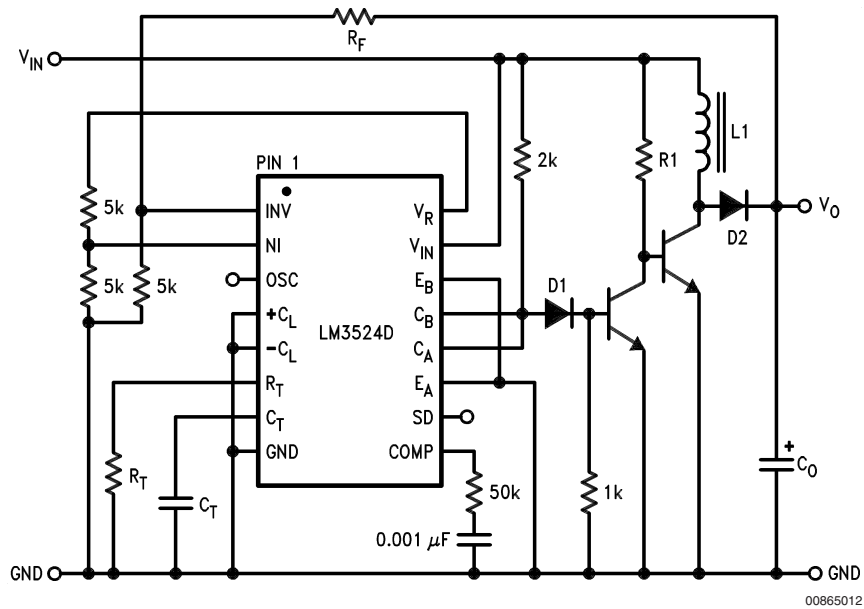
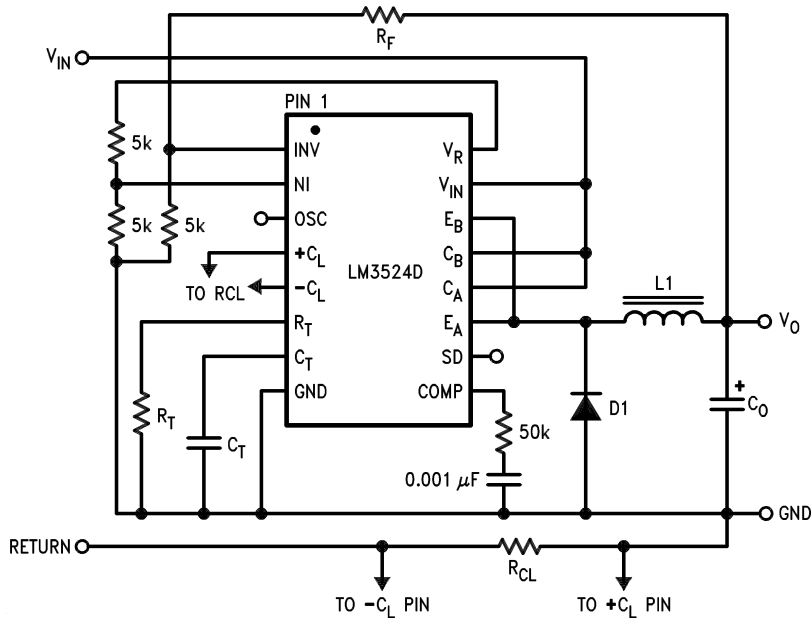


FIGURE 8. Positive Regulator, Step-Up Boosted Current Configuration

Typical Applications (Continued)



00865013

Design Equations

$$R_F = 5 \text{ k}\Omega \left(\frac{V_o}{2.5} - 1 \right)$$

$$R_{CL} = \frac{\text{Current Limit Sense Volt}}{I_{o(\text{MAX})}}$$

$$f_{OSC} \approx \frac{1}{R_T C_T}$$

$$L1 = \frac{2.5 V_o (V_{IN} - V_o)}{I_o V_{IN} f_{OSC}}$$

$$C_o = \frac{(V_{IN} - V_o) V_o T^2}{8 \Delta V_o V_{IN} L1}$$

$$I_{o(\text{MAX})} = I_{IN} \frac{V_{IN}}{V_o}$$

FIGURE 9. Positive Regulator, Step-Down Basic Configuration ($I_{IN(\text{MAX})} = 80 \text{ mA}$)

Typical Applications (Continued)

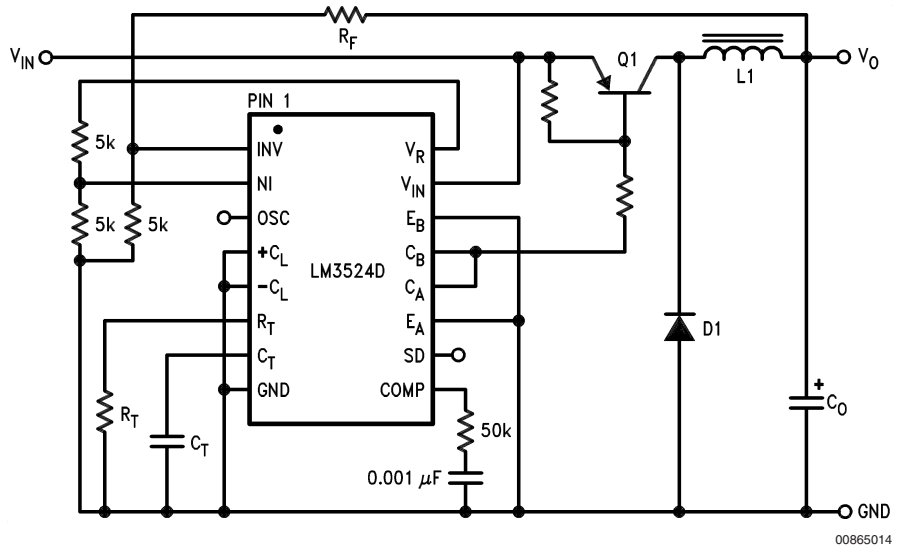
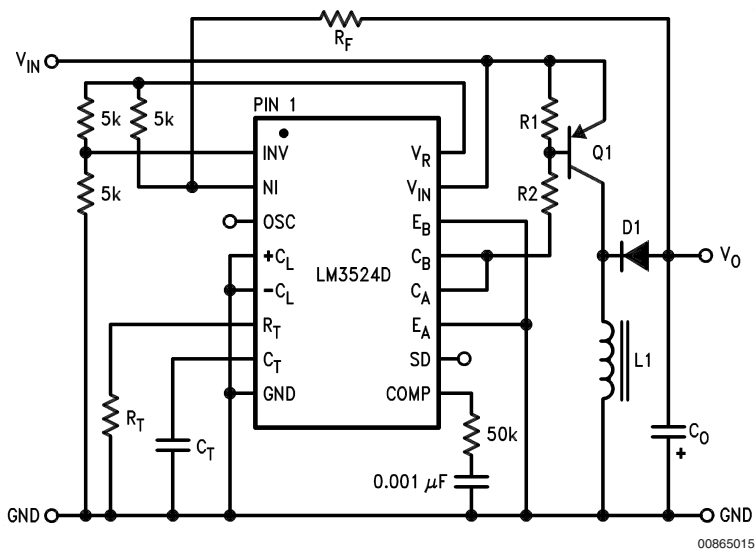


FIGURE 10. Positive Regulator, Step-Down Boosted Current Configuration



Design Equations

$$R_F = 5k \left(1 - \frac{V_o}{2.5} \right)$$

$$f_{OSC} \cong \frac{1}{R_T C_T}$$

$$L_1 = \frac{2.5V_{IN} V_o}{f_{OSC} (V_o + V_{IN}) I_o}$$

$$C_o = \frac{I_o V_o}{\Delta V_o f_{OSC} (V_o + V_{IN})}$$

FIGURE 11. Boosted Current Polarity Inverter

Typical Applications (Continued)

BASIC SWITCHING REGULATOR THEORY AND APPLICATIONS

The basic circuit of a step-down switching regulator circuit is shown in Figure 12, along with a practical circuit design using the LM3524D in Figure 15.

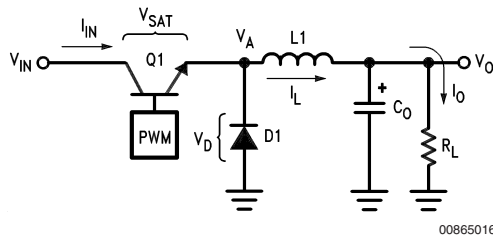


FIGURE 12. Basic Step-Down Switching Regulator

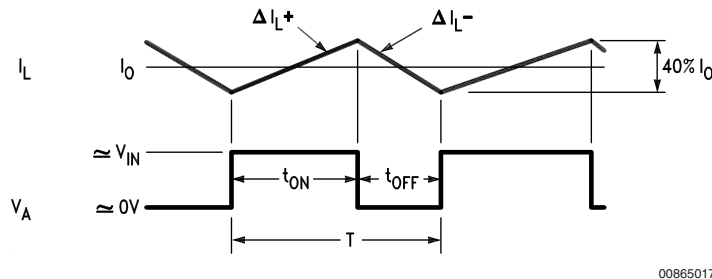


FIGURE 13. Relation of Switch Timing to Inductor Current in Step-Down Regulator

From the relation $V_L = L \frac{di}{dt}$, $\Delta I_L \approx \frac{V_L T}{L1}$

$$\Delta I_{L+} = \frac{(V_{IN} - V_O) t_{ON}}{L1}; \Delta I_{L-} = \frac{V_O t_{OFF}}{L1}$$

Neglecting V_{SAT} , V_D , and setting $\Delta I_{L+} = \Delta I_{L-}$;

$$V_O \approx V_{IN} \left(\frac{t_{ON}}{t_{OFF} + t_{ON}} \right) = V_{IN} \left(\frac{t_{ON}}{T} \right);$$

where T = Total Period

The above shows the relation between V_{IN} , V_O and duty cycle.

$$I_{IN(DC)} = I_{OUT(DC)} \left(\frac{t_{ON}}{t_{ON} + t_{OFF}} \right),$$

as Q1 only conducts during t_{ON} .

$$P_{IN} = I_{IN(DC)} V_{IN} = (I_O(DC)) \left(\frac{t_{ON}}{t_{ON} + t_{OFF}} \right) V_{IN}$$

$$P_O = I_O V_O$$

The efficiency, η , of the circuit is:

The circuit works as follows: Q1 is used as a switch, which has ON and OFF times controlled by the pulse width modulator. When Q1 is ON, power is drawn from V_{IN} and supplied to the load through L1; V_A is at approximately V_{IN} , D1 is reverse biased, and C_O is charging. When Q1 turns OFF the inductor L1 will force V_A negative to keep the current flowing in it, D1 will start conducting and the load current will flow through D1 and L1. The voltage at V_A is smoothed by the L1, C_O filter giving a clean DC output. The current flowing through L1 is equal to the nominal DC load current plus some ΔI_L which is due to the changing voltage across it. A good rule of thumb is to set $\Delta I_{L-P} \approx 40\% \times I_O$.

$$\eta_{MAX} = \frac{P_O}{P_{IN}} = \frac{I_O V_O}{I_O \left(\frac{t_{ON}}{T} \right) V_{IN} + \frac{(V_{SAT} t_{ON} + V_{D1} t_{OFF})}{T} I_O}$$

$$= \left[\frac{V_O}{V_O + 1} \right] \text{ for } V_{SAT} = V_{D1} = 1V.$$

η_{MAX} will be further decreased due to switching losses in Q1. For this reason Q1 should be selected to have the maximum possible f_T , which implies very fast rise and fall times.

CALCULATING INDUCTOR L1

$$t_{ON} \approx \frac{(\Delta I_{L+}) \times L1}{(V_{IN} - V_O)}, t_{OFF} = \frac{(\Delta I_{L-}) \times L1}{V_O}$$

$$t_{ON} + t_{OFF} = T = \frac{(\Delta I_{L+}) \times L1}{(V_{IN} - V_O)} + \frac{(\Delta I_{L-}) \times L1}{V_O}$$

$$= \frac{0.4 I_O L1}{(V_{IN} - V_O)} + \frac{0.4 I_O L1}{V_O}$$

Since $\Delta I_{L+} = \Delta I_{L-} = 0.4 I_O$
Solving the above for L1

Typical Applications (Continued)

$$L1 = \frac{2.5 V_o (V_{IN} - V_o)}{I_o V_{IN} f}$$

where: L1 is in Henrys

f is switching frequency in Hz

Also, see LM1578 data sheet for graphical methods of inductor selection.

CALCULATING OUTPUT FILTER CAPACITOR C_o:

Figure 13 shows L1's current with respect to Q1's t_{ON} and t_{OFF} times (V_A is at the collector of Q1). This current must flow to the load and C_o. C_o's current will then be the difference between I_L and I_o.

$$I_{C_o} = I_L - I_o$$

From Figure 13 it can be seen that current will be flowing into C_o for the second half of t_{ON} through the first half of t_{OFF}, or a time, t_{ON}/2 + t_{OFF}/2. The current flowing for this time is ΔI_L/4. The resulting ΔV_o or ΔV_o is described by:

$$\begin{aligned} \Delta V_{op-p} &= \frac{1}{C} \times \frac{\Delta I_L}{4} \times \left(\frac{t_{ON}}{2} + \frac{t_{OFF}}{2} \right) \\ &= \frac{\Delta I_L}{4C} \left(\frac{t_{ON} + t_{OFF}}{2} \right) \end{aligned}$$

$$\text{Since } \Delta I_L = \frac{V_o(T - t_{ON})}{L1} \text{ and } t_{ON} = \frac{V_o T}{V_{IN}}$$

$$\Delta V_{op-p} = \frac{V_o \left(T - \frac{V_o T}{V_{IN}} \right)}{4C L1} \left(\frac{T}{2} \right) = \frac{(V_{IN} - V_o) V_o T^2}{8V_{IN} C_o L1} \text{ or}$$

$$C_o = \frac{(V_{IN} - V_o) V_o T^2}{8\Delta V_o V_{IN} L1}$$

where: C is in farads, T is $\frac{1}{\text{switching frequency}}$

ΔV_o is p-p output ripple

For best regulation, the inductor's current cannot be allowed to fall to zero. Some minimum load current I_o, and thus inductor current, is required as shown below:

$$I_{o(MIN)} = \frac{(V_{IN} - V_o) t_{ON}}{2L1} = \frac{(V_{IN} - V_o) V_o}{2fV_{IN}L1}$$

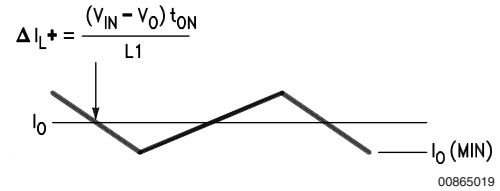


FIGURE 14. Inductor Current Slope in Step-Down Regulator

A complete step-down switching regulator schematic, using the LM3524D, is illustrated in Figure 15. Transistors Q1 and Q2 have been added to boost the output to 1A. The 5V regulator of the LM3524D has been divided in half to bias the error amplifier's non-inverting input to within its common-mode range. Since each output transistor is on for half the period, actually 45%, they have been paralleled to allow longer possible duty cycle, up to 90%. This makes a lower possible input voltage. The output voltage is set by:

$$V_o = V_{NI} \left(1 + \frac{R1}{R2} \right),$$

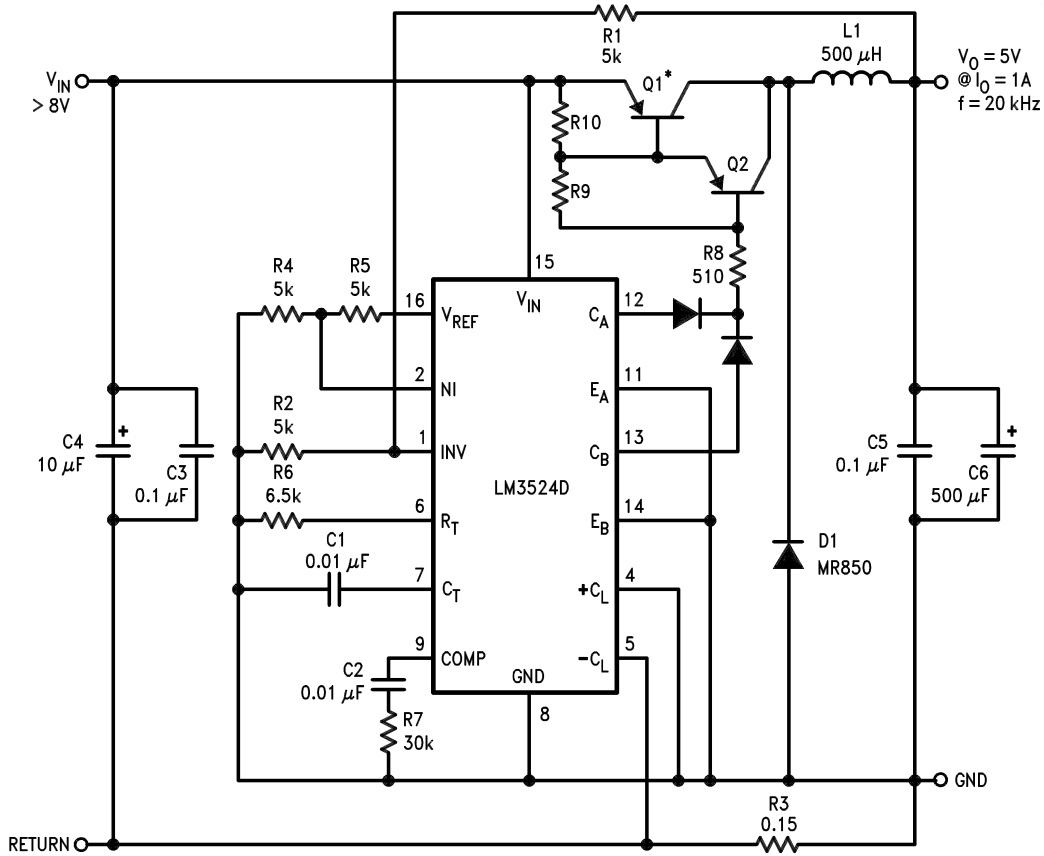
where V_{NI} is the voltage at the error amplifier's non-inverting input.

Resistor R3 sets the current limit to:

$$\frac{200 \text{ mV}}{R3} = \frac{200 \text{ mV}}{0.15} = 1.3A.$$

Figures 16, 17 and show a PC board layout and stuffing diagram for the 5V, 1A regulator of Figure 15. The regulator's performance is listed in Table 1.

Typical Applications (Continued)



00865020

*Mounted to Staver Heatsink No. V5-1.

Q1 = BD344

Q2 = 2N5023

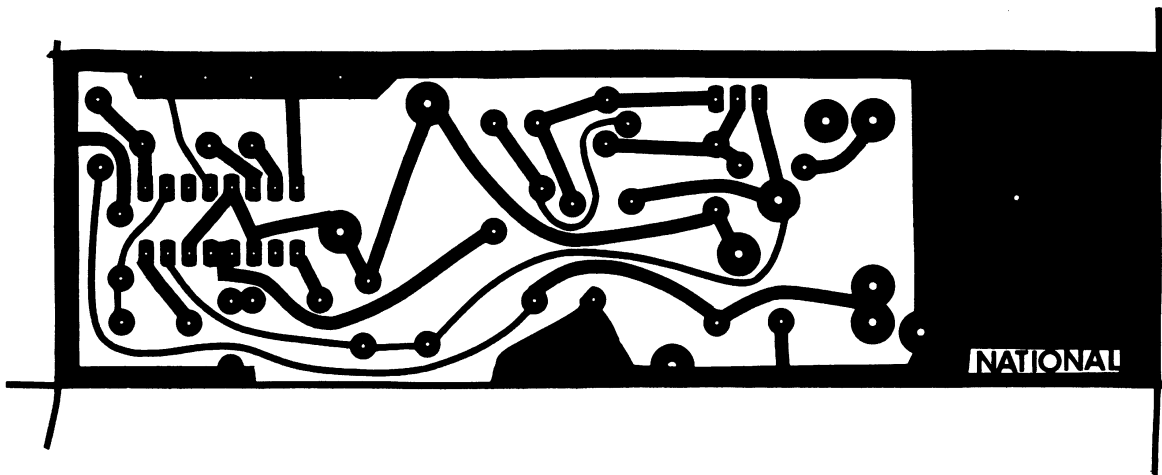
L1 = >40 turns No. 22 wire on Ferroxcube No. K300502 Torroid core.

FIGURE 15. 5V, 1 Amp Step-Down Switching Regulator

Typical Applications (Continued)

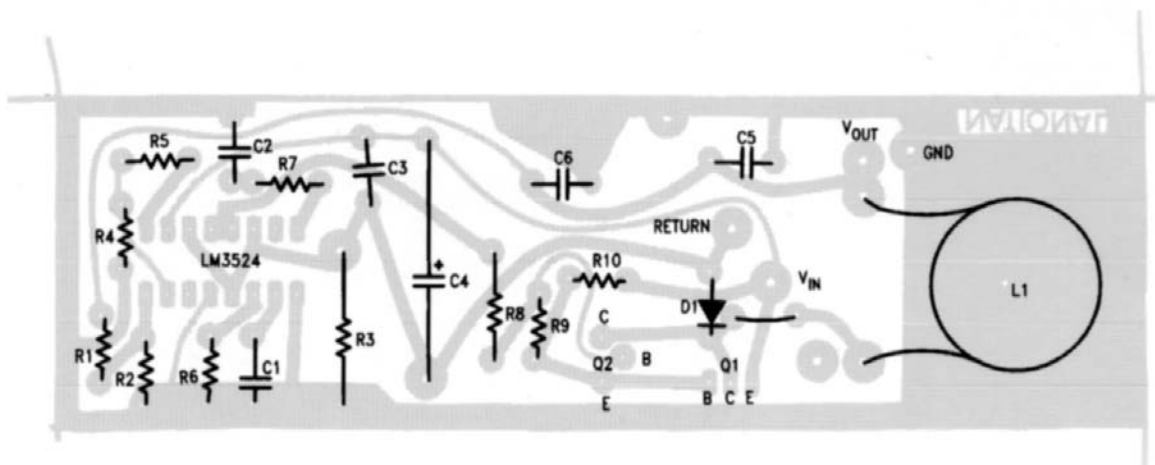
TABLE 1.

Parameter	Conditions	Typical Characteristics
Output Voltage	$V_{IN} = 10V, I_o = 1A$	5V
Switching Frequency	$V_{IN} = 10V, I_o = 1A$	20 kHz
Short Circuit	$V_{IN} = 10V$	1.3A
Current Limit		
Load Regulation	$V_{IN} = 10V$ $I_o = 0.2 - 1A$	3 mV
Line Regulation	$\Delta V_{IN} = 10 - 20V,$ $I_o = 1A$	6 mV
Efficiency	$V_{IN} = 10V, I_o = 1A$	80%
Output Ripple	$V_{IN} = 10V, I_o = 1A$	10 mVp-p



00865021

FIGURE 16. 5V, 1 Amp Switching Regulator, Foil Side



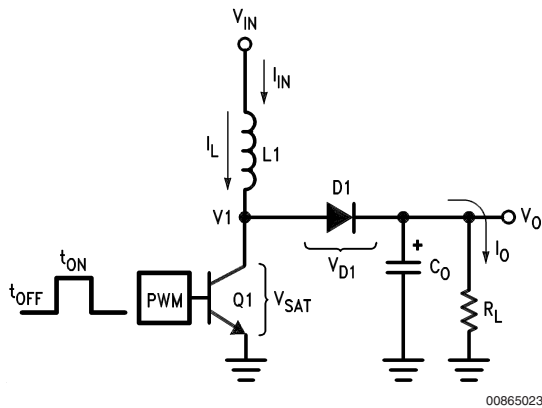
00865022

FIGURE 17. Stuffing Diagram, Component Side

Typical Applications (Continued)

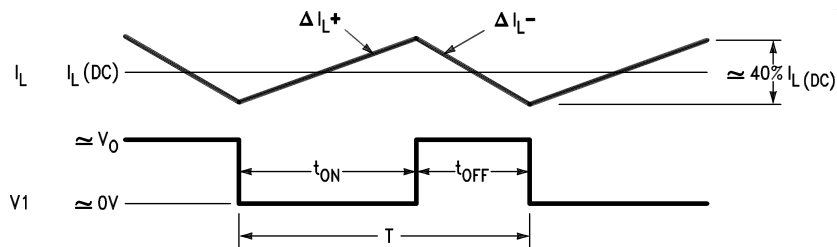
THE STEP-UP SWITCHING REGULATOR

Figure 18 shows the basic circuit for a step-up switching regulator. In this circuit Q1 is used as a switch to alternately apply V_{IN} across inductor L1. During the time, t_{ON} , Q1 is ON and energy is drawn from V_{IN} and stored in L1; D1 is reverse biased and I_o is supplied from the charge stored in C_o . When Q1 opens, t_{OFF} , voltage V1 will rise positively to the point where D1 turns ON. The output current is now supplied through L1, D1 to the load and any charge lost from C_o during t_{ON} is replenished. Here also, as in the step-down regulator, the current through L1 has a DC component plus some ΔI_L . ΔI_L is again selected to be approximately 40% of I_L . Figure 19 shows the inductor's current in relation to Q1's ON and OFF times.



00865023

FIGURE 18. Basic Step-Up Switching Regulator



00865024

FIGURE 19. Relation of Switch Timing to Inductor Current in Step-Up Regulator

$$\text{From } \Delta I_L = \frac{V_L T}{L}, \Delta I_L^+ \cong \frac{V_{IN} t_{ON}}{L1}$$

$$\text{and } \Delta I_L^- \cong \frac{(V_o - V_{IN}) t_{OFF}}{L1}$$

Since $\Delta I_L^+ = \Delta I_L^-$, $V_{IN} t_{ON} = V_o t_{OFF} - V_{IN} t_{OFF}$,
and neglecting V_{SAT} and V_{D1}

$$V_o \cong V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}} \right)$$

The above equation shows the relationship between V_{IN} , V_o and duty cycle.

In calculating input current $I_{IN(DC)}$, which equals the inductor's DC current, assume first 100% efficiency:

$$P_{IN} = I_{IN(DC)} V_{IN}$$

$$P_{OUT} = I_o V_o = I_o V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}} \right)$$

for $\eta = 100\%$, $P_{OUT} = P_{IN}$

$$I_o V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}} \right) = I_{IN(DC)} V_{IN}$$

$$I_{IN(DC)} = I_o \left(1 + \frac{t_{ON}}{t_{OFF}} \right)$$

Typical Applications (Continued)

This equation shows that the input, or inductor, current is larger than the output current by the factor $(1 + t_{ON}/t_{OFF})$. Since this factor is the same as the relation between V_o and V_{IN} , $I_{IN(DC)}$ can also be expressed as:

$$I_{IN(DC)} = I_o \left(\frac{V_o}{V_{IN}} \right)$$

So far it is assumed $\eta = 100\%$, where the actual efficiency or η_{MAX} will be somewhat less due to the saturation voltage of Q1 and forward on voltage of D1. The internal power loss due to these voltages is the average I_L current flowing, or I_{IN} , through either V_{SAT} or V_{D1} . For $V_{SAT} = V_{D1} = 1V$ this power loss becomes $I_{IN(DC)} (1V)$. η_{MAX} is then:

$$\eta_{MAX} = \frac{P_o}{P_{IN}} = \frac{V_o I_o}{V_o I_o + I_{IN} (1V)} = \frac{V_o I_o}{V_o I_o + I_o \left(1 + \frac{t_{ON}}{t_{OFF}}\right)}$$

$$\text{From } V_o = V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}}\right)$$

$$\eta_{max} = \frac{V_{IN}}{V_{IN} + 1}$$

This equation assumes only DC losses, however η_{MAX} is further decreased because of the switching time of Q1 and D1.

Typical Applications (Continued)

In calculating the output capacitor C_o it can be seen that C_o supplies I_o during t_{ON} . The voltage change on C_o during this time will be some $\Delta V_c = \Delta V_o$ or the output ripple of the regulator. Calculation of C_o is:

$$\Delta V_o = \frac{I_o t_{ON}}{C_o} \text{ or } C_o = \frac{I_o t_{ON}}{\Delta V_o}$$

$$\text{From } V_o = V_{IN} \left(\frac{T}{t_{OFF}} \right); t_{OFF} = \frac{V_{IN}}{V_o} T$$

$$\text{where } T = t_{ON} + t_{OFF} = \frac{1}{f}$$

$$t_{ON} = T - \frac{V_{IN}}{V_o} T = T \left(\frac{V_o - V_{IN}}{V_o} \right) \text{ therefore:}$$

$$C_o = \frac{I_o T \left(\frac{V_o - V_{IN}}{V_o} \right)}{\Delta V_o} = \boxed{\frac{I_o (V_o - V_{IN})}{f \Delta V_o V_o}}$$

where: C_o is in farads, f is the switching frequency,

ΔV_o is the p-p output ripple

Calculation of inductor L1 is as follows:

$$L1 = \frac{V_{IN} t_{ON}}{\Delta I_L^+}, \text{ since during } t_{ON},$$

V_{IN} is applied across L1

$$\Delta I_{Lp-p} = 0.4 I_L = 0.41 I_{IN} = 0.4 I_o \left(\frac{V_o}{V_{IN}} \right), \text{ therefore:}$$

$$L1 = \frac{V_{IN} t_{ON}}{0.4 I_o \left(\frac{V_o}{V_{IN}} \right)} \text{ and since } t_{ON} = \frac{T (V_o - V_{IN})}{V_o}$$

$$\boxed{L1 = \frac{2.5 V_{IN}^2 (V_o - V_{IN})}{f I_o V_o^2}}$$

where: L1 is in henrys, f is the switching frequency in Hz

To apply the above theory, a complete step-up switching regulator is shown in *Figure 20*. Since V_{IN} is 5V, V_{REF} is tied to V_{IN} . The input voltage is divided by 2 to bias the error amplifier's inverting input. The output voltage is:

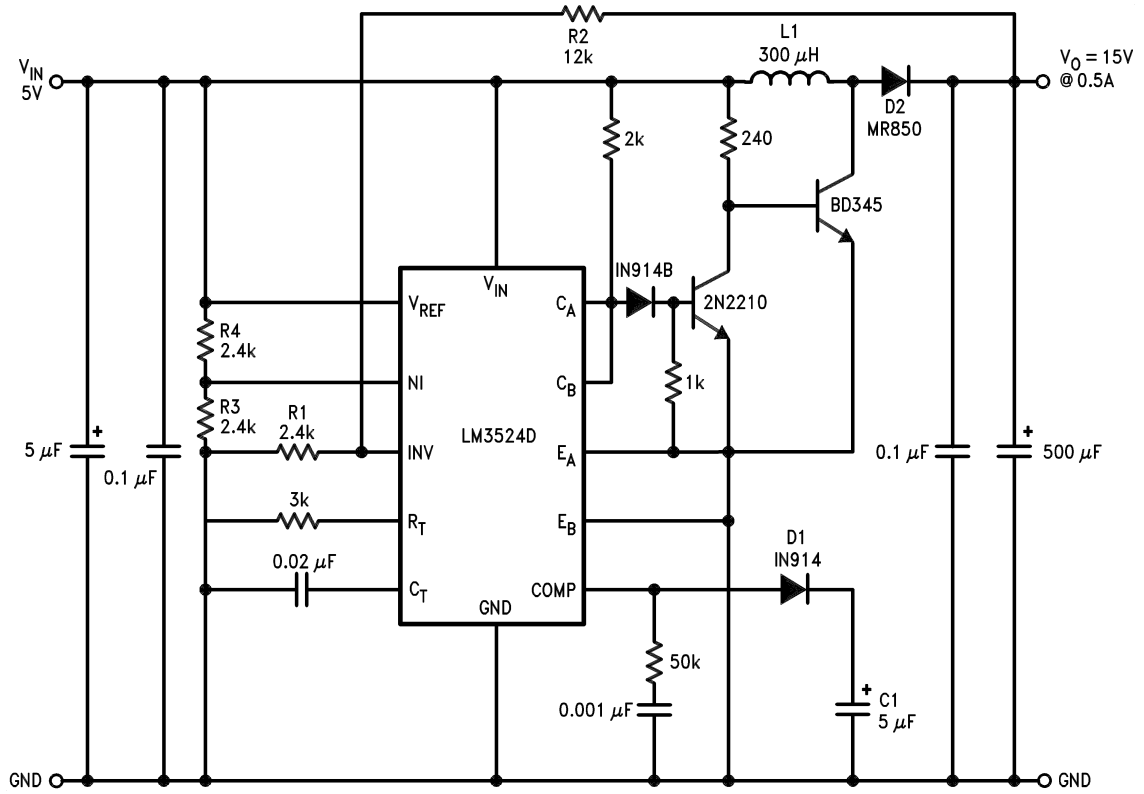
$$V_{OUT} = \left(1 + \frac{R2}{R1} \right) \times V_{INV} = 2.5 \times \left(1 + \frac{R2}{R1} \right)$$

The network D1, C1 forms a slow start circuit.

This holds the output of the error amplifier initially low thus reducing the duty-cycle to a minimum. Without the slow start circuit the inductor may saturate at turn-on because it has to supply high peak currents to charge the output capacitor from 0V. It should also be noted that this circuit has no supply rejection. By adding a reference voltage at the non-inverting input to the error amplifier, see *Figure 21*, the input voltage variations are rejected.

The LM3524D can also be used in inductorless switching regulators. *Figure 22* shows a polarity inverter which if connected to *Figure 20* provides a -15V unregulated output.

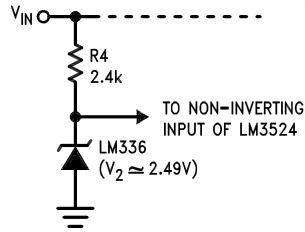
Typical Applications (Continued)



L1 = > 25 turns No. 24 wire on Ferroxcube No. K300502 Toroid core.

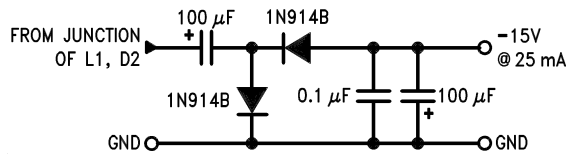
00865025

FIGURE 20. 15V, 0.5A Step-Up Switching Regulator



00865026

FIGURE 21. Replacing R3/R4 Divider in Figure 20 with Reference Circuit Improves Line Regulation



00865027

FIGURE 22. Polarity Inverter Provides Auxiliary -15V Unregulated Output from Circuit of Figure 20

Quad voltage comparator

LM139/239/239A/339/339A /LM2901/MC3302

DESCRIPTION

The LM139 series consists of four independent precision voltage comparators, with an offset voltage specification as low as 2.0mV max for each comparator, which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though they are operated from a single power supply voltage.

The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the LM139 series will directly interface with MOS logic where their low power drain is a distinct advantage over standard comparators.

FEATURES

- Wide single supply voltage range 2.0V_{DC} to 36V_{DC} or dual supplies ±1.0V_{DC} to ±18V_{DC}
- Very low supply current drain (0.8mA) independent of supply voltage (1.0mW/comparator at 5.0V_{DC})
- Low input biasing current 25nA
- Low input offset current ±5nA and offset voltage
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Low output 250mV at 4mA saturation voltage
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

APPLICATIONS

- A/D converters
- Wide range VCO
- MOS clock generator
- High voltage logic gate
- Multivibrators

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
14-Pin Ceramic Dual In-Line Package (Cerdip)	-55 to +125°C	LM139F	0581B
14-Pin Plastic Dual In-Line Package (DIP)	-25°C to +85°C	LM239AN	SOT27-1
14-Pin Plastic Dual In-Line Package (DIP)	-25°C to +85°C	LM239N	SOT27-1
14-Pin Plastic Small Outline (SO) Package	-25°C to +85°C	LM239D	SOT108-1
14-Pin Plastic Dual In-Line Package (DIP)	-40°C to +125°C	LM2901N	SOT27-1
14-Pin Plastic Small Outline (SO) Package	-40°C to +125°C	LM2901D	SOT108-1
14-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	LM339AN	SOT27-1
14-Pin Plastic Small Outline (SO) Package	0 to +70°C	LM339D	SOT108-1
14-Pin Plastic Dual In-Line Package (DIP)	0 to +70°C	LM339N	SOT27-1
14-Pin Plastic Small Outline (SO) Package	-40°C to +85°C	MC3302D	SOT108-1
14-Pin Ceramic Dual In-Line Package (Cerdip)	-40°C to +85°C	MC3302F	0581B
14-Pin Plastic Dual In-Line Package (DIP)	-40°C to +85°C	MC3302N	SOT27-1
14-Pin Plastic Dual In-Line Package (DIP)	-55 to +125°C	LM139N	SOT27-1

PIN CONFIGURATION

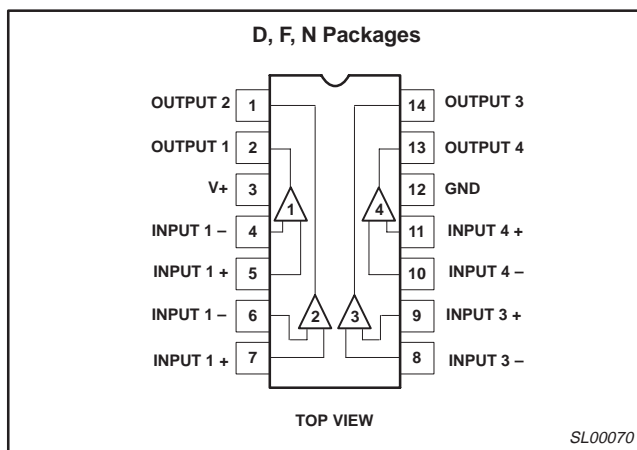


Figure 1. Pin Configuration

EQUIVALENT CIRCUIT

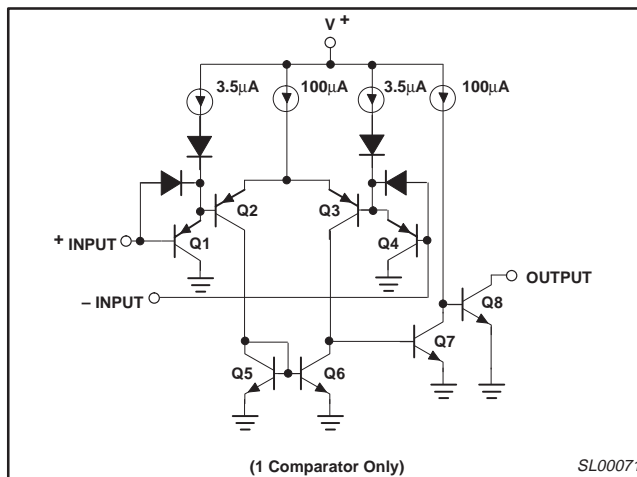


Figure 2. Equivalent Circuit

Quad voltage comparator

LM139/239/239A/339/339A/
LM2901/MC3302

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	V_{CC} supply voltage	36 or ± 18	V_{DC}
V_{DIFF}	Differential input voltage	36	V_{DC}
V_{IN}	Input voltage	-0.3 to +36	V_{DC}
P_D	Maximum power dissipation, $T_A=25^\circ\text{C}$ (still-air) ¹		
	F package	1190	mW
	N package	1420	mW
	D package	1040	mW
	Output short-circuit to ground ²	Continuous	
I_{IN}	Input current ($V_{IN} < -0.3V_{DC}$) ³	50	mA
T_A	Operating temperature range		
	LM139	-55 to +125	$^\circ\text{C}$
	LM239/239A	-25 to +85	$^\circ\text{C}$
	LM339/339A	0 to +70	$^\circ\text{C}$
	LM2901	-40 to +125	$^\circ\text{C}$
MC3302	-40 to +85	$^\circ\text{C}$	
T_{STG}	Storage temperature range	-65 to +150	$^\circ\text{C}$
T_{SOLD}	Lead soldering temperature (10sec max)	300	$^\circ\text{C}$

NOTES:

- Derate above 25°C , at the following rates:
F Package at $9.5\text{mW}/^\circ\text{C}$
N Package at $11.4\text{mW}/^\circ\text{C}$
D Package at $8.3\text{mW}/^\circ\text{C}$
- Short circuits from the output to $V+$ can cause excessive heating and eventual destruction. The maximum output current is approximately 20mA independent of the magnitude of $V+$.
- This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the $V+$ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will reestablish when the input voltage, which was negative, again returns to a value greater than $-0.3V_{DC}$.

Quad voltage comparator

LM139/239/239A/339/339A/
LM2901/MC3302**DC AND AC ELECTRICAL CHARACTERISTICS**

$V_{+}=5V_{DC}$, LM139: $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$; LM239/239A: $-25^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$; LM339/339A: $0^{\circ}\text{C} \leq T_A \leq 70^{\circ}\text{C}$; LM2901: $-40^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$, MC3302: $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LM239A/339A			UNIT
			Min	Typ	Max	
V_{OS}	Input offset voltage ²	$T_A=25^{\circ}\text{C}$ Over temp.		± 1.0	± 2.0 ± 4.0	mV mV
V_{CM}	Input common-mode voltage range ³	$T_A=25^{\circ}\text{C}$ Over temp.	0 0		$V_{+}-1.5$ $V_{+}-2.0$	V
V_{IDR}	Differential input voltage ¹	Keep all $V_{IN(S)} \geq 0V_{DC}$ (or V_{-} if need)			V_{+}	V
I_{BIAS}	Input bias current ⁴	$I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range $T_A=25^{\circ}\text{C}$ Over temp.		25	250 400	nA nA
I_{OS}	Input offset current	$I_{IN(+)} - I_{IN(-)}$ $T_A=25^{\circ}\text{C}$ Over temp.		± 5.0	± 50 ± 150	nA nA
I_{OL}	Output sink current	$V_{IN(-)} \geq 1V_{DC}$, $V_{IN(+)}=0$, $V_O \leq 1.5V_{DC}$, $T_A=25^{\circ}\text{C}$	6.0	16		mA
	Output leakage current	$V_{IN(+)} \geq 1V_{DC}$, $V_{IN(-)}=0$ $V_O=5V_{DC}$, $T_A=25^{\circ}\text{C}$ $V_O=30V_{DC}$, over temp.		0.1	1.0	nA μA
I_{CC}	Supply current	$R_L=\infty$ on comparators, $T_A=25^{\circ}\text{C}$ $V_{+}=30V$		0.8	2.0	mA
A_V	Voltage gain	$R_L \geq 15k\Omega$, $V_{+}=15V_{DC}$	50	200		V/mV
V_{OL}	Saturation voltage	$V_{IN(-)} \geq 1V_{DC}$, $V_{IN(+)}=0$, $I_{SINK} \leq 4\text{mA}$ $T_A=25^{\circ}\text{C}$ Over temp.		250	400 700	mV mV
t_{LSR}	Large-signal response time	$V_{IN}=\text{TTL logic swing}$, $V_{REF}=1.4V_{DC}$, $V_{RL}=5V_{DC}$, $R_L=5.1k\Omega$, $T_A=25^{\circ}\text{C}$		300		ns
t_R	Response time ⁵	$V_{RL}=5V_{DC}$, $R_L=5.1k\Omega$, $T_A=25^{\circ}\text{C}$		1.3		μs

See notes at the end of the Electrical Characteristics.

Quad voltage comparator

LM139/239/239A/339/339A/
LM2901/MC3302

DC AND AC ELECTRICAL CHARACTERISTICS

$V_+ = 5V_{DC}$, LM139: $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$; LM239/239A: $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$; LM339/339A: $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$; LM2901: $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$, MC3302: $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LM139			LM239/339			UNIT
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input offset voltage ²	$T_A = 25^\circ\text{C}$ Over temp.		± 2.0	± 5.0 ± 9.0		± 2.0	± 5.0 ± 9.0	mV mV
V_{CM}	Input common-mode voltage range ³	$T_A = 25^\circ\text{C}$ Over temp.	0 0		$V_+ - 1.5$ $V_+ - 2.0$	0 0		$V_+ - 1.5$ $V_+ - 2.0$	V
V_{IDR}	Differential input voltage ¹	Keep all $V_{IN} \geq 0V_{DC}$ (or V_- if need)			V_+			V_+	V
I_{BIAS}	Input bias current ⁴	$I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range $T_A = 25^\circ\text{C}$ Over temp.		25	100 300		25	250 400	nA nA
I_{OS}	Input offset current	$I_{IN(+)} - I_{IN(-)}$ $T_A = 25^\circ\text{C}$ Over temp.		± 3.0	± 25 ± 100		± 5.0	± 50 ± 150	nA nA
I_{OL}	Output sink current	$V_{IN(-)} \geq 1V_{DC}$, $V_{IN(+)} = 0$, $V_O \leq 1.5V_{DC}$, $T_A = 25^\circ\text{C}$	6.0	16		6.0	16		mA
	Output leakage current	$V_{IN(+)} \geq 1V_{DC}$, $V_{IN(-)} = 0$ $V_O = 5V_{DC}$, $T_A = 25^\circ\text{C}$ $V_O = 30V_{DC}$, over temp.		0.1	1.0		0.1	1.0	nA μA
I_{CC}	Supply current	$R_L = \infty$ on comparators, $T_A = 25^\circ\text{C}$ $V_+ = 30V$		0.8	2.0		0.8	2.0	mA
A_V	Voltage gain	$R_L \geq 15k\Omega$, $V_+ = 15V_{DC}$	50	200		50	200		V/mV
V_{OL}	Saturation voltage	$V_{IN(-)} \geq 1V_{DC}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\text{mA}$ $T_A = 25^\circ\text{C}$ Over temp.		250	400 700		250	400 700	mV mV
t_{LSR}	Large-signal response time	$V_{IN} = \text{TTL logic swing}$, $V_{REF} = 1.4V_{DC}$, $V_{RL} = 5V_{DC}$, $R_L = 5.1k\Omega$, $T_A = 25^\circ\text{C}$		300			300		ns
t_R	Response time ⁵	$V_{RL} = 5V_{DC}$, $R_L = 5.1k\Omega$, $T_A = 25^\circ\text{C}$		1.3			1.3		μs

See notes on following page.

Quad voltage comparator

LM139/239/239A/339/339A/
LM2901/MC3302

DC AND AC ELECTRICAL CHARACTERISTICS

$V_+ = 5V_{DC}$, LM139: $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$; LM239/239A: $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$; LM339/339A: $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$; LM2901: $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$, MC3302: $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LM2901			MC3302			UNIT
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input offset voltage ²	$T_A = 25^\circ\text{C}$ Over temp.		± 2.0 ± 9	± 7.0 ± 15		± 3.0 ± 20 ± 40	mV mV	
V_{CM}	Input common-mode voltage range ³	$T_A = 25^\circ\text{C}$ Over temp.	0 0		$V_+ - 1.5$ $V_+ - 2.0$	0 0	$V_+ - 1.5$ $V_+ - 2.0$	V	
V_{IDR}	Differential input voltage ¹	Keep all $V_{IN} \geq 0V_{DC}$ (or V_- if need)			V_+		V_+	V	
I_{BIAS}	Input bias current ⁴	$I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range $T_A = 25^\circ\text{C}$ Over temp.		25 200	250 500		25 500 1000	nA nA	
I_{OS}	Input offset current	$I_{IN(+)} - I_{IN(-)}$ $T_A = 25^\circ\text{C}$ Over temp.		± 5 ± 50	± 50 ± 200		± 5 ± 100 ± 300	nA nA	
I_{OL}	Output sink current	$V_{IN(-)} \geq 1V_{DC}$, $V_{IN(+)} = 0$, $V_O \leq 1.5V_{DC}$, $T_A = 25^\circ\text{C}$	6.0	16		6	16	mA	
	Output leakage current	$V_{IN(+)} \geq 1V_{DC}$, $V_{IN(-)} = 0$ $V_O = 5V_{DC}$, $T_A = 25^\circ\text{C}$ $V_O = 30V_{DC}$, over temp.		0.1	1.0		0.1 1.0	nA μA	
I_{CC}	Supply current	$R_L = \infty$ on all comparators, $T_A = 25^\circ\text{C}$		0.8	2.0		.8	1.8	mA
		$R_L = \infty$ on all comparators, $V_+ = 30V$		1.0	2.5				mA
A_V	Voltage gain	$R_L \geq 15k\Omega$, $V_+ = 1.5V_{DC}$	25	100		2	100	V/mV	
V_{OL}	Saturation voltage	$V_{IN(-)} \geq 1V_{DC}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\text{mA}$ $T_A = 25^\circ\text{C}$ Over temp.		400	400 700		150 400 700	mV mV	
t_{LSR}	Large-signal response time	$V_{IN} = \text{TTL logic swing}$, $V_{REF} = 1.4V_{DC}$, $V_{RL} = 5V_{DC}$, $R_L = 5.1k\Omega$, $T_A = 25^\circ\text{C}$		300			300	ns	
t_R	Response time ⁵	$V_{RL} = 5V_{DC}$, $R_L = 5.1k\Omega$, $T_A = 25^\circ\text{C}$		1.3			1.3	μs	

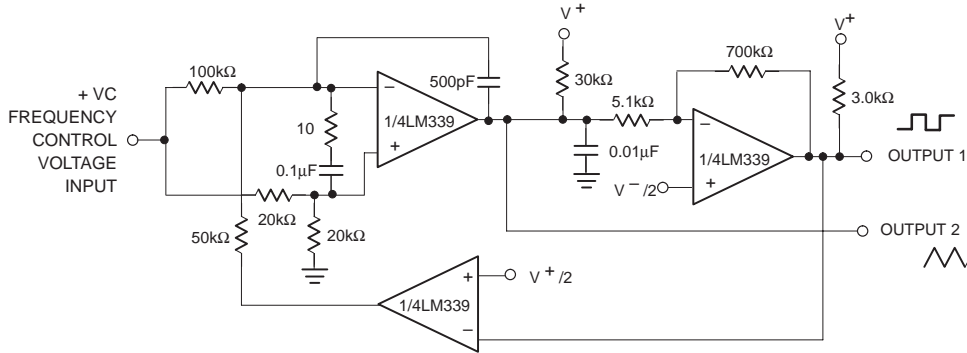
NOTES:

- Positive excursions of input voltage may exceed the power supply level by 17V. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than $-0.3V_{DC}$ (or $0.3V_{DC}$ below the magnitude of the negative power supply, if used).
- At output switch point, $V_O \approx 1.4V_{DC}$, $R_S = 0\Omega$ with V_+ from $5V_{DC}$ to $30V_{DC}$; and over the full input common-mode range ($0V_{DC}$ to $V_+ - 1.5V_{DC}$). Inputs of unused comparators should be grounded.
- The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is $V_+ - 1.5V$, but either or both inputs can go to $30V_{DC}$ without damage.
- The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.
- The response time specified is for a 100mV input step with a 5mV overdrive. For larger overdrive signals, 300ns can be obtained (see typical performance characteristics section).

Quad voltage comparator

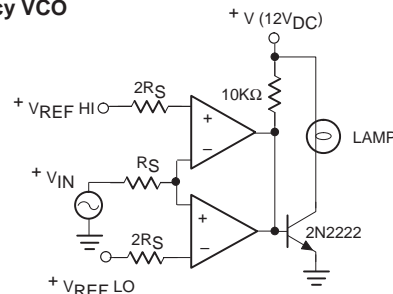
LM139/239/239A/339/339A/ LM2901/MC3302

EQUIVALENT CIRCUIT

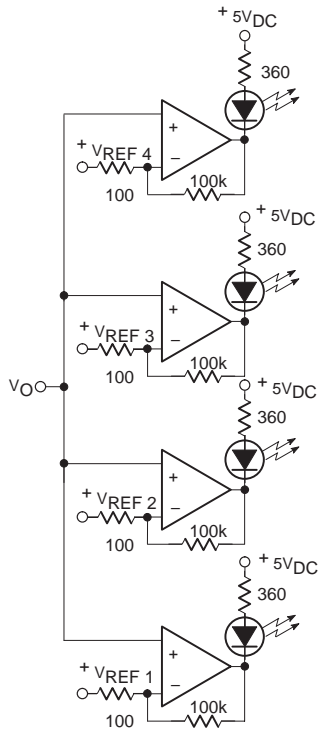


NOTES:
 $V+ = 30V_{DC}$
 $+250mV_{DC} \leq V_C = 50V_{DC}$
 $700H \leq f_O = 100kHz$

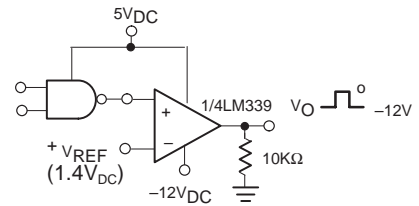
Two-Decade High-Frequency VCO



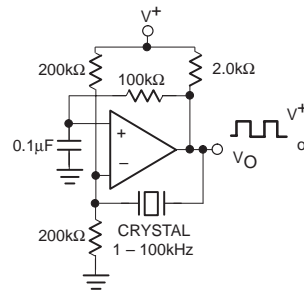
Limit Comparator



Visible Voltage Indicator



TTL-to-MOS Logic Converter



Crystal-Controlled Oscillator

NOTE:
 Input of unused comparators should be grounded.

SL00072

Figure 3. Equivalent Circuit

Quad voltage comparator

LM139/239/239A/339/339A/
LM2901/MC3302

TYPICAL PERFORMANCE CHARACTERISTICS

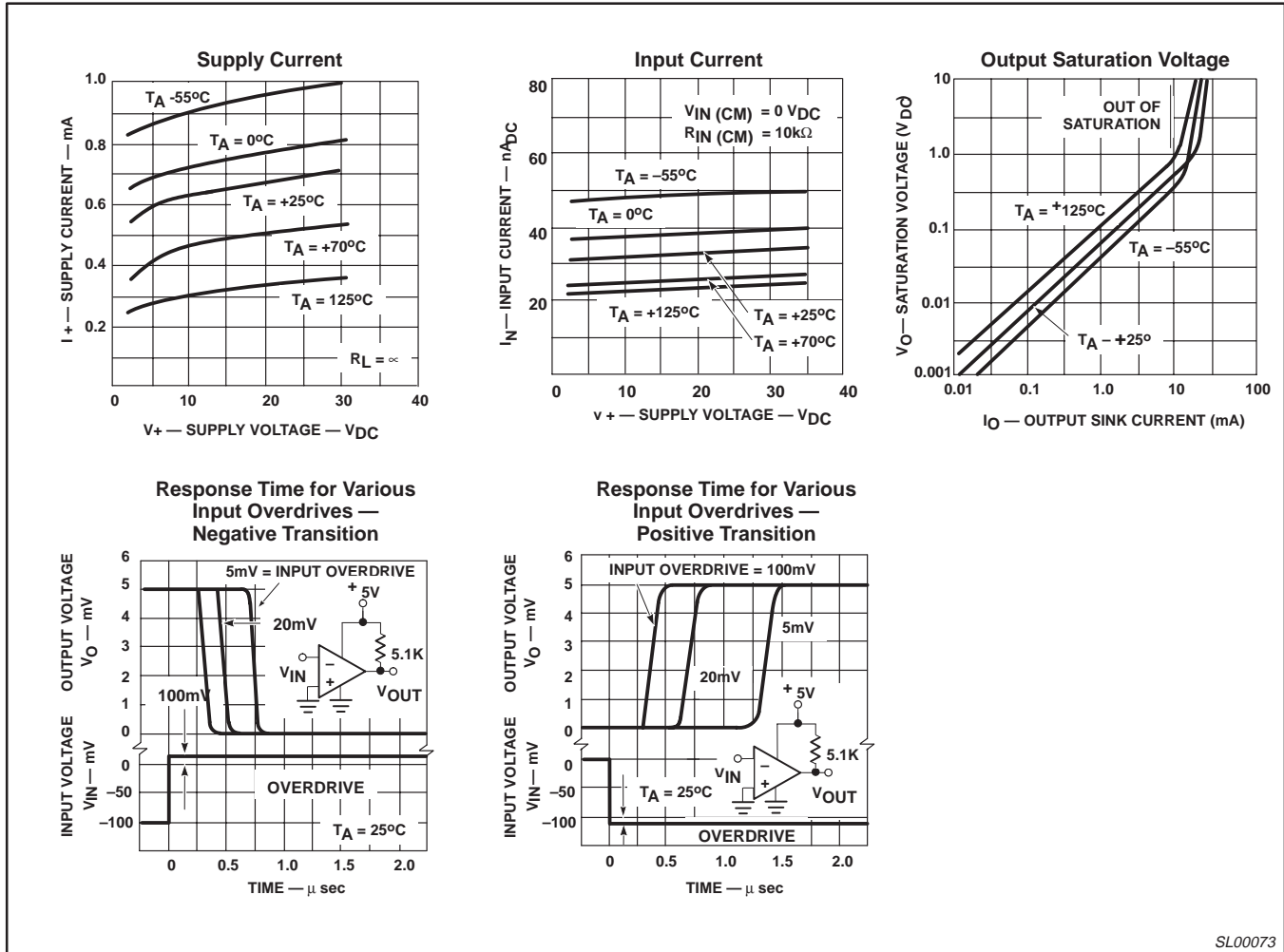


Figure 4. Typical Performance Characteristics



Quad Single Supply Comparators

These comparators are designed for use in level detection, low-level sensing and memory applications in consumer automotive and industrial electronic applications.

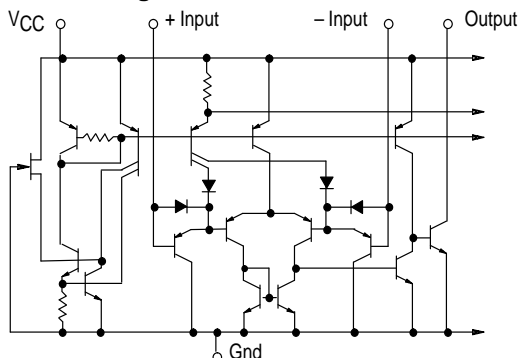
- Single or Split Supply Operation
- Low Input Bias Current: 25 nA (Typ)
- Low Input Offset Current: ± 5.0 nA (Typ)
- Low Input Offset Voltage: ± 1.0 mV (Typ) LM139A Series
- Input Common Mode Voltage Range to Gnd
- Low Output Saturation Voltage: 130 mV (Typ) @ 4.0 mA
- TTL and CMOS Compatible
- ESD Clamps on the Inputs Increase Reliability without Affecting Device Operation

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage LM239, A/LM339A/LM2901, V MC3302	V_{CC}	+36 or ± 18 +30 or ± 15	Vdc
Input Differential Voltage Range LM239, A/LM339A/LM2901, V MC3302	V_{IDR}	36 30	Vdc
Input Common Mode Voltage Range	V_{ICMR}	-0.3 to V_{CC}	Vdc
Output Short Circuit to Ground (Note 1)	I_{SC}	Continuous	
Power Dissipation @ $T_A = 25^\circ\text{C}$ Plastic Package Derate above 25°C	P_D	1.0 8.0	W mW/ $^\circ\text{C}$
Junction Temperature	T_J	150	$^\circ\text{C}$
Operating Ambient Temperature Range LM239, A MC3302 LM2901 LM2901V LM339, A	T_A	-25 to +85 -40 to +85 -40 to +105 -40 to +125 0 to +70	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$

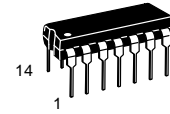
NOTE: 1. The maximum output current may be as high as 20 mA, independent of the magnitude of V_{CC} . Output short circuits to V_{CC} can cause excessive heating and eventual destruction.

Figure 1. Circuit Schematic

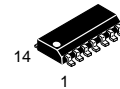


NOTE: Diagram shown is for 1 comparator.

LM339, LM339A, LM239, LM239A, LM2901, M2901V, MC3302

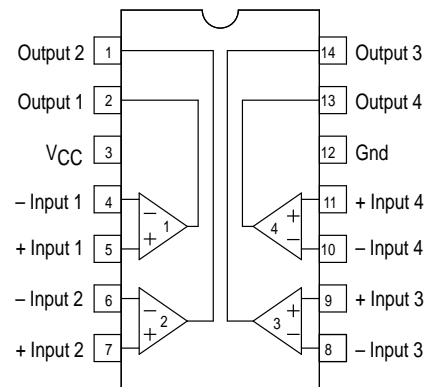


N, P SUFFIX
PLASTIC PACKAGE
CASE 646



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
LM239D,AD LM239N,AN	$T_A = 25^\circ$ to $+85^\circ\text{C}$	SO-14 Plastic DIP
LM339D, AD LM339N, AN	$T_A = 0^\circ$ to $+70^\circ\text{C}$	SO-14 Plastic DIP
LM2901D LM2901N	$T_A = -40^\circ$ to $+105^\circ\text{C}$	SO-14 Plastic DIP
LM2901VD LM2901VN	$T_A = -40^\circ$ to $+125^\circ\text{C}$	SO-14 Plastic DIP
MC3302P	$T_A = -40^\circ$ to $+85^\circ\text{C}$	Plastic DIP

LM339, LM339A, LM239, LM239A, LM2901, M2901V, MC3302

ELECTRICAL CHARACTERISTICS ($V_{CC} = +5.0$ Vdc, $T_A = +25^\circ\text{C}$, unless otherwise noted)

Characteristic	Symbol	LM239A/339A			LM239/339			LM2901/2901V			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	-	± 1.0	± 2.0	-	± 2.0	± 5.0	-	± 2.0	± 7.0	-	± 3.0	± 20	mVdc
Input Bias Current (Notes 4, 5) (Output in Analog Range)	I_{IB}	-	25	250	-	25	250	-	25	250	-	25	500	nA
Input Offset Current (Note 4)	I_{IO}	-	± 5.0	± 50	-	± 5.0	± 50	-	± 5.0	± 50	-	± 3.0	± 100	nA
Input Common Mode Voltage Range	V_{ICMR}	0	-	$V_{CC} - 1.5$	0	-	$V_{CC} - 1.5$	0	-	$V_{CC} - 1.5$	0	-	$V_{CC} - 1.5$	V
Supply Current $R_L = \infty$ (For All Comparators) $R_L = \infty, V_{CC} = 30$ Vdc	I_{CC}	-	0.8 1.0	2.0 2.5	-	0.8 1.0	2.0 2.5	-	0.8 1.0	2.0 2.5	-	0.8 1.0	2.0 2.5	mA
Voltage Gain $R_L \geq 15$ k Ω , $V_{CC} = 15$ Vdc	A_{VOL}	50	200	-	50	200	-	25	100	-	25	100	-	V/mV
Large Signal Response Time $V_I =$ TTL Logic Swing, $V_{ref} = 1.4$ Vdc, $V_{RL} = 5.0$ Vdc, $R_L = 5.1$ k Ω	-	-	300	-	-	300	-	-	300	-	-	300	-	ns
Response Time (Note 6) $V_{RL} = 5.0$ Vdc, $R_L = 5.1$ k Ω	-	-	1.3	-	-	1.3	-	-	1.3	-	-	1.3	-	μs
Output Sink Current $V_I(-) \geq +1.0$ Vdc, $V_I(+) = 0$, $V_O \leq 1.5$ Vdc	I_{Sink}	6.0	16	-	6.0	16	-	6.0	16	-	6.0	16	-	mA
Saturation Voltage $V_I(-) \geq +1.0$ Vdc, $V_I(+) = 0$, $I_{sink} \leq 4.0$ mA	V_{sat}	-	130	400	-	130	400	-	130	400	-	130	500	mV
Output Leakage Current $V_I(+) \geq +1.0$ Vdc, $V_I(-) = 0$, $V_O = +5.0$ Vdc	I_{OL}	-	0.1	-	-	0.1	-	-	0.1	-	-	0.1	-	nA

PERFORMANCE CHARACTERISTICS ($V_{CC} = +5.0$ Vdc, $T_A = T_{low}$ to T_{high} [Note 3])

Characteristic	Symbol	LM239A/339A			LM239/339			LM2901/2901V			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 4)	V_{IO}	-	-	± 4.0	-	-	± 9.0	-	-	± 15	-	-	± 40	mVdc
Input Bias Current (Notes 4, 5) (Output in Analog Range)	I_{IB}	-	-	400	-	-	400	-	-	500	-	-	1000	nA
Input Offset Current (Note 4)	I_{IO}	-	-	± 150	-	-	± 150	-	-	± 200	-	-	± 300	nA
Input Common Mode Voltage Range	V_{ICMR}	0	-	$V_{CC} - 2.0$	0	-	$V_{CC} - 2.0$	0	-	$V_{CC} - 2.0$	0	-	$V_{CC} - 2.0$	V
Saturation Voltage $V_I(-) \geq +1.0$ Vdc, $V_I(+) = 0$, $I_{sink} \leq 4.0$ mA	V_{sat}	-	-	700	-	-	700	-	-	700	-	-	700	mV
Output Leakage Current $V_I(+) \geq +1.0$ Vdc, $V_I(-) = 0$, $V_O = 30$ Vdc	I_{OL}	-	-	1.0	-	-	1.0	-	-	1.0	-	-	1.0	μA
Differential Input Voltage All $V_I \geq 0$ Vdc	V_{ID}	-	-	V_{CC}	-	-	V_{CC}	-	-	V_{CC}	-	-	V_{CC}	Vdc

NOTES: 3. (LM239/239A) $T_{low} = -25^\circ\text{C}$, $T_{high} = +85^\circ\text{C}$

(LM339/339A) $T_{low} = 0^\circ\text{C}$, $T_{high} = +70^\circ\text{C}$

(MC3302) $T_{low} = -40^\circ\text{C}$, $T_{high} = +85^\circ\text{C}$

(LM2901) $T_{low} = -40^\circ\text{C}$, $T_{high} = +105^\circ\text{C}$

(LM2901V) $T_{low} = -40^\circ\text{C}$, $T_{high} = +125^\circ\text{C}$

4. At the output switch point, $V_O = 1.4$ Vdc, $R_S \leq 100$ Ω , 5.0 Vdc $\leq V_{CC} \leq 30$ Vdc, with the inputs over the full common mode range (0 Vdc to $V_{CC} - 1.5$ Vdc).

5. The bias current flows out of the inputs due to the PNP input stage. This current is virtually constant, independent of the output state.

6. The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger signals, 300 ns is typical.

Figure 2. Inverting Comparator with Hysteresis

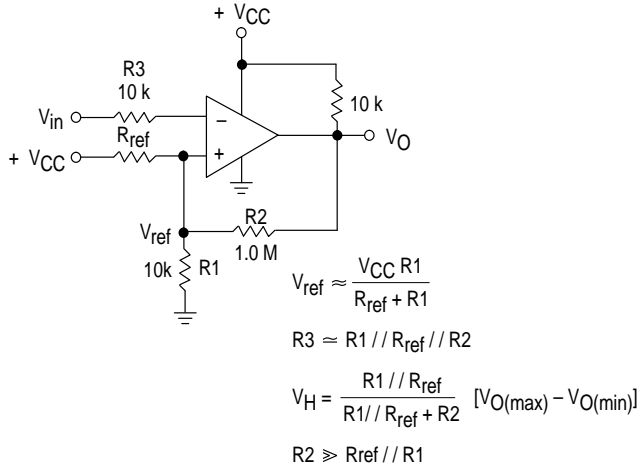
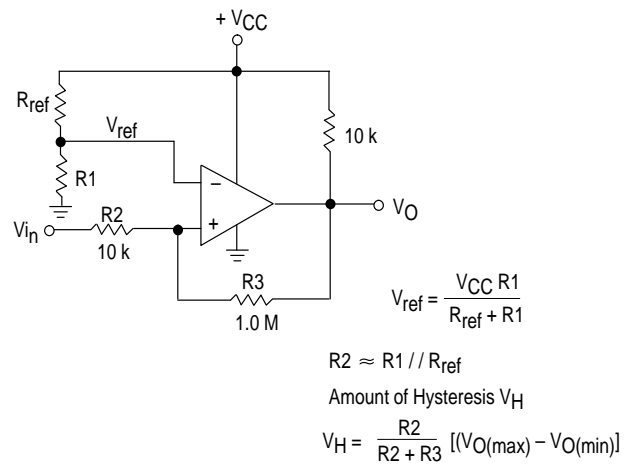


Figure 3. Noninverting Comparator with Hysteresis



Typical Characteristics

(V_{CC} = 15 Vdc, T_A = +25°C (each comparator) unless otherwise noted.)

Figure 4. Normalized Input Offset Voltage

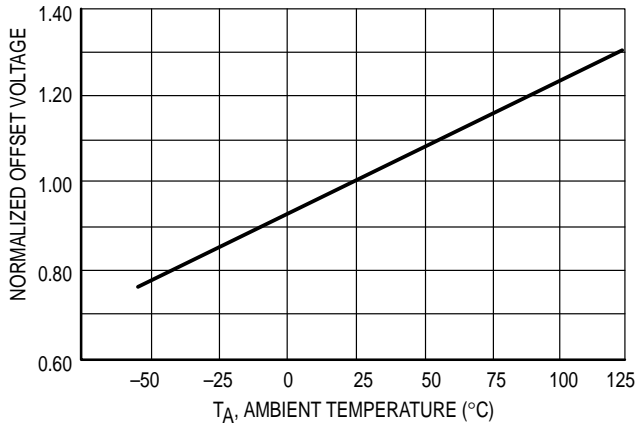


Figure 5. Input Bias Current

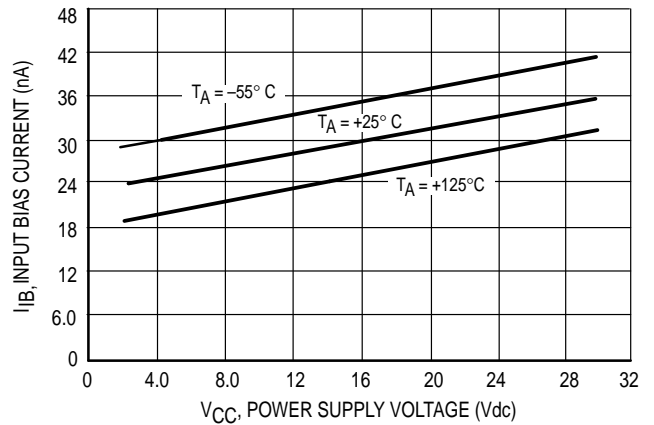


Figure 6. Output Sink Current versus Output Saturation Voltage

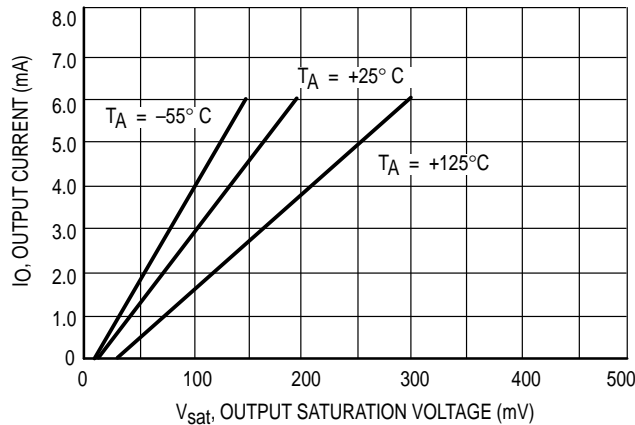
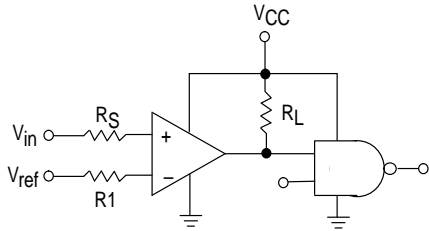


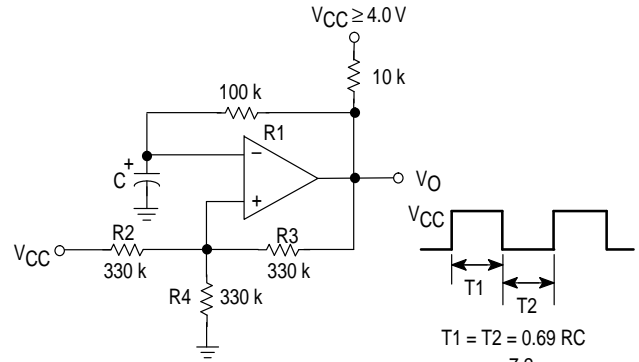
Figure 7. Driving Logic



R_S = Source Resistance
 $R_1 \approx R_S$

Logic	Device	VCC (V)	RL kΩ
CMOS	1/4 MC14001	+15	100
TTL	1/4 MC7400	+5.0	10

Figure 8. Squarewave Oscillator



$$T_1 = T_2 = 0.69 RC$$

$$f \approx \frac{7.2}{C(\mu F)}$$

$$R_2 = R_3 = R_4$$

$$R_1 \approx R_2 // R_3 // R_4$$

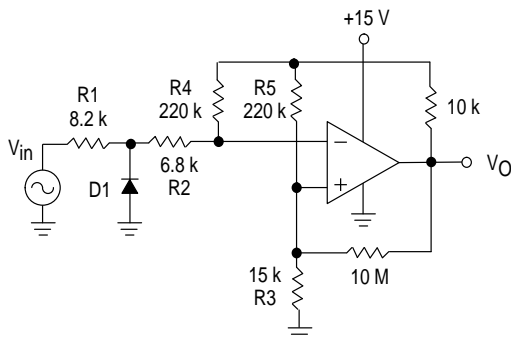
APPLICATIONS INFORMATION

These quad comparators feature high gain, wide bandwidth characteristics. This gives the device oscillation tendencies if the outputs are capacitively coupled to the inputs via stray capacitance. This oscillation manifests itself during output transitions (V_{OL} to V_{OH}). To alleviate this situation input resistors $< 10\text{ k}\Omega$ should be used. The addition

of positive feedback ($< 10\text{ mV}$) is also recommended. It is good design practice to ground all unused input pins.

Differential input voltages may be larger than supply voltages without damaging the comparator's inputs. Voltages more negative than -300 mV should not be used.

Figure 9. Zero Crossing Detector (Single Supply)



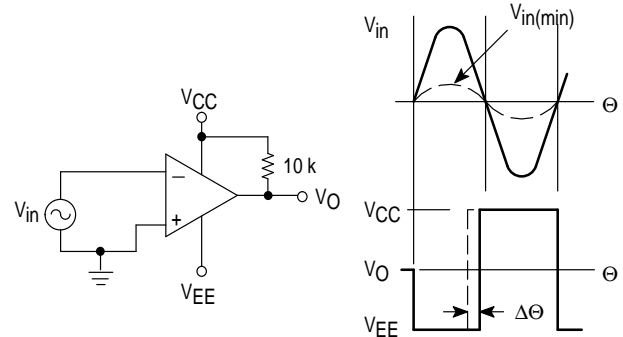
D1 prevents input from going negative by more than 0.6 V.

$$R_1 + R_2 = R_3$$

$$R_3 \leq \frac{R_5}{10} \text{ for small error in zero crossing}$$

Figure 10. Zero Crossing Detector (Split Supplies)

$V_{in(min)} \approx 0.4\text{ V}$ peak for 1% phase distortion ($\Delta\theta$).

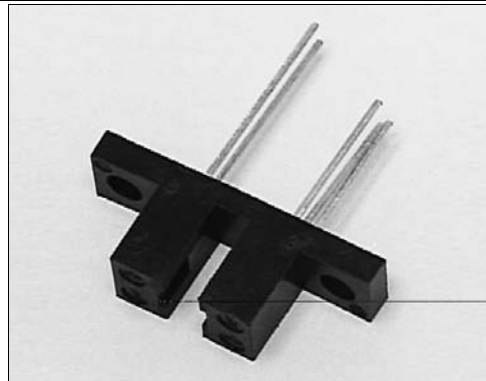


HOA2001

Transmissive Optoschmitt Sensor

FEATURES

- Direct TTL interface
- Buffer logic
- 0.060 in.(1.52 mm) dia. detector aperture
- 0.120 in.(3.05 mm) slot width
- 0.050 in.(1.27) offset pin circle detector eads



INFRA-45.TIF

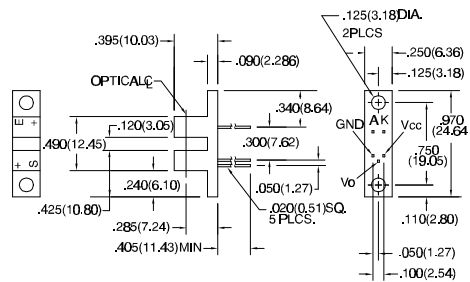
DESCRIPTION

The HOA2001 consists of an infrared emitting diode facing an Optoschmitt detector encased in a black thermoplastic housing. The photodetector consists of a photodiode, amplifier, voltage regulator, Schmitt trigger and an NPN output transistor with 10 kΩ (nominal) pull-up resistor. The buffer logic provides a high output when the optical path is clear, and a low output when the path is interrupted. The HOA2001 employs plastic molded components. For additional component information see SEP8506 and SDP8600.

Housing material is polyester. Housings are soluble in chlorinated hydrocarbons and ketones. Recommended cleaning agents are methanol and isopropanol.

OUTLINE DIMENSIONS in inches (mm)

Tolerance 3 plc decimals ±0.010(0.25)
2 plc decimals ±0.020(0.51)



DIM_062.dwg

HOA2001

Transmissive Optoschmitt Sensor

ELECTRICAL CHARACTERISTICS (25°C unless otherwise noted)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	TEST CONDITIONS
IR EMITTER						
Forward Voltage	V_F		1.6		V	$I_F=20\text{ mA}$
Reverse Leakage Current	I_R		10		μA	$V_R=3\text{ V}$
DETECTOR						
Operating Supply Voltage	V_{CC}	4.5	10		V	
Low Level Supply Current	$I_{CC(L)}$	4.0	12		mA	$V_{CC}=5\text{ V}$
Low Level Supply Current		5.0	15			$V_{CC}=12\text{ V}$
High Level Supply Current	$I_{CC(H)}$	2.0	10		mA	$V_{CC}=5\text{ V}$
High Level Supply Current		3.0	12			$V_{CC}=12\text{ V}$
Low Level Output Voltage	V_{OL}		0.4		V	$I_{OL}=12.8\text{ mA}, I_F=0\text{ mA}$
High Level Output Voltage	V_{OH}	2.4			V	$I_{OH}=0, I_F=10\text{ mA}$
Hysteresis ⁽²⁾	HYST		10		%	
Propagation Delay, Low-High	t_{PLH}		5		μs	$V_{CC}=5\text{ V}, I_F=10\text{ mA}$
Propagation Delay, High-Low	t_{PHL}		5		μs	$V_{CC}=5\text{ V}, I_F=10\text{ mA}$
Rise Time	t_r		60		ns	$R_L=390\ \Omega, C_L=50\text{ pF}$
Fall Time	t_f		15		ns	$R_L=390\ \Omega, C_L=50\text{ pF}$
COUPLED CHARACTERISTICS						
IRET Trigger Current	I_{RT}		10		mA	$V_{CC}=5\text{ V}$
HOA2001-001						

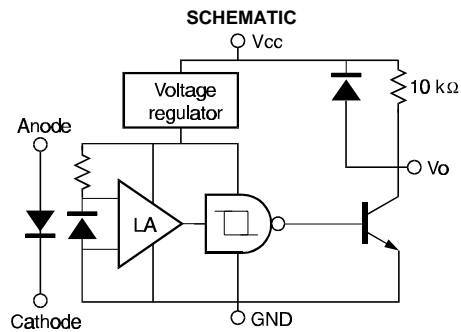
Notes

1. It is recommended that a bypass capacitor, 0.1 μF typical, be added between V_{CC} and GND near the device in order to stabilize power supply line.
2. Hysteresis is defined as the difference between the operating and release threshold intensities, expressed as a percentage of the operate threshold intensity.

ABSOLUTE MAXIMUM RATINGS

(25°C Free-Air Temperature unless otherwise noted)

Operating Temperature Range	-40°C to 70°C
Storage Temperature Range	-40°C to 85°C
Soldering Temperature (5 sec)	240°C
IR EMITTER	
Power Dissipation	100 mW ⁽¹⁾
Reverse Voltage	3 V
Continuous Forward Current	50 mA
DETECTOR	
Supply Voltage	12 V ⁽²⁾
Output Sink Current	18 mA
Duration of Output	
Short to V_{CC} or Ground	1.0 sec.



Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

Honeywell

HOA2001

Transmissive Optoschmitt Sensor

SWITCHING WAVEFORM

cir_013.cdr

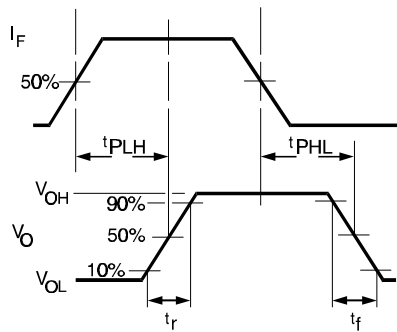


Fig. 2 IRED Trigger Current vs Temperature

gra_098.ds4

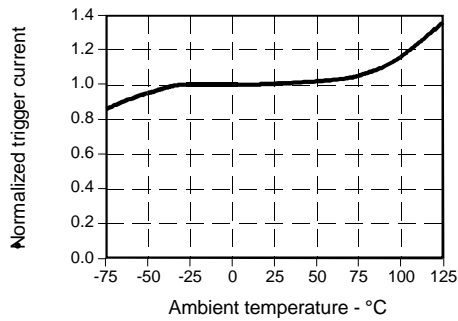
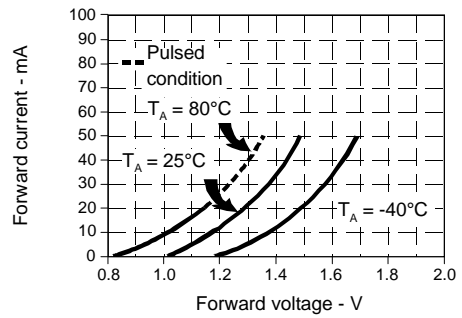


Fig. 1 IRED Forward Bias Characteristics

gra_073.ds4



All Performance Curves Show Typical Values

HOA2001

Transmissive Optoschmitt Sensor

Honeywell reserves the right to make changes in order to improve design and supply the best products possible.

Honeywell

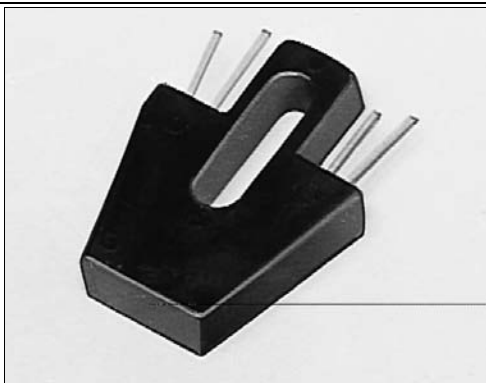
363

HOA1405

Reflective Sensor

FEATURES

- Phototransistor output
- Focused for maximum response
- Ambient light and dust protective filter



INFRA-68.TIF

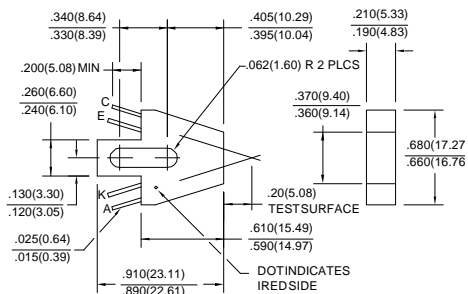
DESCRIPTION

The HOA1405 series consists of an infrared emitting diode and an NPN silicon phototransistor encased side-by-side on converging optical axes in a black thermoplastic housing. The phototransistor responds to radiation from the IRED only when a reflective object passes within its field of view. The HOA1405 series employs an IR transmissive filter to minimize the effects of visible ambient light and to provide a smooth optical face which prevents the accumulation of airborne contaminants in the optical path. The HOA1405 series contains plastic molded components. For additional component information see SEP8505 and SDP8405.

Housing material is polyester. Housings are soluble in chlorinated hydrocarbons and ketones. Recommended cleaning agents are methanol and isopropanol.

OUTLINE DIMENSIONS in inches (mm)

Tolerance 3 plc decimals $\pm 0.010(0.25)$
2 plc decimals $\pm 0.020(0.51)$



DIM_032.d54

HOA1405

Reflective Sensor

ELECTRICAL CHARACTERISTICS (25°C unless otherwise noted)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	TEST CONDITIONS
IR EMITTER						
Forward Voltage	V_F			1.6	V	$I_F=20\text{ mA}$
Reverse Leakage Current	I_R			10	μA	$V_R=3\text{ V}$
DETECTOR						
Collector-Emitter Breakdown Voltage	$V_{(BR)CEO}$	30			V	$I_C=100\ \mu\text{A}$
Emitter-Collector Breakdown Voltage	$V_{(BR)ECO}$	5.0			V	$I_E=100\ \mu\text{A}$
Collector Dark Current	I_{CEO}			100	nA	$V_{CE}=10\text{ V}, I_F=0$
COUPLED CHARACTERISTICS						
On-State Collector Current	$I_{C(ON)}$				mA	$V_{CE}=5\text{ V}$
HOA1405-001		0.2				$I_F=30\text{ mA}$
HOA1405-002		0.8				(1)
Collector-Emitter Saturation Voltage	$V_{CE(SAT)}$				V	$I_F=30\text{ mA}$ (1)
HOA1405-001	$V_{(BR)CEO}$			0.4		$I_C=30\ \mu\text{A}$
HOA1405-002				0.4		$I_C=100\ \mu\text{A}$
Rise And Fall Time	t_r, t_f		15		μs	$V_{CC}=5\text{ V}, I_C=1\text{ mA}$ $R_L=1000\ \Omega$

Notes

1. Test surface is a Eastman Kodak neutral white card with 90% diffuse reflectance located 0.20 in. (5.0 mm) from the front surface of the device.

ABSOLUTE MAXIMUM RATINGS

(25°C Free-Air Temperature unless otherwise noted)

Operating Temperature Range	-40°C to 85°C
Storage Temperature Range	-40°C to 85°C
Soldering Temperature (5 sec)	240°C

IR EMITTER

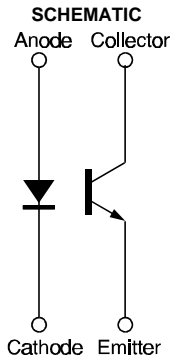
Power Dissipation	70 mW (1)
Reverse Voltage	3 V
Continuous Forward Current	50 mA

DETECTOR

Collector-Emitter Voltage	30 V
Emitter-Collector Voltage	5 V
Power Dissipation	70 mW (1)

Notes

1. Derate linearly at 0.18 mW/°C above 25°C.



HOA1405

Reflective Sensor

Fig. 1 IRED Forward Bias Characteristics

gra_073.ds4

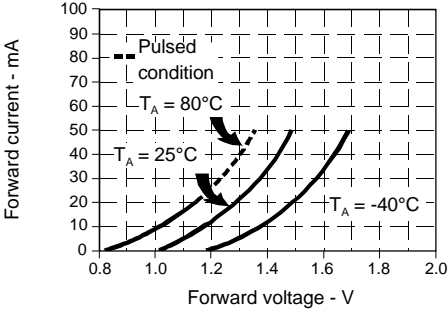


Fig. 2 Non-Saturated Switching Time vs Load Resistance

gra_074.ds4

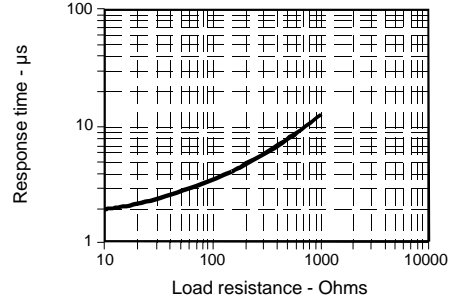


Fig. 3 Dark Current vs Temperature

gra_301.cdr

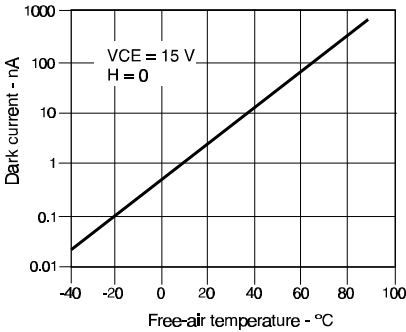


Fig. 4 Collector Current vs Ambient Temperature

gra_076.ds4

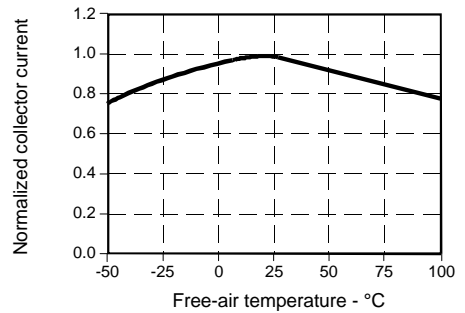


Fig. 5 Collector Current vs Distance to Reflective Surface

gra_090.ds4

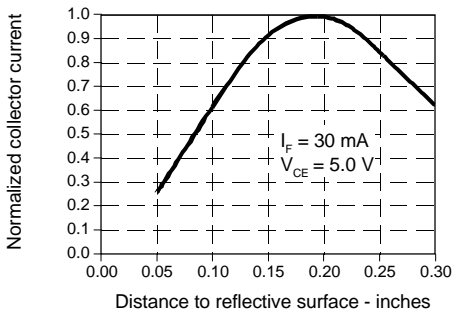
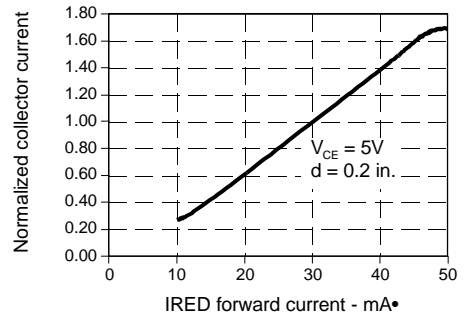


Fig. 6 Collector Current vs IRED Forward Current

gra_091.ds4



All Performance Curves Show Typical Values

CD4510B, CD4516B Types

CMOS Presettable Up/Down Counters

High-Voltage Types (20-Volt Rating)

CD4510B — — — BCD Type

CD4516B — — — Binary Type

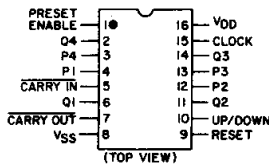
■ CD4510B Presettable BCD Up/Down Counter and the CD4516 Presettable Binary Up/Down Counter consist of four synchronously clocked D-type flip-flops (with a gating structure to provide T-type flip-flop capability) connected as counters. These counters can be cleared by a high level on the RESET line, and can be preset to any binary number present on the jam inputs by a high level on the PRESET ENABLE line. The CD4510B will count out of non-BCD counter states in a maximum of two clock pulses in the up mode, and a maximum of four clock pulses in the down mode.

If the CARRY-IN input is held low, the counter advances up or down on each positive-going clock transition. Synchronous cascading is accomplished by connecting all clock inputs in parallel and connecting the CARRY-OUT of a less significant stage to the CARRY-IN of a more significant stage.

The CD4510B and CD4516B can be cascaded in the ripple mode by connecting the CARRY-OUT to the clock of the next stage. If the UP/DOWN input changes during a terminal count, the CARRY-OUT must be gated with the clock, and the UP/DOWN input must change while the clock is high. This method provides a clean clock signal to the subsequent counting stage. (See Fig. 15).

These devices are similar to types MC14510 and MC14516.

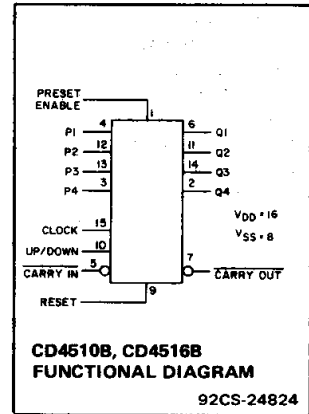
The CD4510B and CD4516B types are supplied in 16-lead dual-in-line plastic packages (E suffix), 16-lead small-outline packages (NSR suffix), and 16-lead thin shrink small-outline packages (PW and PWR suffixes). The CD4516B types also are supplied in 16-lead hermetic dual-in-line ceramic packages (F3A suffix).



92CS-2701S
CD4510B, CD4516B
TERMINAL ASSIGNMENT

Features:

- Medium-speed operation --
 $f_{CL} = 8 \text{ MHz typ. at } 10 \text{ V}$
- Synchronous internal carry propagation
- Reset and Preset capability
- 100% tested for quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Standardized symmetrical output characteristics
- Maximum input current of $1 \mu\text{A}$ at 18 V over full package temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package-temperature range):
1 V at $V_{DD} = 5 \text{ V}$
2 V at $V_{DD} = 10 \text{ V}$
2.5 V at $V_{DD} = 15 \text{ V}$
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"



Applications:

- Up/Down difference counting
- Multistage synchronous counting
- Multistage ripple counting
- Synchronous frequency dividers

OPERATING CONDITIONS AT $T_A = 25^\circ\text{C}$, Unless Otherwise Specified

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

Characteristic	V_{DD}	Min.	Max.	Units
Supply Voltage Range (At $T_A = \text{Full Package-Temperature Range}$)		3	18	V
Clock Pulse Width, t_W	5	150	—	ns
	10	75	—	
	15	60	—	
Clock Input Frequency, f_{CL}	5	—	2	MHz
	10	—	4	
	15	—	5.5	
Preset Enable or Reset Removal Time [●]	5	150	—	ns
	10	80	—	
	15	60	—	
Clock Rise and Fall Time, t_{rCL} , t_{fCL} [*]	5	—	15	μs
	10	—	5	
	15	—	5	
Carry-In Setup Time, t_S	5	130	—	ns
	10	60	—	
	15	45	—	
Up-Down Setup Time, t_S	5	360	—	ns
	10	160	—	
	15	110	—	
Preset Enable or Reset Pulse Width, t_W	5	220	—	ns
	10	100	—	
	15	75	—	

[●]Time required after the falling edge of the reset or preset enable inputs before the rising edge of the clock will trigger the counter (similar to setup time).

^{*}If more than one unit is cascaded in the parallel clocked application, t_{rCL} should be made less than or equal to the sum of the fixed propagation delay at 15 pF and the transition time of the carry output driving stage for the estimated capacitive load.

CD4510B Types

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD})		
Voltages referenced to V_{SS} Terminal		-0.5V to +20V
INPUT VOLTAGE RANGE, ALL INPUTS		-0.5V to $V_{DD} + 0.5V$
DC INPUT CURRENT, ANY ONE INPUT		$\pm 10\text{mA}$
POWER DISSIPATION PER PACKAGE (P_D):		
For $T_A = -55^\circ\text{C}$ to $+100^\circ\text{C}$		500mW
For $T_A = +100^\circ\text{C}$ to $+125^\circ\text{C}$		Derate Linearity at 12mW/ $^\circ\text{C}$ to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR		
FOR $T_A = \text{FULL PACKAGE-TEMPERATURE RANGE (All Package Types)}$		100mW
OPERATING-TEMPERATURE RANGE (T_A)		-55°C to $+125^\circ\text{C}$
STORAGE TEMPERATURE RANGE (T_{stg})		-65°C to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING):		
At distance 1/16 \pm 1/32 inch (1.59 \pm 0.79mm) from case for 10s max		$+265^\circ\text{C}$

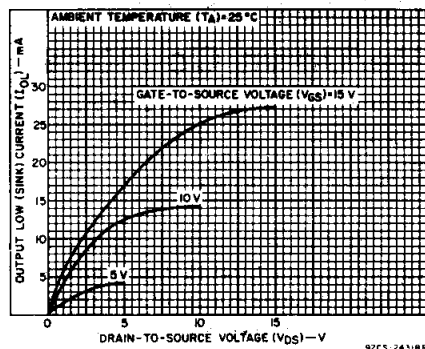


Fig. 1 - Typical output low (sink) current characteristics.

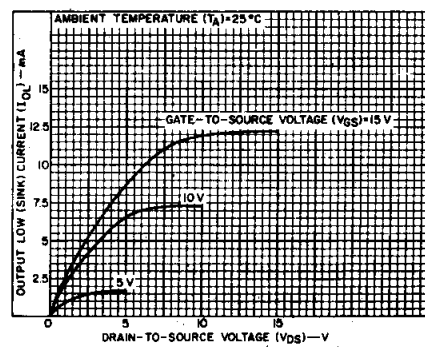


Fig. 2 - Minimum output low (sink) current characteristics.

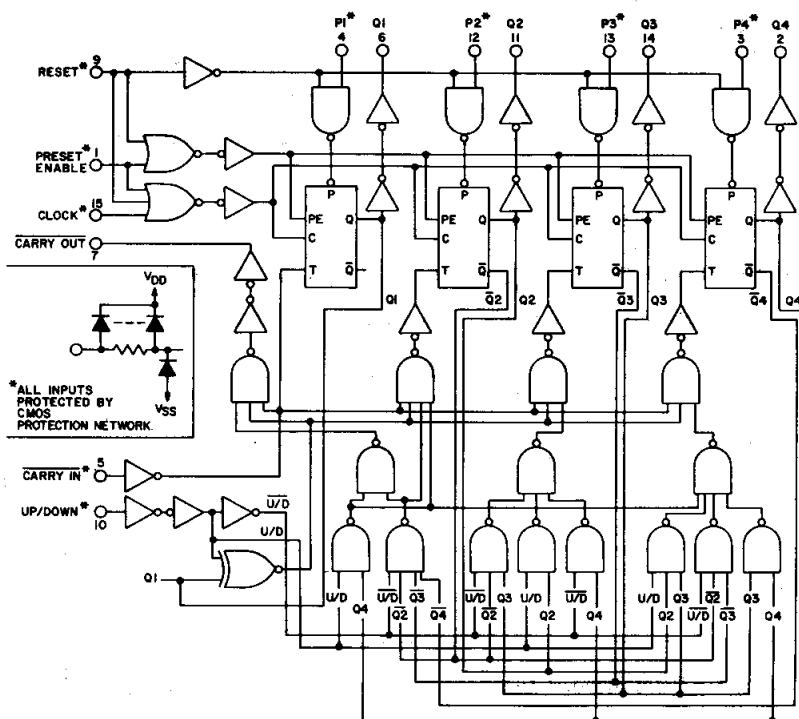


Fig. 3 - Logic Diagram for CD4510B.

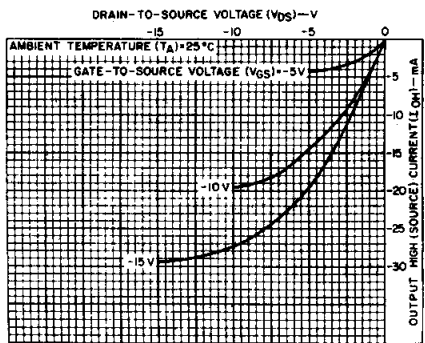


Fig. 4 - Typical output high (source) current characteristics.

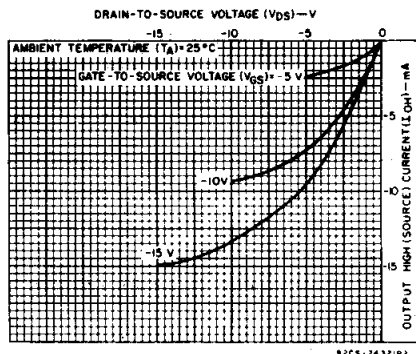


Fig. 5 - Minimum output high (source) current characteristics.

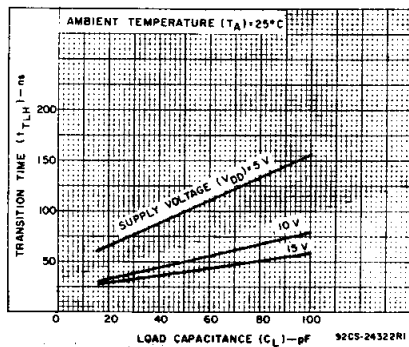


Fig. 6 - Typical transition time vs. load capacitance.

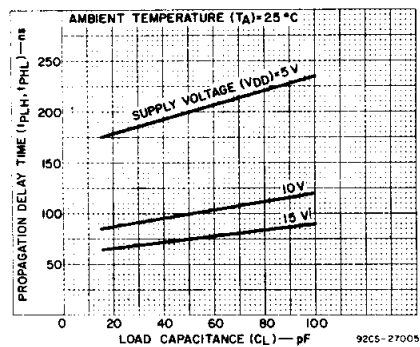


Fig. 7 - Typical propagation delay time vs. load capacitance for clock-to-Q outputs.

CD4510B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-55	-40	+85	+125	+25			
								Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max.	-	0,5	5	5	5	150	150	-	0,04	5	μA
	-	0,10	10	10	10	300	300	-	0,04	10	
	-	0,15	15	20	20	600	600	-	0,04	20	
	-	0,20	20	100	100	3000	3000	-	0,08	100	
Output Low (Sink) Current I _{OL} Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	-	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	-	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	-	
Output High (Source) Current, I _{OH} Min.	4.6	0,5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA
	2.5	0,5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	
	9.5	0,10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-	
Output Voltage: Low-Level, V _{OL} Max.	-	0,5	5	0.05				-	0	0.05	V
	-	0,10	10	0.05				-	0	0.05	
	-	0,15	15	0.05				-	0	0.05	
Output Voltage: High-Level, V _{OH} Min.	-	0,5	5	4.95				4.95	5	-	V
	-	0,10	10	9.95				9.95	10	-	
	-	0,15	15	14.95				14.95	15	-	
Input Low Voltage, V _{IL} Max.	0.5, 4.5	-	5	1.5				-	-	1.5	V
	1, 9	-	10	3				-	-	3	
	1.5, 13.5	-	15	4				-	-	4	
Input High Voltage, V _{IH} Min.	0.5, 4.5	-	5	3.5				3.5	-	-	V
	1, 9	-	10	7				7	-	-	
	1.5, 13.5	-	15	11				11	-	-	
Input Current I _{IN} Max.	-	0,18	18	±0.1	±0.1	±1	±1	-	±10 ⁻⁵	±0.1	μA

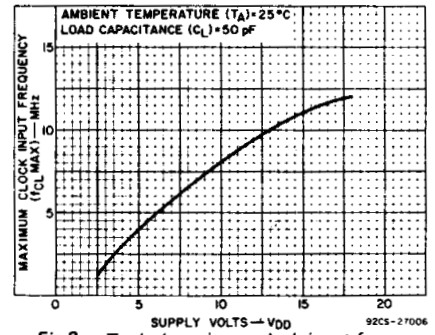


Fig. 8 - Typical maximum clock input frequency vs. supply voltage.

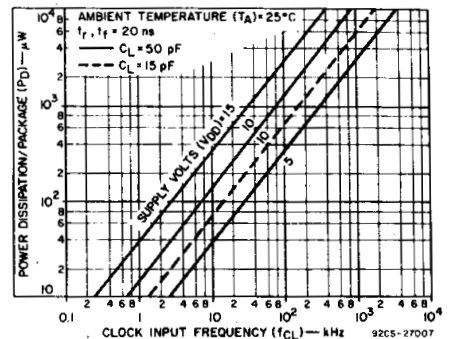


Fig. 9 - Typical dynamic power dissipation vs. frequency.

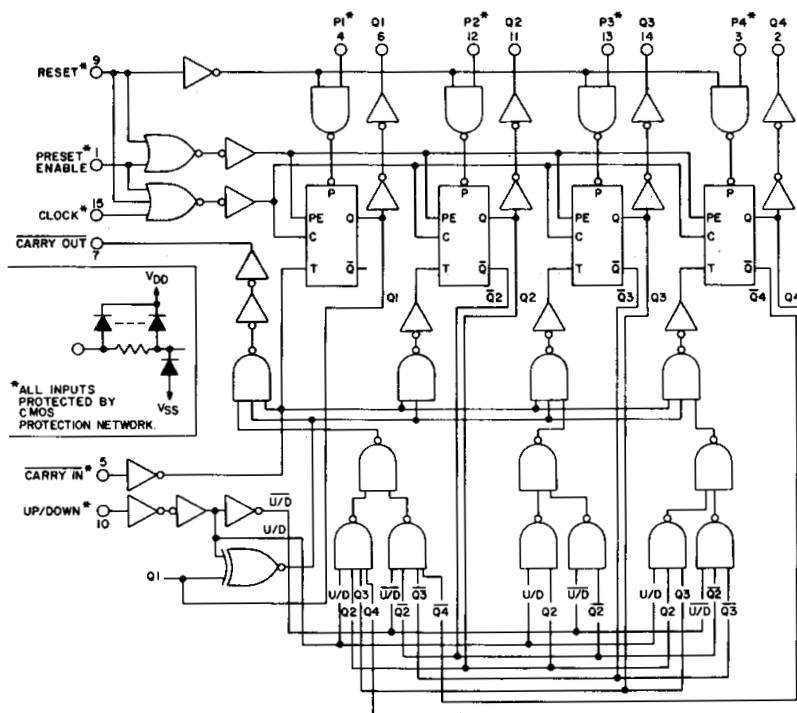


Fig. 10 - Logic Diagram for CD4516B.

92CS-27004R2

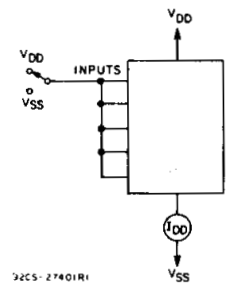


Fig. 11 - Quiescent-device-current test circuit.

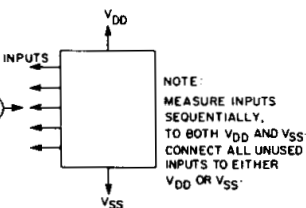


Fig. 12 - Input-current test circuit.

92CS-2740Z

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

CD4510B Types

DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$, $C_L = 50\text{ pF}$,
 Input $t_r, t_f = 20\text{ ns}$, $R_L = 200\text{ k}\Omega$

Characteristic	Conditions V_{DD} (V)	Limits All Packages			Units
		Min.	Typ.	Max.	
Propagation Delay Time (t_{PHL}, t_{PLH}): Clock-to-Q Output (See Fig. 10)	5	—	200	400	ns
	10	—	100	200	
	15	—	75	150	
Preset or Reset-to-Q Output	5	—	210	420	ns
	10	—	105	210	
	15	—	80	160	
Clock-to-Carry Out	5	—	240	480	ns
	10	—	120	240	
	15	—	90	180	
Carry-In-to-Carry Out	5	—	125	250	ns
	10	—	60	120	
	15	—	50	100	
Preset or Reset-to-Carry Out	5	—	320	640	ns
	10	—	160	320	
	15	—	125	250	
Transition Time (t_{THL}, t_{TLH}) (See Fig. 9)	5	—	100	200	ns
	10	—	50	100	
	15	—	40	80	
Max. Clock Input Frequency (f_{CL})	5	2	4	—	MHz
	10	4	8	—	
	15	5.5	11	—	
Input Capacitance (C_{IN})		—	5	7.5	pF
Set-up Time, t_S Preset Enable to J_n	5	25	12	—	ns
	10	10	6	—	
	15	10	5	—	
Hold times, t_H Clock to Carry-In	5	60	30	—	ns
	10	30	4	—	
	15	30	1	—	
Clock to Up/Down	5	30	10	—	ns
	10	30	4	—	
	15	30	5	—	
Preset Enable to J_n	5	70	35	—	ns
	10	40	20	—	
	15	40	20	—	

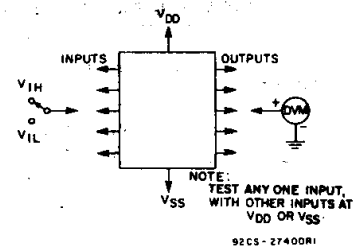


Fig. 13 - Input-voltage test circuit.

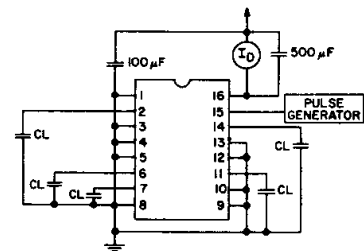


Fig. 14 - Power-dissipation test circuit and input waveform.

CD4510B Types

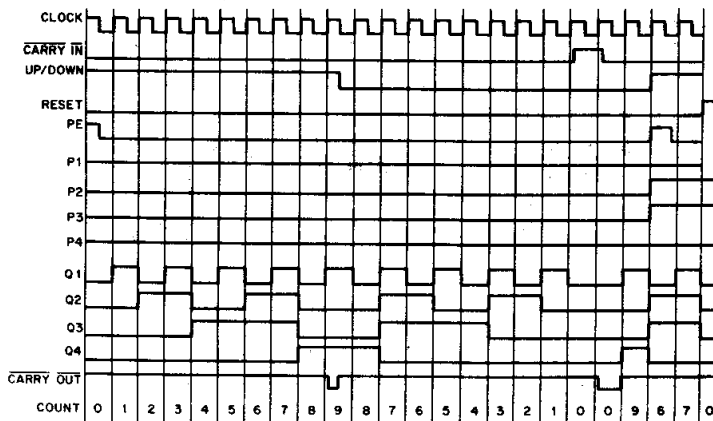


Fig. 15 — Timing Diagram for CD4510B.

92CM-2700B

CL	CI	U/D	PE	R	ACTION
X	1	X	0	0	NO COUNT
↓	0	1	0	0	COUNT UP
↓	0	0	0	0	COUNT DOWN
X	X	X	1	0	PRESET
X	X	X	X	1	RESET

X = DON'T CARE
TRUTH TABLE

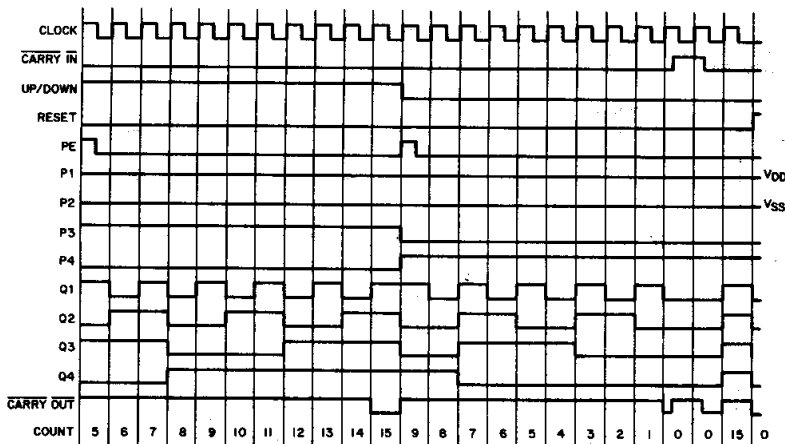
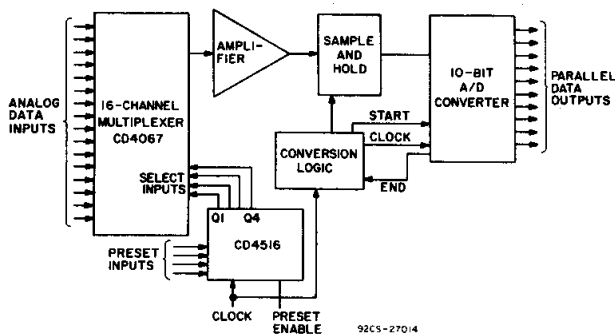


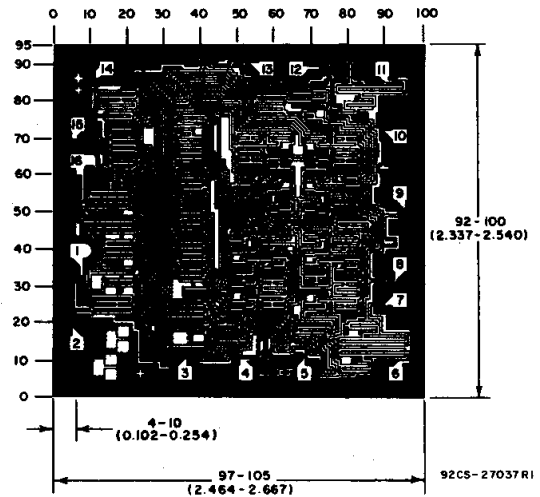
Fig. 16 — Timing diagram for CD4516B.

92CM-27009R1

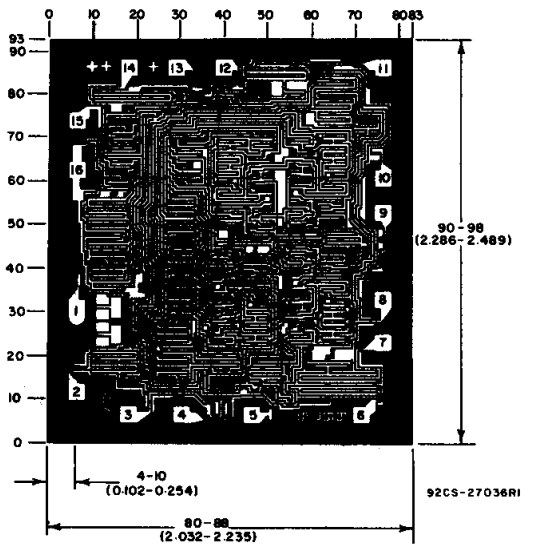


This acquisition system can be operated in the random access mode by jamming in the channel number at the present inputs, or in the sequential mode by clocking the CD4516B.

Fig. 17 — Typical 16-channel, 10-bit data acquisition system.



Dimensions and Pad Layout for CD4510BH.

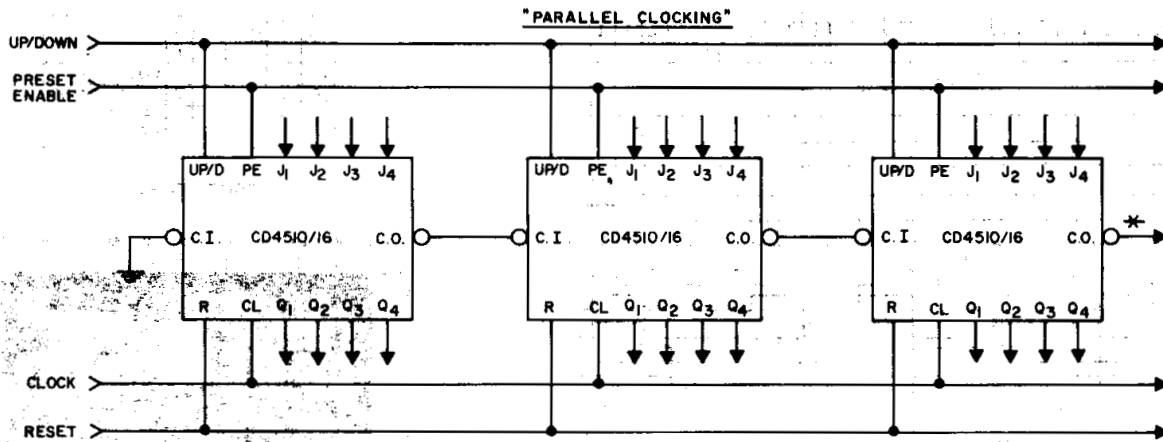


Dimensions and Pad Layout for CD4516BH.

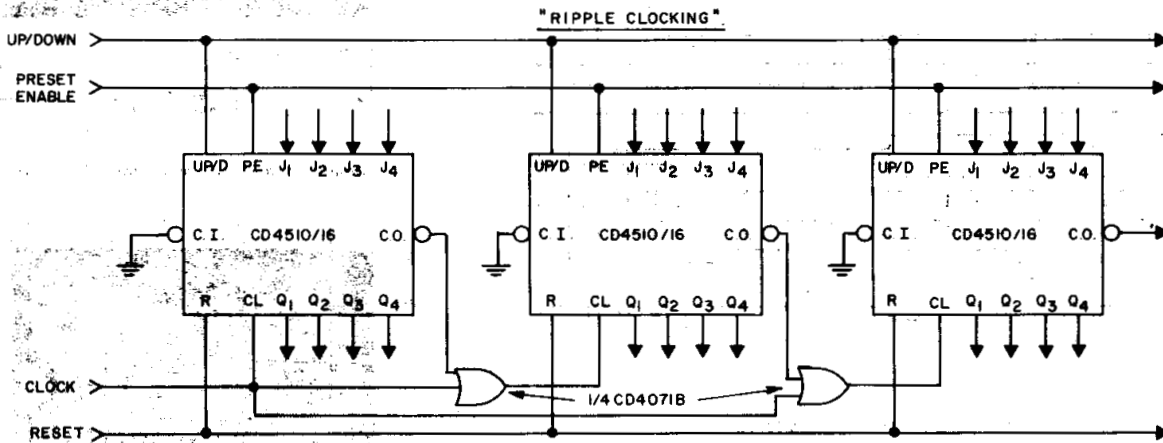
Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

CD4510B Types



* **CARRY OUT** lines at the 2nd, 3rd, etc., stages may have a negative-going glitch pulse resulting from differential delays of different CD4510/16 IC's. These negative-going glitches do not affect proper CD4510/16 operation. However, if the **CARRY OUT** signals are used to trigger other edge-sensitive logic devices, such as FF's or counters, the **CARRY OUT** signals should be gated with the clock signal using a 2-input OR gate such as CD4071B.



RIPPLE CLOCKING MODE:
THE UP/DOWN CONTROL CAN BE CHANGED AT ANY COUNT. THE ONLY RESTRICTION ON CHANGING THE UP/DOWN CONTROL IS THAT THE CLOCK INPUT TO THE FIRST COUNTING STAGE MUST BE "HIGH".

For cascading counters operating in a fixed up-count or down-count mode, the OR gates are not required between stages, and C.O. is connected directly to the CL input of the next stage with CI grounded.

92CL-17194R5

Fig. 18 — Cascading counter packages.

4510B

UP/DOWN DECADE COUNTER

DESCRIPTION — The 4510B is an Edge-Triggered Synchronous Up/Down BCD Counter with a Clock Input (CP), an active HIGH Up/Down Count Control Input (Up/Dn), an active LOW Count Enable Input (CE), an asynchronous active HIGH Parallel Load Input (PL), four Parallel Inputs (P₀-P₃), four Parallel Outputs (Q₀-Q₃), an active LOW Terminal Count Output (TC) and an overriding asynchronous Master Reset Input (MR).

Information on the Parallel Inputs (P₀-P₃) is loaded into the counter while the Parallel Load Input (PL) is HIGH, independent of all other input conditions except the Master Reset Input (MR) which must be LOW. With the Parallel Load Input (PL) LOW, the counter changes on the LOW-to-HIGH transition of the Clock Input (CP) if the Count Enable Input (CE) is LOW. The Up/Down Count Control Input (Up/Dn) determines the direction of the count, HIGH for counting up, LOW for counting down. When counting up, the Terminal Count Output (TC) is LOW when the Parallel Outputs Q₀-Q₃ are HIGH and the Count Enable (CE) is LOW. When counting down, the Terminal Count Output (TC) is LOW when all the Parallel Outputs (Q₀-Q₃) and the Count Enable Input (CE) are LOW. A HIGH on the Master Reset Input resets the counter (Q₀-Q₃ = LOW) independent of all other input conditions.

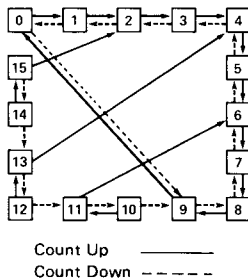
- UP/DOWN COUNT CONTROL
- SINGLE CLOCK INPUT (L→H EDGE-TRIGGERED)
- ASYNCHRONOUS PARALLEL LOAD INPUT
- ASYNCHRONOUS MASTER RESET
- EASILY CASCADABLE

MODE SELECTION TABLE

PL	UP/D \bar{N}	CE	CP	MODE
H	X	X	X	Parallel Load (P _n → Q _n)
L	X	H	X	No Change
L	L	L	┘	Count Down, Decade
L	H	L	┘	Count Up, Decade

MR = LOW X = Don't Care
H = HIGH Level ┘ = Positive-Going
L = LOW Level Transition

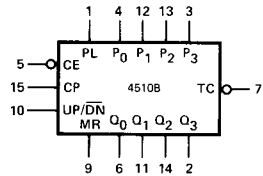
4510B STATE DIAGRAM



LOGIC EQUATION FOR TERMINAL COUNT

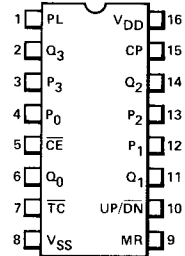
$$TC = CE \cdot [(UP \cdot Q_0 \cdot Q_3) + (\bar{UP} \cdot \bar{Q}_0 \cdot \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3)]$$

LOGIC SYMBOL



V_{DD} = Pin 16
V_{SS} = Pin 8

**CONNECTION DIAGRAM
DIP (TOP VIEW)**



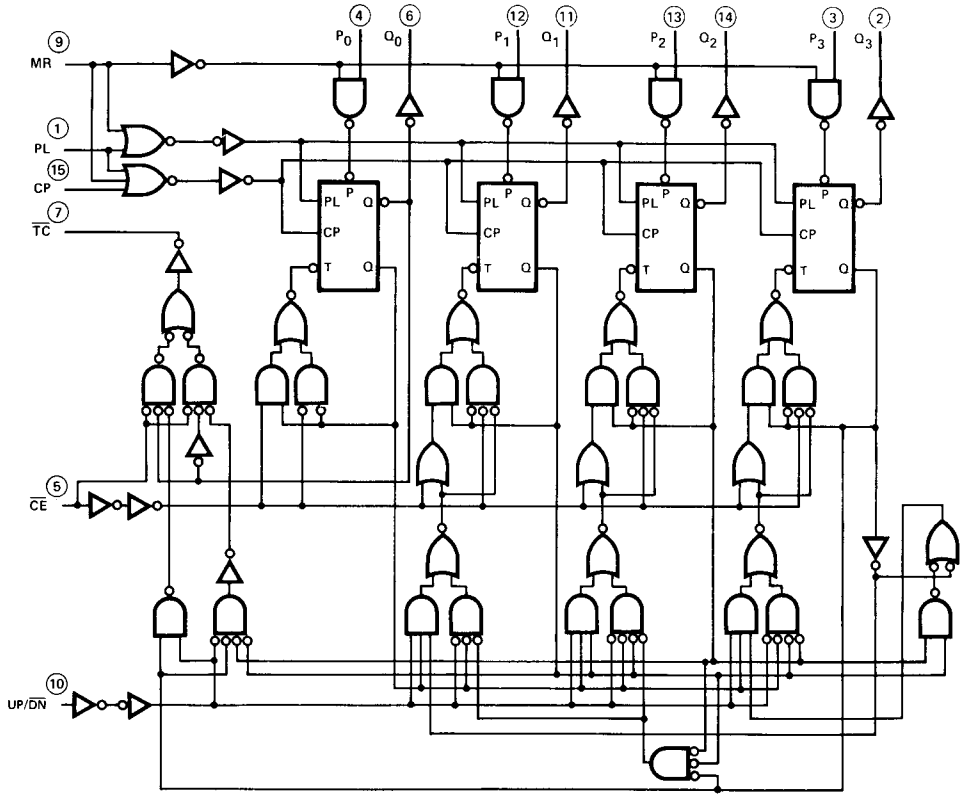
NOTE:

The Flatpak version has the same pin-outs (Connection Diagram) as the Dual In-line Package.

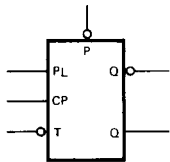
PIN NAMES

- PL Parallel Load Input (Active HIGH)
- P₀-P₃ Parallel Inputs
- CE Count Enable Input (Active LOW)
- CP Clock Pulse Input (L → H Edge-Triggered)
- Up/D \bar{n} Up/Down Count Control Input
- MR Master Reset Input
- TC Terminal Count Output (Active LOW)
- Q₀-Q₃ Parallel Outputs

LOGIC DIAGRAM



V_{DD} = Pin 16
 V_{SS} = Pin 8
 ○ = Pin Number



PL (Parallel Load Input) – Asynchronously Loads P into Q, Overriding all Other Inputs
 P (Parallel Input) – Data on this Pin is Asynchronously Loaded into Q, when PL is HIGH Overriding all Other Inputs
 CP (Clock Pulse Input)
 Q, \bar{Q} (True and Complimentary Outputs)
 T (Toggle Input) – Forces the Q output to synchronously toggle when a HIGH is placed on this input.

DC CHARACTERISTICS: V_{DD} as shown, V_{SS} = 0 V (See Note 1)

SYMBOL	PARAMETER		LIMITS									UNITS	TEMP	TEST CONDITIONS
			V _{DD} = 5 V			V _{DD} = 10 V			V _{DD} = 15 V					
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX			
I _{DD}	Quiescent Power Supply Current	XC			20			40			80	μA	MIN, 25°C	All inputs at 0 V or V _{DD}
				150			300			600	MAX			
I _{DD}	Supply Current	XM			5			10			20	μA	MIN, 25°C	All inputs at 0 V or V _{DD}
				150			300			600	MAX			

Notes on following page.

FAIRCHILD CMOS • 4510B

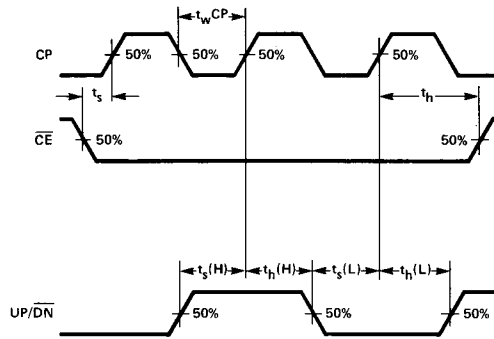
AC CHARACTERISTICS AND SET-UP REQUIREMENTS: V_{DD} as shown, $V_{SS} = 0\text{ V}$, $T_A = 25^\circ\text{C}$ (See Note 2)

SYMBOL	PARAMETER	LIMITS									UNITS	TEST CONDITIONS
		$V_{DD} = 5\text{ V}$			$V_{DD} = 10\text{ V}$			$V_{DD} = 15\text{ V}$				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
t_{PLH}	Propagation Delay, CP to Q_n		150	350		62	160		41	128	ns	$C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$ Input Transition Times $\leq 20\text{ ns}$
t_{PHL}	Propagation Delay, CP to Q_n		150	350		59	160		39	128	ns	
t_{PLH}	Propagation Delay, CP to \overline{TC}		167	450		71	180		48	144	ns	
t_{PHL}	Propagation Delay, CP to \overline{TC}		252	650		100	245		66	196	ns	
t_{PLH}	Propagation Delay, PL to Q_n		170	325		70	150		45	120	ns	
t_{PHL}	Propagation Delay, PL to Q_n		220	425		90	195		62	156	ns	
t_{PLH}	Propagation Delay, MR to Q_n , \overline{TC}		225	500		170	210		105	168	ns	
t_{PHL}	Propagation Delay, MR to Q_n , \overline{TC}		205	450		120	190		80	152	ns	
t_{TLH}	Output Transition Time		60	135		31	75		23	45	ns	
t_{THL}	Output Transition Time		65	135		25	75		18	45	ns	
t_{wCP}	CP Minimum Pulse Width	125	50		60	21		48	14		ns	
t_{wPL}	PL Minimum Pulse Width	150	60		60	21		48	16		ns	
t_{wMR}	MR Minimum Pulse Width	150	60		60	30		48	20		ns	
t_{rec}	MR Recovery Time	175	75		70	30		56	20		ns	
t_{rec}	PL Recovery Time	150	62		60	24		48	17		ns	
t_s	Set-Up Time, UP/ \overline{DN} to CP	325	145		140	55		110	38		ns	
t_h	Hold Time, UP/ \overline{DN} to CP	0	-90		0	-35		0	-25		ns	
t_s	Set-Up Time, CE to CP	275	118		120	49		96	33		ns	
t_h	Hold Time, CE to CP	0	-40		0	-15		0	-10		ns	
t_s	Set-Up Time, P_n to PL	70	29		30	11		24	8		ns	
t_h	Hold Time, P_n to PL	0	-40		0	-20		0	-20		ns	
f_{MAX}	Input Clock Frequency (Note 3)	2	5		5	12		6	15		MHz	

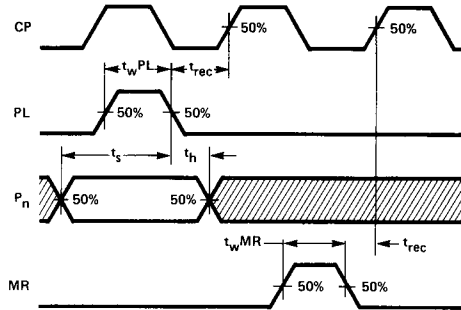
NOTES:

1. Additional DC Characteristics are listed in this section under 4000B Series CMOS Family Characteristics.
2. Propagation Delays and Output Transition Times are graphically described in this section under 4000B Series CMOS Family Characteristics.
3. For f_{MAX} , input rise and fall times are greater than or equal to 5 ns and less than or equal to 20 ns.
4. It is recommended that input rise and fall times to the Clock Input be less than 15 μs at $V_{DD} = 5\text{ V}$, 4 μs at $V_{DD} = 10\text{ V}$, and 3 μs at $V_{DD} = 15\text{ V}$.

SWITCHING WAVEFORMS



MINIMUM CP WIDTH, SET-UP AND HOLD TIMES, \overline{CE} TO CP AND UP/ \overline{DN} TO CP



MINIMUM PL AND MR PULSE WIDTH, RECOVERY TIME FOR PL AND MR, AND SET-UP AND HOLD TIMES, P_n TO PL

NOTE:
Set-up and Hold Times are shown as positive values but may be specified as negative values.

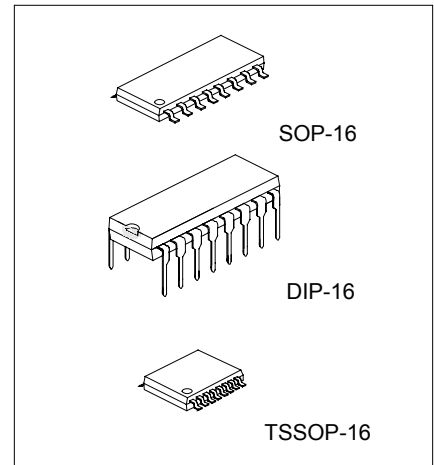
ANALOG MULTIPLEXERS/ DEMULTIPLEXERS

DESCRIPTION

The UTC 4053 are Triple SPDT analog multiplexers for application as digitally-controlled analog switches.

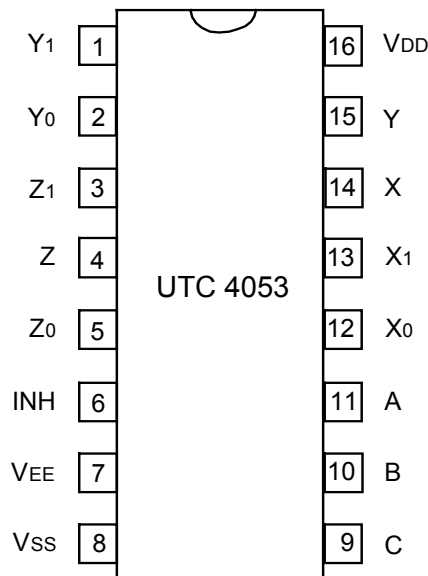
FEATURES

- * Analog Voltage Range ($V_{DD} - V_{EE}$) = 3.0 ~ 18 V
Note: V_{EE} must be $\leq V_{SS}$
- * Linearized Transfer Characteristics
- * Pin-to-Pin Replacement for CD4053

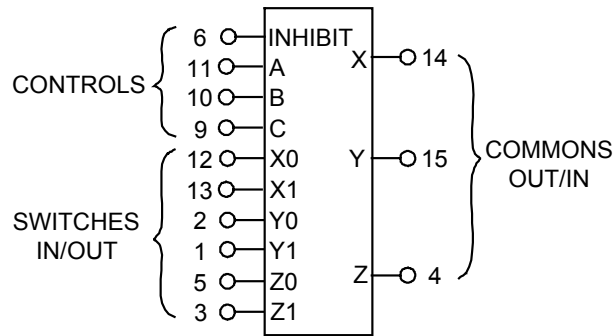


*Pb-free plating product number: 4053L

PIN CONFIGURATIONS



UTC 4053 Triple 2-Channel Analog Multiplexer/Demultiplexer



V_{DD} = PIN 16
 V_{SS} = PIN 8
 V_{EE} = PIN 7

Note: Control Inputs referenced to V_{SS}, Analog Inputs and Outputs reference to V_{EE}. V_{EE} must be ≤ V_{SS}.

ABSOLUTE MAXIMUM RATINGS*

PARAMETER	SYMBOL	RATINGS	UNIT
DC Supply Voltage (Referenced to V _{EE} , V _{SS} ≥ V _{EE})	V _{DD}	-0.5 ~ +18.0	V
Input or Output Voltage (DC or Transient) (Referenced to V _{SS} for Control Inputs and V _{EE} for Switch I/O)	V _{in} , V _{out}	-0.5 ~ V _{DD} + 0.5	V
Input Current (DC or Transient), per Control Pin	I _{in}	±10	mA
Switch Through Current	I _{SW}	±25	mA
Power Dissipation. Per Package**	P _D	500	mW
Storage Temperature	T _{stg}	-65 ~ +150	°C
Lead Temperature (8 - Second Soldering)	T _{Lead}	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur.

** Temperature Derating: "DIP and SOP" Packages: - 7.0 mW/°C From 65°C ~ 125°C

ELECTRICAL CHARACTERISTICS

(T_a=25°C, unless otherwise indicated.)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP#	MAX	UNIT
SUPPLY REQUIREMENTS (Voltages Referenced to V_{EE})						
Power Supply Voltage Range	V _{DD}	V _{DD} - 3.0 ≥ V _{SS} ≥ V _{EE}	3.0		18	V
Quiescent Current per Package	I _{DD}	Control Inputs: V _{in} = V _{SS} or V _{DD} Switch I/O: V _{EE} ≤ V _{I/O} ≤ V _{DD} , and ΔV _{switch} ≤ 500mV* V _{DD} =5.0V V _{DD} =10V V _{DD} =15V		0.005 0.010 0.015	5.0 10 20	μA
Total Supply Current (Dynamic Plus Quiescent, Per Package)	I _{D(AV)}	T _a =25°C only (The channel component, (V _{in} - V _{out})/R _{on} , is not included.) V _{DD} =5.0V V _{DD} =10V V _{DD} =15V		(0.07 μA/kHz) f + I _{DD} Typical (0.20 μA/kHz) f + I _{DD} (0.36 μA/kHz) f + I _{DD}		μA

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP#	MAX	UNIT
CONTROL INPUTS – INHIBIT A, B, C (Voltages Referenced to V_{SS})						
Low – Level Input Voltage	V _{IL}	R _{on} = per spec, I _{off} = per spec V _{DD} =5.0V V _{DD} =10V V _{DD} =15V		2.25 4.50 6.75	1.5 3.0 4.0	V
High – Level Input Voltage	V _{IH}	R _{on} = per spec, I _{off} = per spec V _{DD} =5.0V V _{DD} =10V V _{DD} =15V	3.5 7.0 11	2.75 5.50 8.25		V
Input Leakage Current	I _{in}	V _{in} = 0 or V _{DD} , V _{DD} =15V		±0.00001	±0.1	µA
Input Capacitance	C _{in}			5.0	7.5	pF
SWITCHES IN/OUT AND COMMONS OUT/IN -- X, Y, Z (Voltages Referenced to V_{EE})						
Recommended Peak-to-Peak Voltage Into or Out of the Switch	V _{I/O}	Channel On or Off	0		V _{DD}	V _{PP}
Recommended Static or Dynamic Voltage Across the Switch** (Figure 3)	ΔV _{switch}	Channel On	0		600	mV
Output Offset Voltage	V _{OO}	V _{in} = 0V, No Load		10		µV
ON Resistance	R _{on}	ΔV _{switch} ≤ 500mV* V _{in} = V _{IL} or V _{IH} (Control), and V _{in} = 0 to V _{DD} (Switch) V _{DD} =5.0V V _{DD} =10V V _{DD} =15V		250 120 80	1050 500 280	Ω
Δ ON Resistance Between Any Two Channels in the Same Package	ΔR _{on}	V _{DD} =5.0V V _{DD} =10V V _{DD} =15V		25 10 10	70 50 45	Ω
Off-Channel Leakage Current (Figure 8)	I _{off}	V _{in} = V _{IL} or V _{IH} (Control) Channel to Channel or Any One Channel, V _{DD} =15V		±0.05	±100	nA
Capacitance, Switch I/O	C _{I/O}	Inhibit = V _{DD}		10		pF
Capacitance, Common O/I	C _{O/I}	Inhibit = V _{DD}		17		pF
Capacitance, Feedthrough (Channel Off)	C _{I/O}	Pins Not Adjacent Pins Adjacent		0.15 0.47		pF

#Data labeled "Typ" is not to be used for design purposes, but is intended as an indication of the IC's potential performance.

* For voltage drops across the switch (ΔV_{switch}) > 600 mV (> 300 mV at high temperature), excessive V_{DD} current may be drawn, i.e. the current out of the switch may contain both V_{DD} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded. (See second page of this data sheet.)

ELECTRICAL CHARACTERISTICS*

($C_L = 50\text{pF}$, $T_a = 25^\circ\text{C}$, $V_{EE} \leq V_{SS}$, unless otherwise indicated.)

PARAMETER	SYMBOL	$V_{DD} - V_{EE}$ Vdc	TEST CONDITIONS	MIN	TYP#	MAX	UNIT
Propagation Delay Times (Figure 4) Switch Input to Switch Output ($R_L = 10\text{ k}\Omega$)	t_{PLH} , t_{PHL}	5.0	t_{PLH} , $t_{PHL} = (0.17\text{ ns/pF}) C_L + 16.5\text{ ns}$		25	65	ns
		10	t_{PLH} , $t_{PHL} = (0.08\text{ ns/pF}) C_L + 4.0\text{ ns}$		8.0	20	
		15	t_{PLH} , $t_{PHL} = (0.06\text{ ns/pF}) C_L + 3.0\text{ ns}$		6.0	15	
Inhibit to Output	t_{PHZ} , t_{PLZ} t_{PZH} , t_{PZL}	5.0	$(R_L = 10\text{ k}\Omega, V_{EE} = V_{SS})$ Output "1" or "0" to High Impedance, or High Impedance to "1" or "0" Level		275	550	ns
		10		140	280		
		15		110	220		
Control Input to Output	t_{PLH} , t_{PHL}	5.0	$R_L = 10\text{ k}\Omega, V_{EE} = V_{SS}$		300	600	ns
		10		120	240		
		15		80	160		
Second Harmonic Distortion		10	$R_L = 10\text{ k}\Omega, f = 1\text{ kHz}, V_{in} = 5\text{ V}_{PP}$		0.07		%
Bandwidth (Figure 5)	BW	10	$R_L = 1\text{ k}\Omega, V_{in} = 1/2 (V_{DD} - V_{EE})\text{ p-p},$ $C_L = 50\text{ pF}, 20\text{ Log } (V_{out}/V_{in}) = -3\text{ dB}$		17		MHz
Off Channel Feedthrough Attenuation (Figure 5)		10	$R_L = 1\text{ k}\Omega, V_{in} = 1/2 (V_{DD} - V_{EE})\text{ p-p}$ $f_{in} = 55\text{ MHz}$		-50		dB
Channel Separation (Figure 6)		10	$R_L = 1\text{ k}\Omega, V_{in} = 1/2 (V_{DD} - V_{EE})\text{ p-p}$ $f_{in} = 3.0\text{ MHz}$		-50		dB
Crosstalk, Control Input to Common O/I (Figure 7)		10	$R_1 = 1\text{ k}\Omega, R_L = 10\text{ k}\Omega$ Control $t_{TLH} = t_{THL} = 20\text{ ns}, \text{Inhibit} = V_{SS}$		75		mV

* The formulas given are for the typical characteristics only at 25°C .

Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

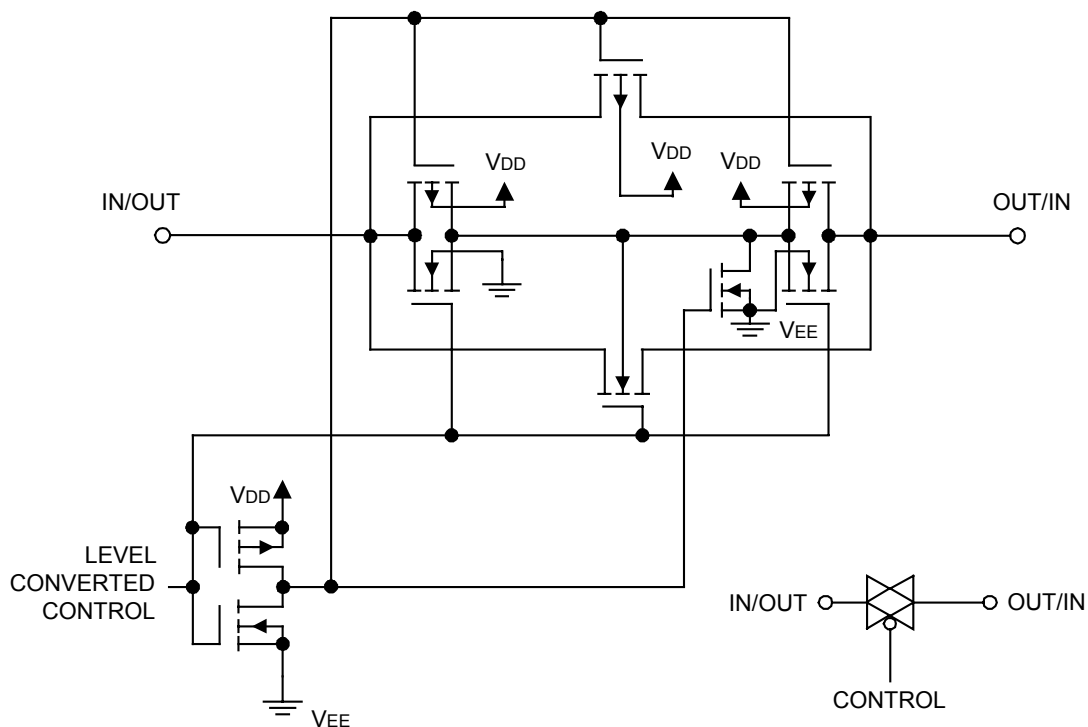


Figure 1. Switch Circuit Schematic

TRUTH TABLE

Control Inputs			ON Switches			
Inhibit	Select			UTC 4053		
	C	B	A	Z0	Y0	X0
0	0	0	0	Z0	Y0	X0
0	0	0	1	Z0	Y0	X1
0	0	1	0	Z0	Y1	X0
0	0	1	1	Z0	Y1	X1
0	1	0	0	Z1	Y0	X0
0	1	0	1	Z1	Y0	X1
0	1	1	0	Z1	Y1	X0
0	1	1	1	Z1	Y1	X1
1	x	x	x	None		

x = Don't Care

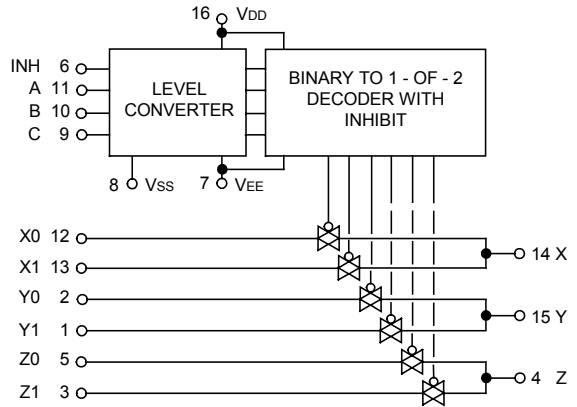
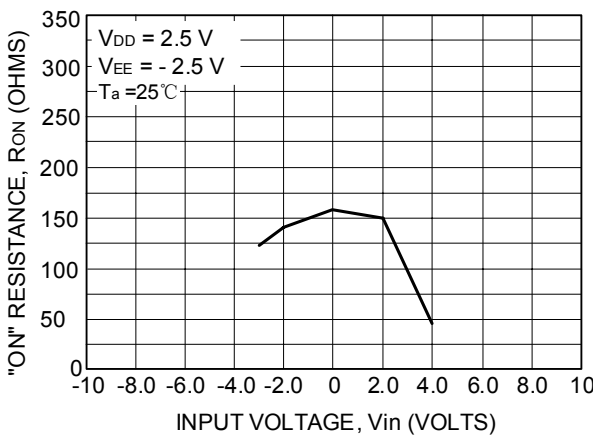
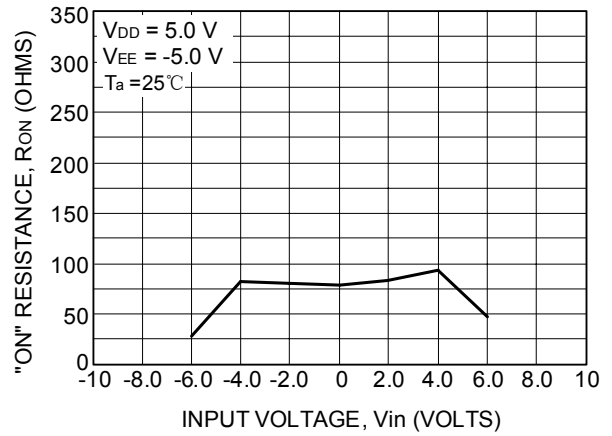
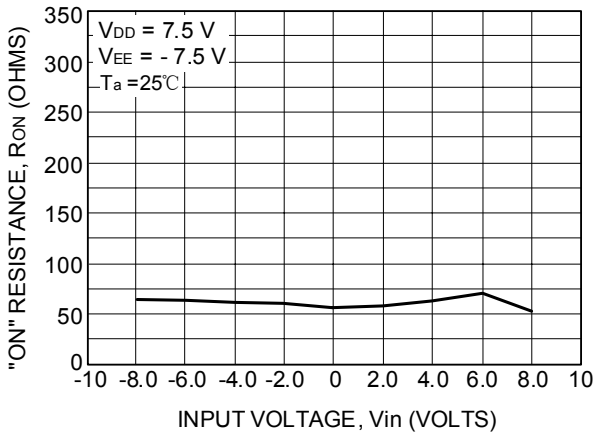


Figure 2. UTC 4053 Functional Diagram



CD4051BC • CD4052BC • CD4053BC

Single 8-Channel Analog Multiplexer/Demultiplexer • Dual 4-Channel Analog Multiplexer/Demultiplexer • Triple 2-Channel Analog Multiplexer/Demultiplexer

General Description

The CD4051BC, CD4052BC, and CD4053BC analog multiplexers/demultiplexers are digitally controlled analog switches having low "ON" impedance and very low "OFF" leakage currents. Control of analog signals up to $15V_{p-p}$ can be achieved by digital signal amplitudes of 3–15V. For example, if $V_{DD} = 5V$, $V_{SS} = 0V$ and $V_{EE} = -5V$, analog signals from $-5V$ to $+5V$ can be controlled by digital inputs of 0–5V. The multiplexer circuits dissipate extremely low quiescent power over the full $V_{DD}-V_{SS}$ and $V_{DD}-V_{EE}$ supply voltage ranges, independent of the logic state of the control signals. When a logical "1" is present at the inhibit input terminal all channels are "OFF".

CD4051BC is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned "ON" and connect the input to the output.

CD4052BC is a differential 4-channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 or 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

CD4053BC is a triple 2-channel multiplexer having three separate digital control inputs, A, B, and C, and an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

Features

- Wide range of digital and analog signal levels: digital 3 – 15V, analog to $15V_{p-p}$
- Low "ON" resistance: 80Ω (typ.) over entire $15V_{p-p}$ signal-input range for $V_{DD} - V_{EE} = 15V$
- High "OFF" resistance: channel leakage of ± 10 pA (typ.) at $V_{DD} - V_{EE} = 10V$
- Logic level conversion for digital addressing signals of 3 – 15V ($V_{DD} - V_{SS} = 3 - 15V$) to switch analog signals to $15V_{p-p}$ ($V_{DD} - V_{EE} = 15V$)
- Matched switch characteristics: $\Delta R_{ON} = 5\Omega$ (typ.) for $V_{DD} - V_{EE} = 15V$
- Very low quiescent power dissipation under all digital-control input and supply conditions: $1\mu W$ (typ.) at $V_{DD} - V_{SS} = V_{DD} - V_{EE} = 10V$
- Binary address decoding on chip

Ordering Code:

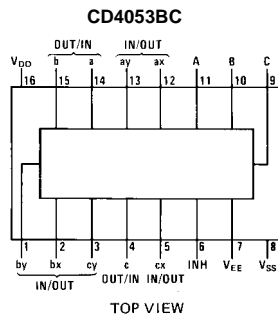
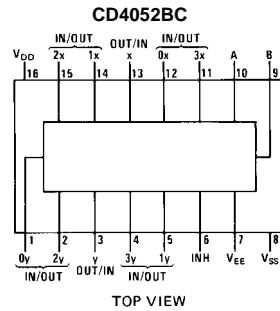
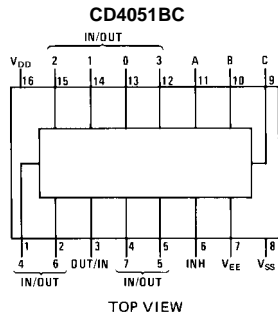
Order Number	Package Number	Package Description
CD4051BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
CD4051BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4051BCMTC	MTC16	16-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
CD4051BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
CD4052BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
CD4052BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4052BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
CD4053BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
CD4053BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4053BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

CD4051BC • CD4052BC • CD4053BC Single 8-Channel Analog Multiplexer/Demultiplexer • Dual 4-Channel Analog Multiplexer/Demultiplexer • Triple 2-Channel Analog Multiplexer/Demultiplexer

Connection Diagrams

Pin Assignments for DIP and SOIC



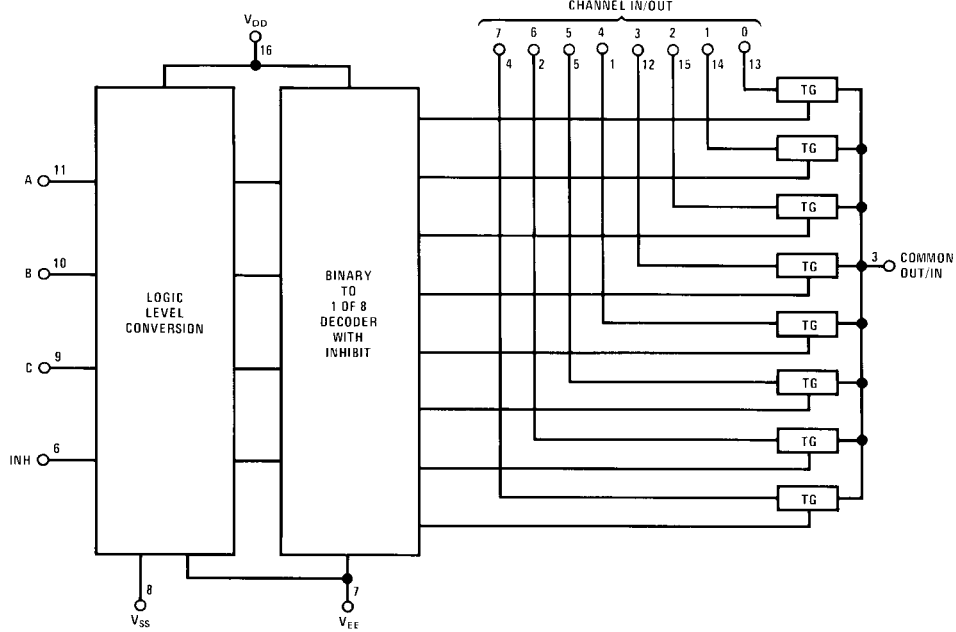
Truth Table

INPUT STATES				"ON" CHANNELS		
INHIBIT	C	B	A	CD4051B	CD4052B	CD4053B
0	0	0	0	0	0X, 0Y	cx, bx, ax
0	0	0	1	1	1X, 1Y	cx, bx, ay
0	0	1	0	2	2X, 2Y	cx, by, ax
0	0	1	1	3	3X, 3Y	cx, by, ay
0	1	0	0	4		cy, bx, ax
0	1	0	1	5		cy, bx, ay
0	1	1	0	6		cy, by, ax
0	1	1	1	7		cy, by, ay
1	*	*	*	NONE	NONE	NONE

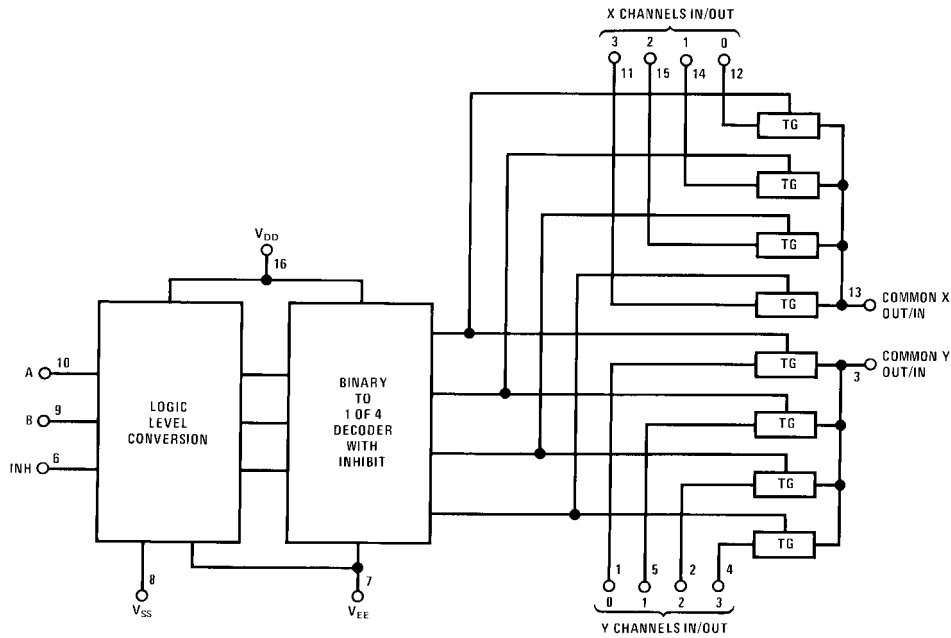
*Don't Care condition.

Logic Diagrams

CD4051BC



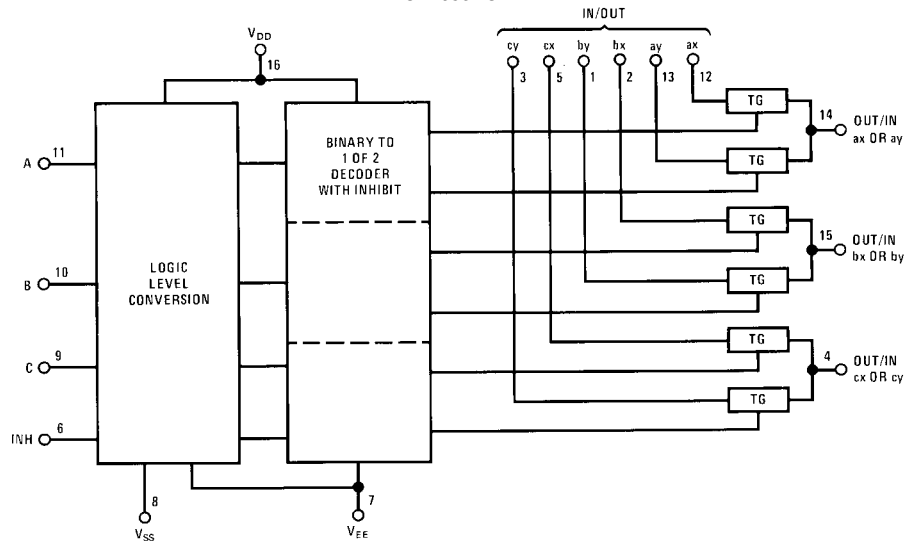
CD4052BC



CD4051BC • CD4052BC • CD4053BC

Logic Diagrams (Continued)

CD4053BC



Absolute Maximum Ratings (Note 1)

DC Supply Voltage (V_{DD})	-0.5 V_{DC} to +18 V_{DC}
Input Voltage (V_{IN})	-0.5 V_{DC} to V_{DD} +0.5 V_{DC}
Storage Temperature	
Range (T_S)	-65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(soldering, 10 seconds)	260°C

Recommended Operating Conditions

DC Supply Voltage (V_{DD})	+5 V_{DC} to +15 V_{DC}
Input Voltage (V_{IN})	0V to V_{DD} V_{DC}
Operating Temperature Range (T_A)	
CD4051BC/CD4052BC/CD4053BC	-40°C to +85°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The Electrical Characteristics tables provide conditions for actual device operation.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	-40°C		+25°			+85°C		Units	
			Min	Max	Min	Typ	Max	Min	Max		
Control A, B, C and Inhibit											
I_{IN}	Input Current	$V_{DD} = 15V,$ $V_{IN} = 0V$ $V_{DD} = 15V,$ $V_{IN} = 15V$	$V_{EE} = 0V$ $V_{EE} = 0V$		-0.1		-10^{-5}	-0.1		-1.0	μA
					0.1		10^{-5}	0.1		1.0	μA
I_{DD}	Quiescent Device Current	$V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$			20			20		150	μA
					40			40		300	μA
					80			80		600	μA
Signal Inputs (V_{IS}) and Outputs (V_{OS})											
R_{ON}	"ON" Resistance (Peak for $V_{EE} \leq V_{IS} \leq V_{DD}$)	$R_L = 10\text{ k}\Omega$ (any channel selected)	$V_{DD} = 2.5V,$ $V_{EE} = -2.5V$ or $V_{DD} = 5V,$ $V_{EE} = 0V$		850		270	1050		1200	Ω
					330		120	400		520	Ω
					210		80	240		300	Ω
ΔR_{ON}	Δ "ON" Resistance Between Any Two Channels	$R_L = 10\text{ k}\Omega$ (any channel selected)	$V_{DD} = 2.5V,$ $V_{EE} = -2.5V$ or $V_{DD} = 5V,$ $V_{EE} = 0V$				10				Ω
							10				Ω
							5				Ω
	"OFF" Channel Leakage Current, any channel "OFF"	$V_{DD} = 7.5V,$ $O/I = \pm 7.5V, I/O = 0V$	$V_{EE} = -7.5V$		± 50		± 0.01	± 50		± 500	nA
	"OFF" Channel Leakage Current, all channels	Inhibit = 7.5V $V_{DD} = 7.5V,$	CD4051		± 200		± 0.08	± 200		± 2000	nA
	"OFF" (Common OUT/IN)	$V_{DD} = 7.5V,$ $V_{EE} = -7.5V,$ $O/I = 0V$	D4052		± 200		± 0.04	± 200		± 2000	nA
		$I/O = \pm 7.5V$	CD4053		± 200		± 0.02	± 200		± 2000	nA
Control Inputs A, B, C and Inhibit											

DC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	-40°C		+25°			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
V _{IL}	LOW Level Input Voltage	V _{EE} = V _{SS} R _L = 1 kΩ to V _{SS} I _{IS} < 2 μA on all OFF Channels V _{IS} = V _{DD} thru 1 kΩ V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V								
				1.5			1.5		1.5	V
				3.0			3.0		3.0	V
				4.0			4.0		4.0	V
V _{IH}	HIGH Level Input Voltage	V _{DD} = 5 V _{DD} = 10 V _{DD} = 15	3.5		3.5			3.5		V
			7		7			7		V
			11		11			11		V
I _{IN}	Input Current	V _{DD} = 15V, V _{EE} = 0V V _{IN} = 0V V _{DD} = 15V, V _{EE} = 0V V _{IN} = 15V		-0.1		-10 ⁻⁵	-0.1		-1.0	μA
				0.1		10 ⁻⁵	0.1		1.0	μA

Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

AC Electrical Characteristics (Note 3)							
T _A = 25°C, t _r = t _f = 20 ns, unless otherwise specified.							
Symbol	Parameter	Conditions	V _{DD}	Min	Typ	Max	Units
t _{PZH} , t _{PZL}	Propagation Delay Time from Inhibit to Signal Output (channel turning on)	V _{EE} = V _{SS} = 0V R _L = 1 kΩ C _L = 50 pF	5V 10V 15V		600 225 160	1200 450 320	ns ns ns
t _{PHZ} , t _{PLZ}	Propagation Delay Time from Inhibit to Signal Output (channel turning off)	V _{EE} = V _{SS} = 0V R _L = 1 kΩ C _L = 50 pF	5V 10V 15V		210 100 75	420 200 150	ns ns ns
C _{IN}	Input Capacitance Control input Signal Input (IN/OUT)				5 10	7.5 15	pF pF
C _{OUT}	Output Capacitance (common OUT/IN)						
	CD4051 CD4052 CD4053	V _{EE} = V _{SS} = 0V	10V 10V 10V		30 15 8		pF pF pF
C _{IOS}	Feedthrough Capacitance				0.2		pF
C _{PD}	Power Dissipation Capacitance						
	CD4051 CD4052 CD4053				110 140 70		pF pF pF
Signal Inputs (V_{IS}) and Outputs (V_{OS})							
	Sine Wave Response (Distortion)	R _L = 10 kΩ f _{IS} = 1 kHz V _{IS} = 5 V _{p-p} V _{EE} = V _{SI} = 0V	10V		0.04		%
	Frequency Response, Channel "ON" (Sine Wave Input)	R _L = 1 kΩ, V _{EE} = 0V, V _{IS} = 5V _{p-p} , 20 log ₁₀ V _{OS} /V _{IS} = -3 dB	10V		40		MHz
	Feedthrough, Channel "OFF"	R _L = 1 kΩ, V _{EE} = V _{SS} = 0V, V _{IS} = 5V _{p-p} , 20 log ₁₀ V _{OS} /V _{IS} = -40 dB	10V		10		MHz
	Crosstalk Between Any Two Channels (frequency at 40 dB)	R _L = 1 kΩ, V _{EE} = V _{SS} = 0V, V _{IS} (A) = 5V _{p-p} 20 log ₁₀ V _{OS} (B)/V _{IS} (A) = -40 dB (Note 4)	10V		3		MHz
t _{PHL} , t _{PLH}	Propagation Delay Signal Input to Signal Output	V _{EE} = V _{SS} = 0V C _L = 50 pF	5V 10V 15V		25 15 10	55 35 25	ns ns ns
Control Inputs, A, B, C and Inhibit							
	Control Input to Signal Crosstalk	V _{EE} = V _{SS} = 0V, R _L = 10 kΩ at both ends of channel. Input Square Wave Amplitude = 10V	10V		65		mV (peak)
t _{PHL} , t _{PLH}	Propagation Delay Time from Address to Signal Output (channels "ON" or "OFF")	V _{EE} = V _{SS} = 0V C _L = 50 pF	5V 10V 15V		500 180 120	1000 360 240	ns ns ns
<p>Note 3: AC Parameters are guaranteed by DC correlated testing.</p> <p>Note 4: A, B are two arbitrary channels with A turned "ON" and B "OFF".</p>							

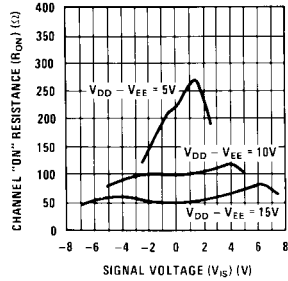
Special Considerations

In certain applications the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into IN/OUT pin, the voltage drop across the bidirectional

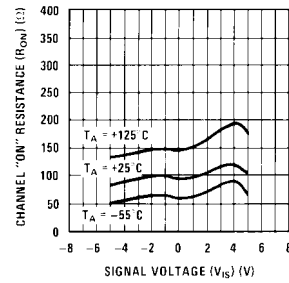
switch must not exceed 0.6V at $T_A \leq 25^\circ\text{C}$, or 0.4V at $T_A > 25^\circ\text{C}$ (calculated from R_{ON} values shown). No V_{DD} current will flow through R_L if the switch current flows into OUT/IN pin.

Typical Performance Characteristics

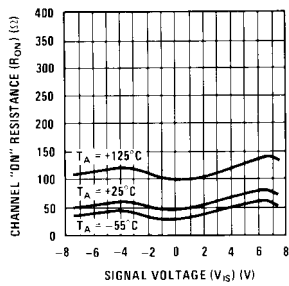
“ON” Resistance vs Signal Voltage for $T_A = 25^\circ\text{C}$



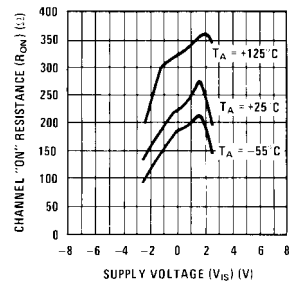
“ON” Resistance as a Function of Temperature for $V_{DD} - V_{EE} = 10\text{V}$



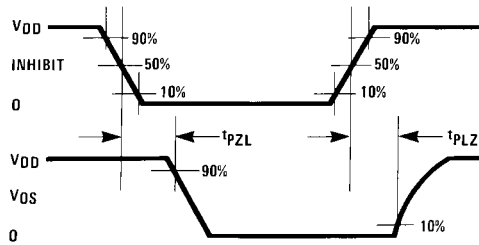
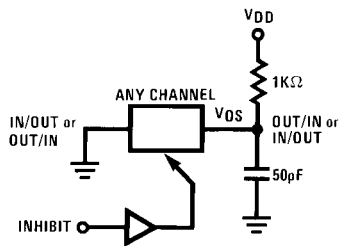
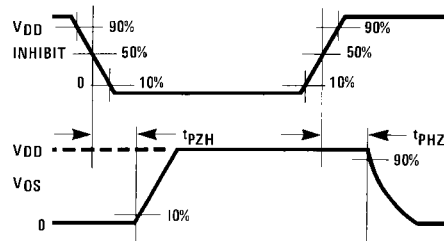
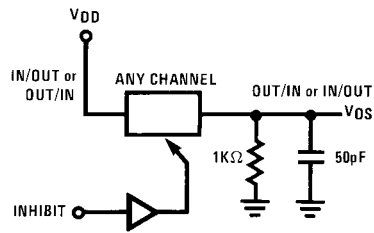
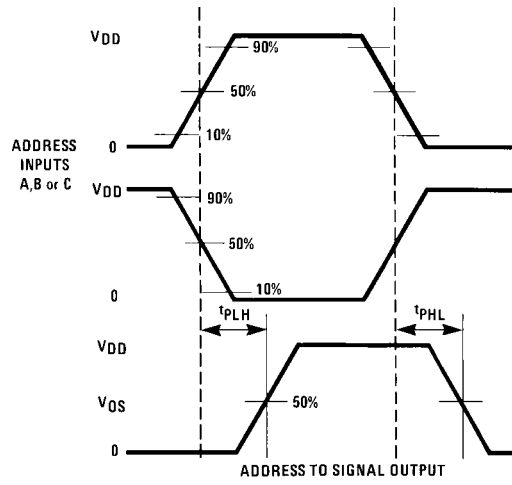
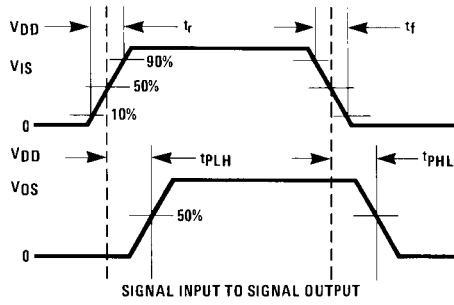
“ON” Resistance as a Function of Temperature for $V_{DD} - V_{EE} = 15\text{V}$



“ON” Resistance as a Function of Temperature for $V_{DD} - V_{EE} = 5\text{V}$



Switching Time Waveforms



CD4029BM/CD4029BC Presettable Binary/Decade Up/Down Counter

General Description

The CD4029BM/CD4029BC is a presettable up/down counter which counts in either binary or decade mode depending on the voltage level applied at binary/decade input. When binary/decade is at logical "1", the counter counts in binary, otherwise it counts in decade. Similarly, the counter counts up when the up/down input is at logical "1" and vice versa.

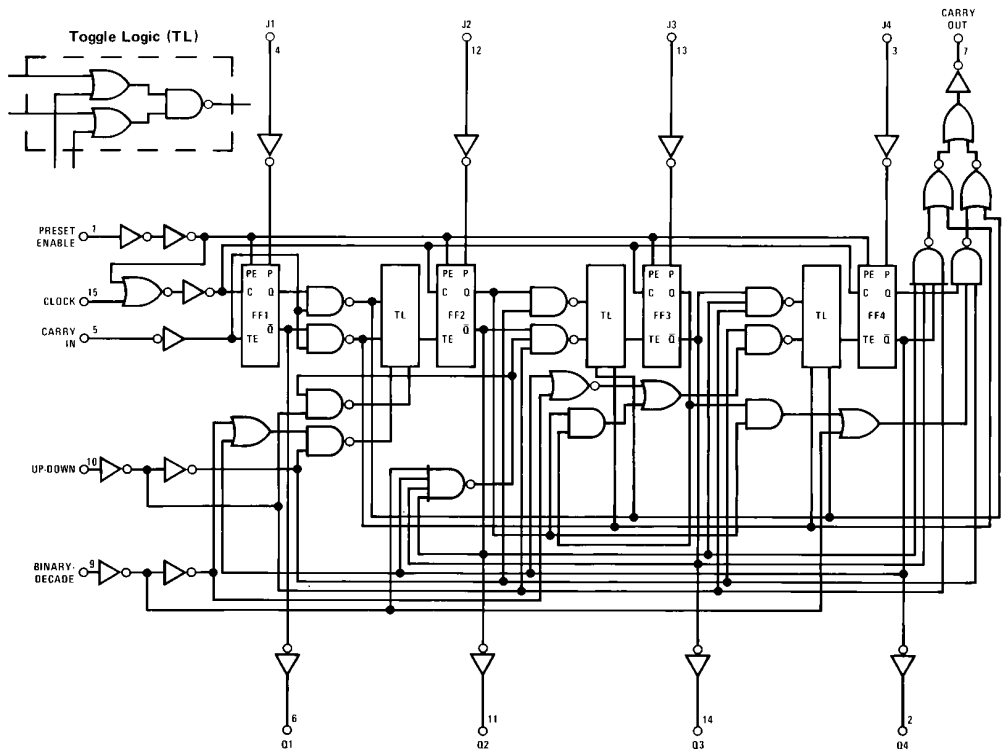
A logical "1" preset enable signal allows information at the "jam" inputs to preset the counter to any state asynchronously with the clock. The counter is advanced one count at the positive-going edge of the clock if the carry in and preset enable inputs are at logical "0". Advancement is inhibited when either or both of these two inputs is at logical "1". The carry out signal is normally at logical "1" state and goes to logical "0" state when the counter reaches its maximum

count in the "up" mode or the minimum count in the "down" mode provided the carry input is at logical "0" state. All inputs are protected against static discharge by diode clamps to both V_{DD} and V_{SS} .

Features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Low power fan out of 2 driving 74L or 1 driving 74LS
- Parallel jam inputs
- Binary or BCD decade up/down counting

Logic Diagram



TL/F/5960-1

Absolute Maximum Ratings

(Notes 1 and 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	-0.5V to +18 V_{DC}
Input Voltage (V_{IN})	-0.5V to V_{DD} + 0.5 V_{DC}
Storage Temperature Range (T_S)	-65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions

(Note 2)

DC Supply Voltage (V_{DD})	3V to 15 V_{DC}
Input Voltage (V_{IN})	0V to V_{DD} V_{DC}
Operating Temperature Range (T_A)	
CD4029BM	-55°C to +125°C
CD4029BC	-40°C to +85°C

DC Electrical Characteristics CD4029BM (Note 2)

Symbol	Parameter	Conditions	-55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V$		5			5	5	150	μA
		$V_{DD} = 10V$		10			10		300	μA
		$V_{DD} = 15V$		20			20		600	μA
V_{OL}	Low Level Output Voltage	$ I_O < 1 \mu A$								
		$V_{DD} = 5V$		0.05		0	0.05		0.05	V
		$V_{DD} = 10V$		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$ I_O < 1 \mu A$								
		$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 5V, V_O = 0.5V$ or 4.5V		1.5			1.5		1.5	V
		$V_{DD} = 10V, V_O = 1V$ or 9V		3.0			3.0		3.0	V
		$V_{DD} = 15V, V_O = 1.5V$ or 13.5V		4.0			4.0		4.0	V
V_{IH}	High Level Input Voltage	$V_{DD} = 5V, V_O = 0.5V$ or 4.5V	3.5		3.5			3.5		V
		$V_{DD} = 10V, V_O = 1V$ or 9V	7.0		7.0			7.0		V
		$V_{DD} = 15V, V_O = 1.5V$ or 13.5V	11.0		11.0			11.0		V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 0.4V$	0.64		0.51	0.88		0.36		mA
		$V_{DD} = 10V, V_O = 0.5V$	1.6		1.3	2.25		0.9		mA
		$V_{DD} = 15V, V_O = 1.5V$	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 4.6V$	-0.64		-0.51	-0.88		-0.36		mA
		$V_{DD} = 10V, V_O = 9.5V$	-1.6		-1.3	-2.25		-0.9		mA
		$V_{DD} = 15V, V_O = 13.5V$	-4.2		-3.4	-8.8		-2.4		mA
I_{IN}	Input Current	$V_{DD} = 15V, V_{IN} = 0V$		-0.1		-10^{-5}	-0.1		-1.0	μA
		$V_{DD} = 15V, V_{IN} = 15V$		0.1		10^{-5}	0.1		1.0	μA

DC Electrical Characteristics CD4029BC (Note 2)

Symbol	Parameter	Conditions	-40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V$		20			20		150	μA
		$V_{DD} = 10V$		40			40		300	μA
		$V_{DD} = 15V$		80			80		600	μA
V_{OL}	Low Level Output Voltage	$ I_O < 1 \mu A$								
		$V_{DD} = 5V$		0.05		0	0.05		0.05	V
		$V_{DD} = 10V$		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$ I_O < 1 \mu A$								
		$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
V_{OH}	High Level Output Voltage	$V_{DD} = 15V$	14.95		14.95	15		14.95		V

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

DC Electrical Characteristics CD4029BC (Note 2) (Continued)

Symbol	Parameter	Conditions	-40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
V _{IL}	Low Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V		1.5				1.5		V
		V _{DD} = 10V, V _O = 1V or 9V		3.0				3.0		V
		V _{DD} = 15V, V _O = 1.5V or 13.5V		4.0				4.0		V
V _{IH}	High Level Input Voltage	V _{DD} = 5V, V _O = 0.5V or 4.5V	3.5		3.5			3.5		V
		V _{DD} = 10V, V _O = 1V or 9V	7.0		7.0			7.0		V
		V _{DD} = 15V, V _O = 1.5V or 13.5V	11.0		11.0			11.0		V
I _{OL}	Low Level Output Current (Note 3)	V _{DD} = 5V, V _O = 0.4V	0.52		0.44	0.88		0.36		mA
		V _{DD} = 10V, V _O = 0.5V	1.3		1.1	2.25		0.9		mA
		V _{DD} = 15V, V _O = 1.5V	3.6		3.0	8.8		2.4		mA
I _{OH}	High Level Output Current (Note 3)	V _{DD} = 5V, V _O = 4.6V	-0.52		-0.44	-0.88		-0.36		mA
		V _{DD} = 10V, V _O = 9.5V	-1.3		-1.1	-2.25		-0.9		mA
		V _{DD} = 15V, V _O = 13.5V	-3.6		-3.0	-8.8		-2.4		mA
I _{IN}	Input Current	V _{DD} = 15V, V _{IN} = 0V V _{DD} = 15V, V _{IN} = 15V		-0.3 0.3		-10 ⁻⁵ 10 ⁻⁵	-0.3 0.3		-1.0 1.0	μA μA

AC Electrical Characteristics*

T_A = 25°C, C_L = 50 pF, R_L = 200k, Input t_{rCL} = t_{fCL} = 20 ns, unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units		
CLOCKED OPERATION								
t _{PHL} or t _{PLH}	Propagation Delay Time to Q Outputs	V _{DD} = 5V		200	400	ns		
		V _{DD} = 10V		85	170	ns		
		V _{DD} = 15V		70	140	ns		
t _{PHL} or t _{PLH}	Propagation Delay Time to Carry Output	V _{DD} = 5V		320	640	ns		
		V _{DD} = 10V		135	270	ns		
		V _{DD} = 15V		110	220	ns		
t _{PHL} or t _{PLH}	Propagation Delay Time to Carry Output	C _L = 15 pF						
		V _{DD} = 5V		285	570	ns		
		V _{DD} = 10V		120	240	ns		
t _{PHL} or t _{PLH}	Propagation Delay Time to Carry Output	V _{DD} = 15V		95	190	ns		
		V _{DD} = 5V		100	200	ns		
		V _{DD} = 10V		50	100	ns		
t _{THL} or t _{TLH}	Transition Time/Q or Carry Output	V _{DD} = 15V		40	80	ns		
		V _{DD} = 5V		160	320	ns		
		V _{DD} = 10V		70	135	ns		
t _{WH} or t _{WL}	Minimum Clock Pulse Width	V _{DD} = 15V		55	110	ns		
		V _{DD} = 5V		15		μs		
		V _{DD} = 10V		10		μs		
t _{rCL} or t _{fCL}	Maximum Clock Rise and Fall Time	V _{DD} = 15V		5		μs		
		V _{DD} = 5V		180	360	ns		
		V _{DD} = 10V		70	140	ns		
t _{SU}	Minimum Set-Up Time	V _{DD} = 15V		55	110	ns		
		V _{DD} = 5V		1.5	3.1	MHz		
		V _{DD} = 10V		3.7	7.4	MHz		
f _{CL}	Maximum Clock Frequency	V _{DD} = 15V		4.5	9	MHz		
		C _{IN}	Average Input Capacitance	Any Input		5	7.5	pF
		C _{PD}	Power Dissipation Capacitance	Per Package (Note 4)		65		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

AC Electrical Characteristics*

$T_A = 25^\circ\text{C}$, $C_L = 50\text{ pF}$, $R_L = 200\text{ k}$, Input $t_{rCL} = t_{fCL} = 20\text{ ns}$, unless otherwise specified (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
PRESET ENABLE OPERATION						
t_{PHL} or t_{PLH}	Propagation Delay Time to Q output	$V_{DD} = 5\text{V}$		285	570	ns
		$V_{DD} = 10\text{V}$		115	230	ns
		$V_{DD} = 15\text{V}$		95	195	ns
t_{PHL} or t_{PLH}	Propagation Delay Time to Carry Output	$V_{DD} = 5\text{V}$		400	800	ns
		$V_{DD} = 10\text{V}$		165	330	ns
		$V_{DD} = 15\text{V}$		135	260	ns
t_{WH}	Minimum Preset Enable Pulse Width	$V_{DD} = 5\text{V}$		80	160	ns
		$V_{DD} = 10\text{V}$		30	60	ns
		$V_{DD} = 15\text{V}$		25	50	ns
t_{REM}	Minimum Preset Enable Removal Time	$V_{DD} = 5\text{V}$		150	300	ns
		$V_{DD} = 10\text{V}$		60	120	ns
		$V_{DD} = 15\text{V}$		50	100	ns
CARRY INPUT OPERATION						
t_{PHL} or t_{PLH}	Propagation Delay Time to Carry Output	$V_{DD} = 5\text{V}$		265	530	ns
		$V_{DD} = 10\text{V}$		110	220	ns
		$V_{DD} = 15\text{V}$		90	180	ns
t_{PHL} , t_{PLH}	Propagation Delay Time to Carry Output	$C_L = 15\text{ pF}$				
		$V_{DD} = 5\text{V}$		200	400	ns
		$V_{DD} = 10\text{V}$		85	170	ns
		$V_{DD} = 15\text{V}$		70	140	ns

*AC Parameters are guaranteed by DC correlated testing.

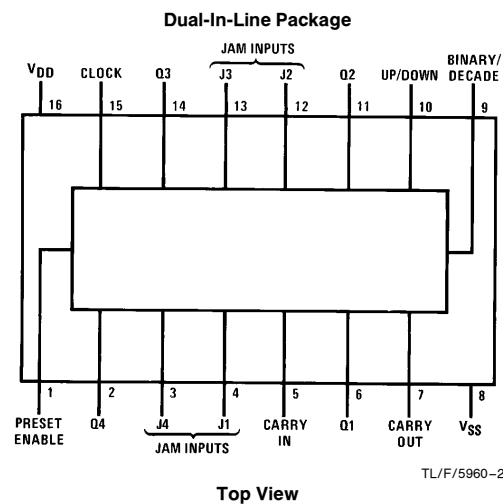
Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: $V_{SS} = 0\text{V}$ unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

Note 4: C_{pD} determines the no load AC power consumption of any CMOS device. For complete explanation, see 54C/74C Family Characteristics application note, AN-90.

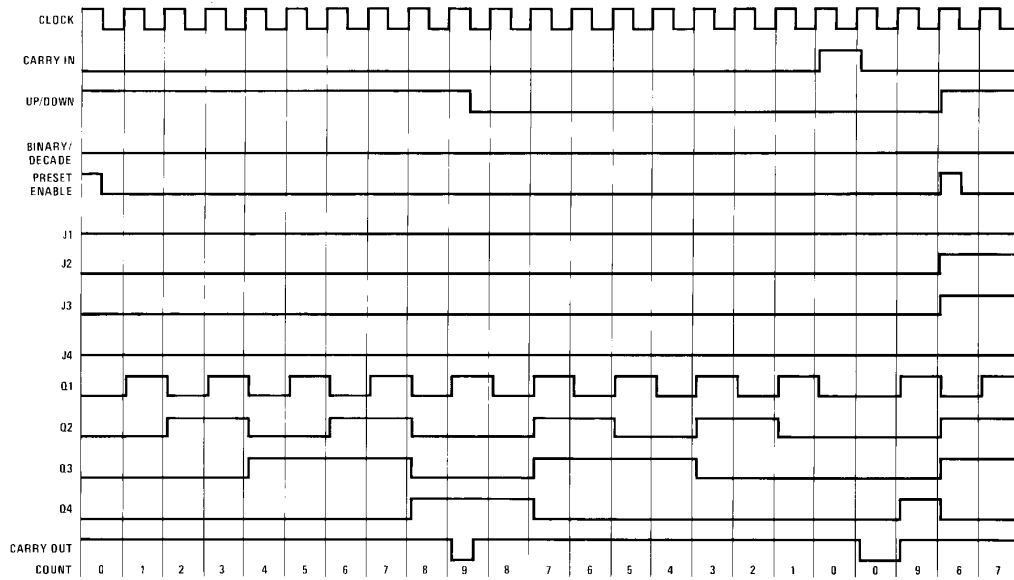
Connection Diagram



Order Number CD4029B

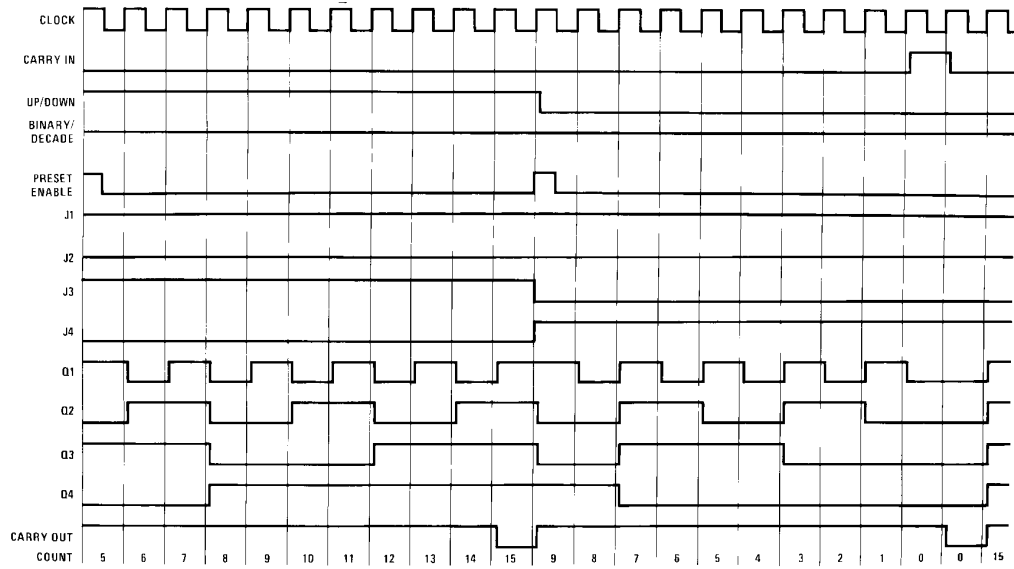
Logic Waveforms

Decade Mode



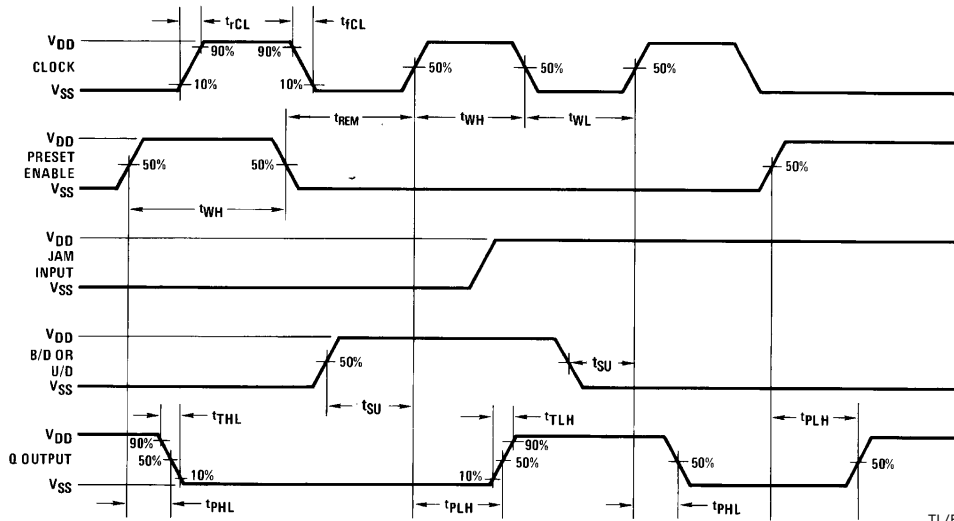
TL/F/5960-3

Binary Mode



TL/F/5960-4

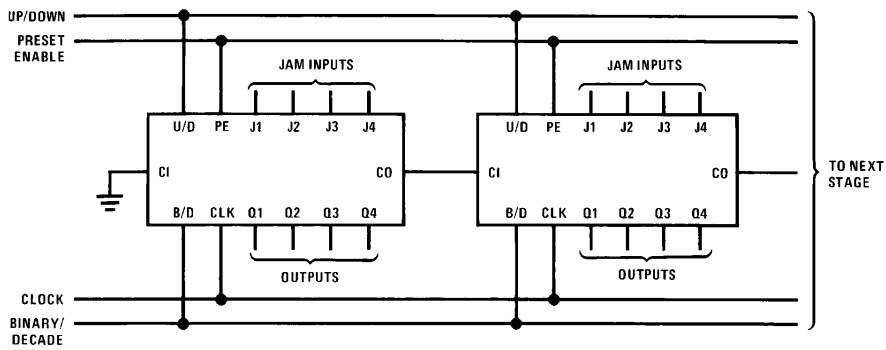
Switching Time Waveforms



TL/F/5960-5

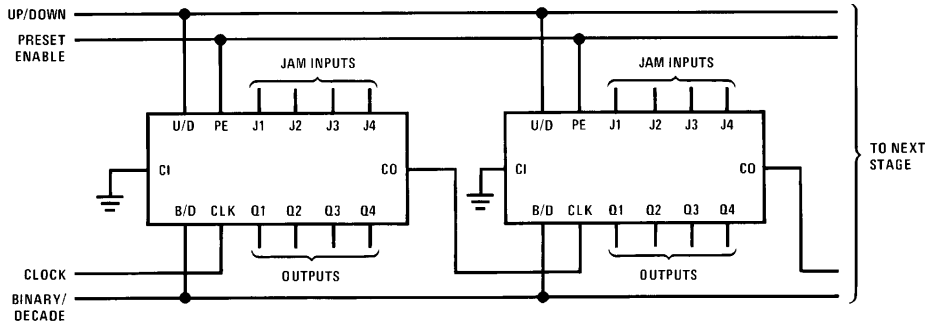
Cascading Packages

Parallel Clocking



TL/F/5960-6

Ripple Clocking



TL/F/5960-7

Carry out lines at the 2nd or later stages may have a negative-going spike due to differential internal delays. These spikes do not affect counter operation, but if the carry out is used to trigger external circuitry the carry out should be gated with the clock.

8-bit shift register with output register

74HC/HCT594

FEATURES

- Synchronous serial input and output
- 8-bit parallel output
- Shift and storage register have independent direct clear and clocks
- 100 MHz (typ.)
- Output capability:
 - parallel outputs: bus driver
 - serial outputs: standard
- I_{CC} category: MSI

APPLICATIONS

- Serial-to parallel data conversion
- Remote control holding register

DESCRIPTION

The 74HC/HCT594 are high-speed, Si-gate CMOS devices, and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard No. 7A.

The 74HC/HCT594 contain an 8-bit, non-inverting, serial-in, parallel-out shift register that feeds an 8-bit D-type storage register. Separate clocks and direct overriding clears are provided on both the shift and storage registers. A serial output (Q₇') is provided for cascading purposes.

Both the shift and storage register clocks are positive-edge triggered. If the user wishes to connect both clocks together, the shift register will always be one count pulse ahead of the storage register.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 250 C; t_r = t_f = 6 ns.

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t _{PHL} /t _{PLH}	propagation delay SH _{CP} to Q ₇ '	C _L = 15 pF; V _{CC} = 5 V	13	15	ns
	ST _{CP} to Q _n		13	15	ns
	SH _R to Q _n		11	14	ns
	ST _R to Q _n		11	14	ns
f _{max}	maximum clock frequency SH _{CP} , ST _{CP}		100	100	MHz
C _I	input capacitance		3.5	3.5	pF
C _{PD}	power dissipation capacitance per package	notes 1 and 2	84	89	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW).
 $P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$, where:
 f_i = input frequency in MHz; f_o = output frequency in MHz;
 $\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of the outputs;
 C_L = output load capacitance in pF; V_{CC} = supply voltage in V.
2. For HC, the condition is V_I = GND to V_{CC}; for HCT, the condition is V_I = GND to V_{CC} - 1.5 V.

ORDERING INFORMATION

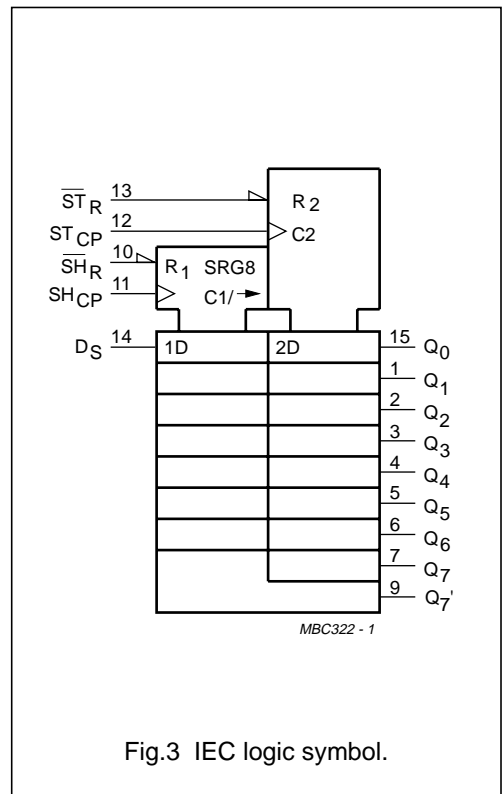
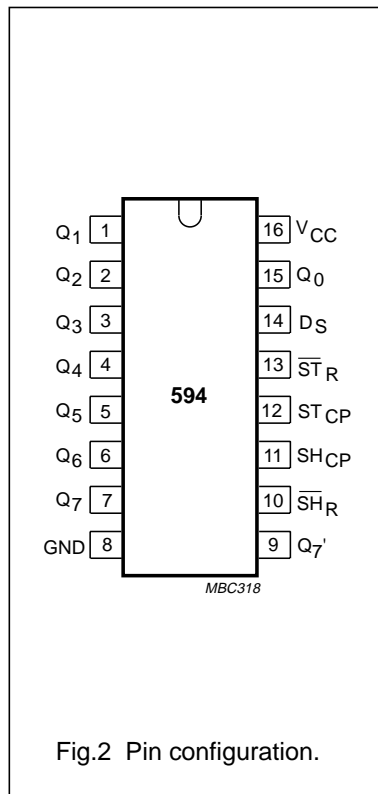
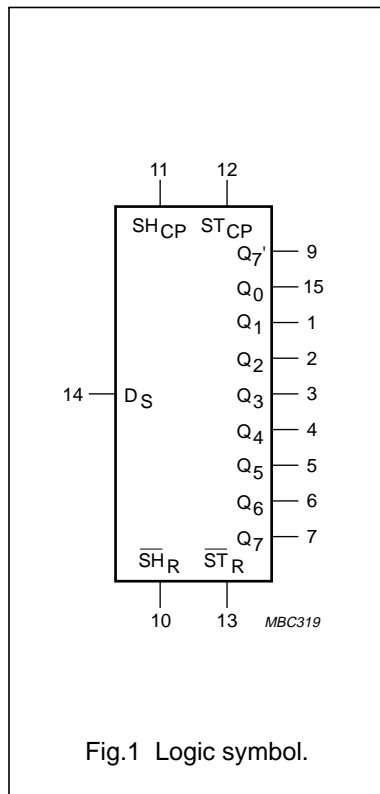
EXTENDED TYPE NUMBER	PACKAGES			
	PINS	PIN POSITION	MATERIAL	CODE
PC74HC/HCT594P	16	DIL	plastic	SOT38C, P
PC74HC/HCT594T	16	SO	plastic	SOT109A

8-bit shift register with output register

74HC/HCT594

PINNING

SYMBOL	PIN	DESCRIPTION
Q ₀ to Q ₇	15 & 1 to 7	parallel data outputs
GND	8	ground (0 V)
Q ₇ '	9	serial data output
\overline{SH}_R	10	shift register reset (active LOW)
SH _{CP}	11	shift register clock input
ST _{CP}	12	storage register clock input
\overline{ST}_R	13	storage register reset active (LOW)
D _s	14	serial data input
V _{CC}	16	supply voltage



8-bit shift register with output register

74HC/HCT594

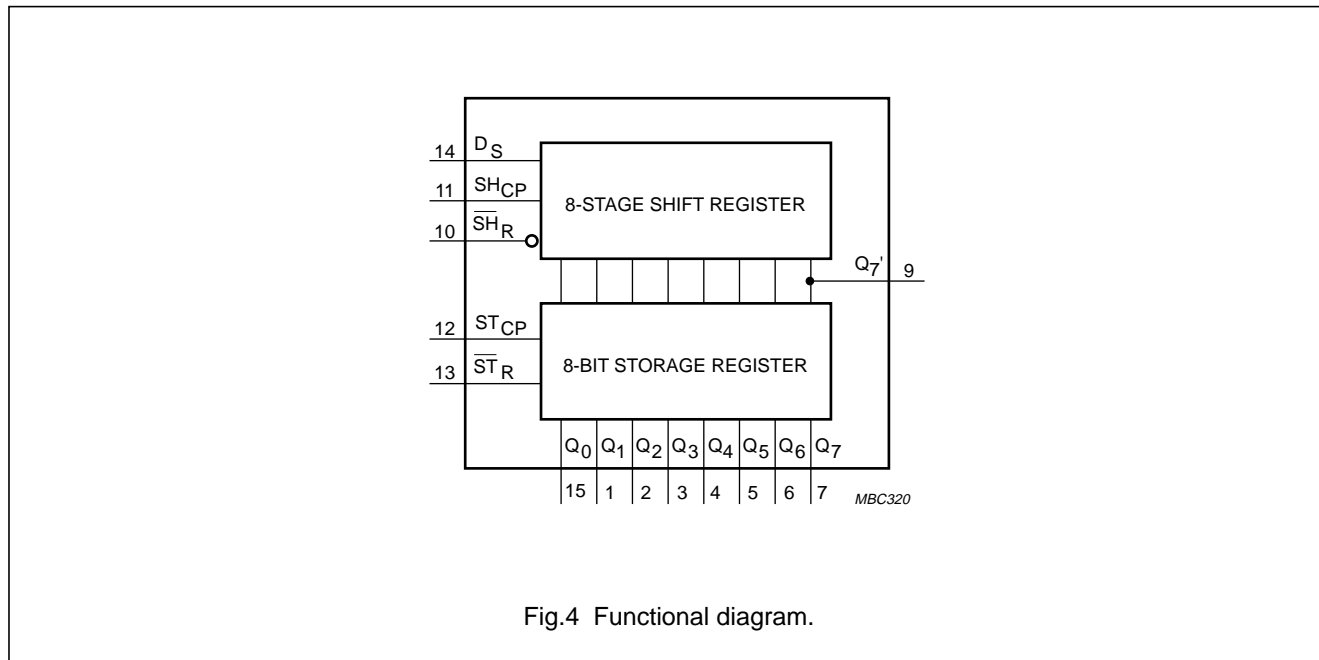


Fig.4 Functional diagram.

FUNCTION TABLE

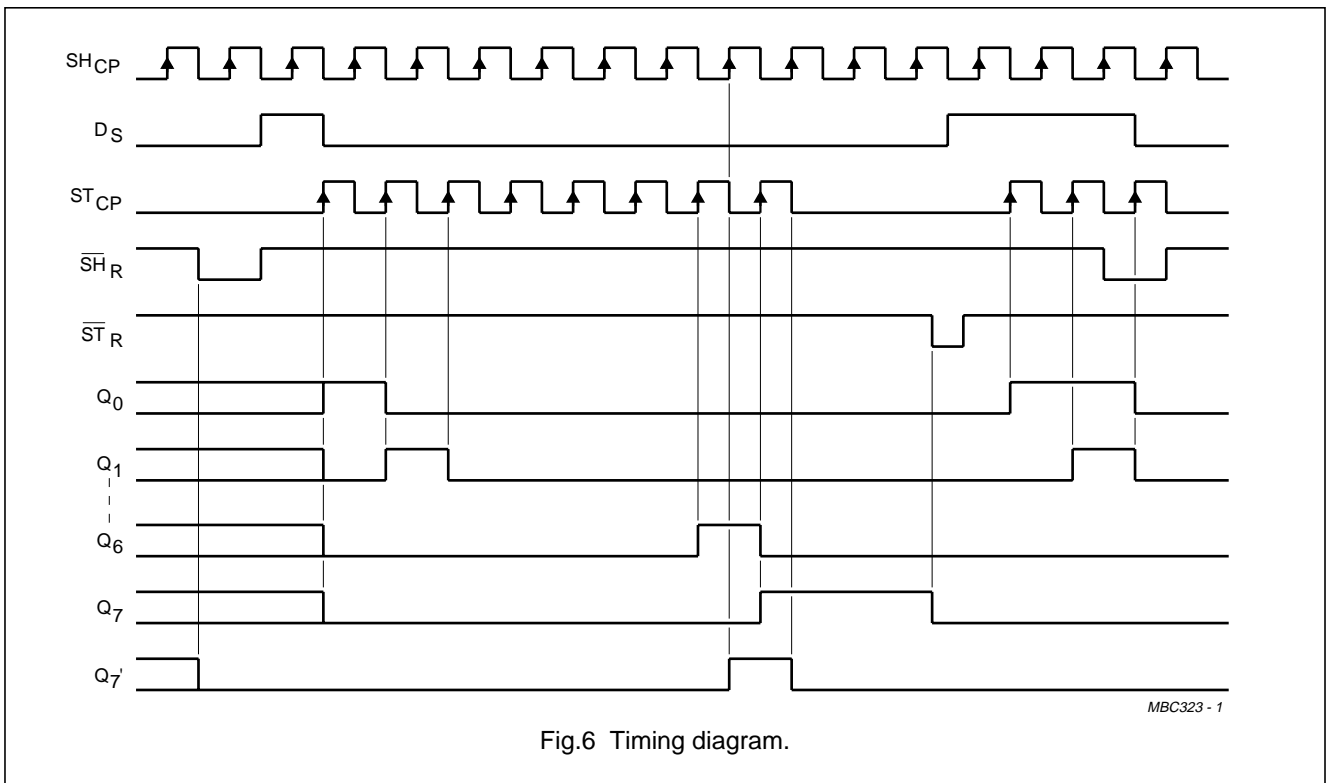
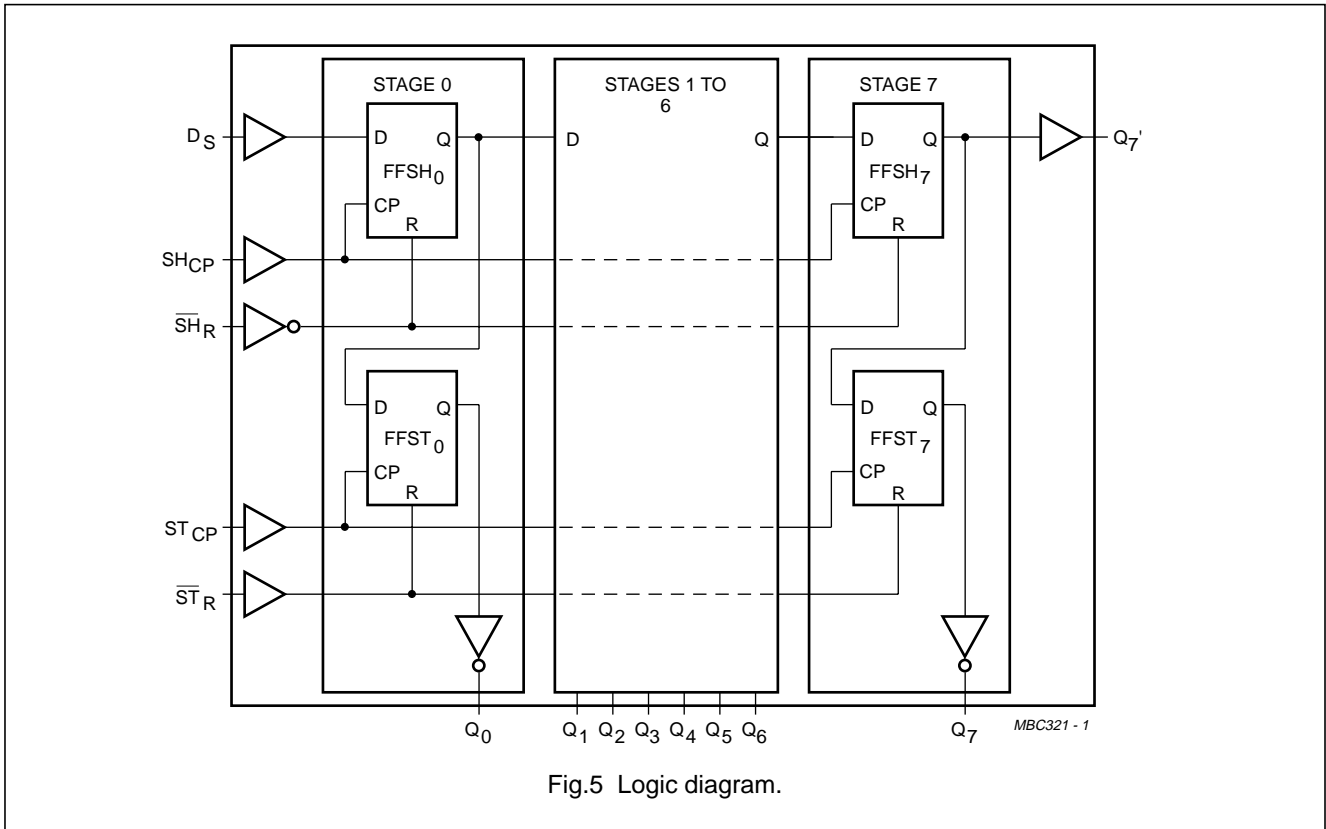
INPUTS					OUTPUTS		FUNCTION
SH _{CP}	ST _{CP}	SH _R	ST _R	D _S	Q _{7'}	Q _n	
X	X	L	X	X	L	NC	a LOW level on SH _R only affects the shift registers.
X	X	X	L	X	NC	L	a LOW level on ST _R only affects the storage registers.
X	↑	L	H	X	L	L	empty shift register loaded into storage register.
↑	X	H	X	H	Q _{6'}	NC	logic HIGH level shifted into shift register stage 0. Contents of all shift register stages shifted through, e.g. previous state of stage 6 (internal Q _{6'}) appears on the serial output (Q _{7'}).
X	↑	H	H	X	NC	Q _{n'}	contents of shift register stages (internal Q _{n'}) are transferred to the storage register and parallel output stages.
↑	↑	H	H	X	Q _{6n}	Q _{n'}	contents of shift register shifted through. Previous contents of shift register transferred to the storage register and the parallel output stages.

Note

- H = HIGH voltage level
 L = LOW voltage level
 ↑ = LOW-to-HIGH transition
 NC = no change
 X = don't care.

8-bit shift register with output register

74HC/HCT594



8-bit shift register with output register

74HC/HCT594

DC CHARACTERISTICS FOR 74HC

For the DC characteristics, see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: parallel outputs, bus driver; serial output, standard.

I_{CC} category: MSI.

AC CHARACTERISTICS FOR 74HC

GND = 0 V; t_r = t_f = 6 ns; C_L = 50 pF.

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS	
		+25			-40 to +85		-40 to +125			V _{CC} (V)	WAVEFORMS
		min.	typ.	max.	min.	max.	min.	max.			
t _{PHL} /t _{PLH}	propagation delay SH _{CP} to Q ₇ '	–	44	150	–	185	–	225	ns	2.0	Fig.7
		–	16	30	–	37	–	45	ns	4.5	
		–	14	26	–	31	–	38	ns	6.0	
	propagation delay ST _{CP} to Q _n	–	44	150	–	185	–	225	ns	2.0	Fig.8
		–	16	30	–	37	–	45	ns	4.5	
		–	14	26	–	31	–	38	ns	6.0	
t _{PHL}	propagation delay SH _R to Q ₇ '	–	39	150	–	185	–	225	ns	2.0	Fig.11
		–	14	30	–	37	–	45	ns	4.5	
		–	12	26	–	31	–	38	ns	6.0	
	propagation delay ST _R to Q _n	–	39	125	–	155	–	185	ns	2.0	Fig.12
		–	14	25	–	31	–	37	ns	4.5	
		–	12	21	–	26	–	31	ns	6.0	
t _w	shift clock pulse width HIGH or LOW	80	10	–	100	–	120	–	ns	2.0	Fig.7
		16	4	–	20	–	24	–	ns	4.5	
		14	3	–	17	–	20	–	ns	6.0	
	storage clock pulse width HIGH or LOW	80	10	–	100	–	120	–	ns	2.0	Fig.8
		16	4	–	20	–	24	–	ns	4.5	
		14	3	–	17	–	20	–	ns	6.0	
	shift and storage reset pulse width HIGH or LOW	80	14	–	100	–	120	–	ns	2.0	Fig.11 and Fig.12
		16	5	–	20	–	24	–	ns	4.5	
		14	4	–	17	–	20	–	ns	6.0	
t _{su}	set-up time D _s to SH _{CP}	100	10	–	125	–	150	–	ns	2.0	Fig.9
		20	4	–	25	–	30	–	ns	4.5	
		17	3	–	21	–	26	–	ns	6.0	
	set-up time SH _R to ST _{CP}	100	14	–	125	–	150	–	ns	2.0	Fig.10
		20	5	–	25	–	30	–	ns	4.5	
		17	4	–	21	–	26	–	ns	6.0	
	set-up time SH _{CP} to ST _{CP}	100	17	–	125	–	150	–	ns	2.0	Fig.8
		20	6	–	25	–	30	–	ns	4.5	
		17	5	–	21	–	26	–	ns	6.0	

8-bit shift register with output register

74HC/HCT594

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS	
		+25			-40 to +85		-40 to +125			V _{CC} (V)	WAVEFORMS
		min.	typ.	max.	min.	max.	min.	max.			
t _h	hold time D _s to SH _{CP}	25	-8	-	30	-	35	-	ns	2.0	Fig.9
		5	-3	-	6	-	7	-	ns	4.5	
		4	-2	-	5	-	6	-	ns	6.0	
t _{rem}	removal time	50	-14	-	65	-	75	-	ns	2.0	Fig.11 and Fig.12
	SH _R to SH _{CP} ,	10	-5	-	13	-	15	-	ns	4.5	
	ST _R to ST _{CP}	9	-4	-	11	-	13	-	ns	6.0	
f _{max}	maximum clock	6.0	30	-	4.8	-	4.0	-	MHz	2.0	Fig.7 and Fig.8
	frequency	30	92	-	24	-	20	-	MHz	4.5	
	SH _{CP} or ST _{CP}	35	109	-	28	-	24	-	MHz	6.0	

8-bit shift register with output register

74HC/HCT594

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics, see "74HC/HCT/HCU/HCMOS Logic Family Specifications".

Output capability: parallel outputs, bus driver; serial output, standard.

I_{CC} category: MSI.

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the following table.

INPUT	UNIT LOAD COEFFICIENT
D _s	0.25
\overline{SH}_R	1.50
SH _{CP}	1.50
ST _{CP}	1.50
\overline{ST}_R	1.50

AC CHARACTERISTICS FOR 74HCT

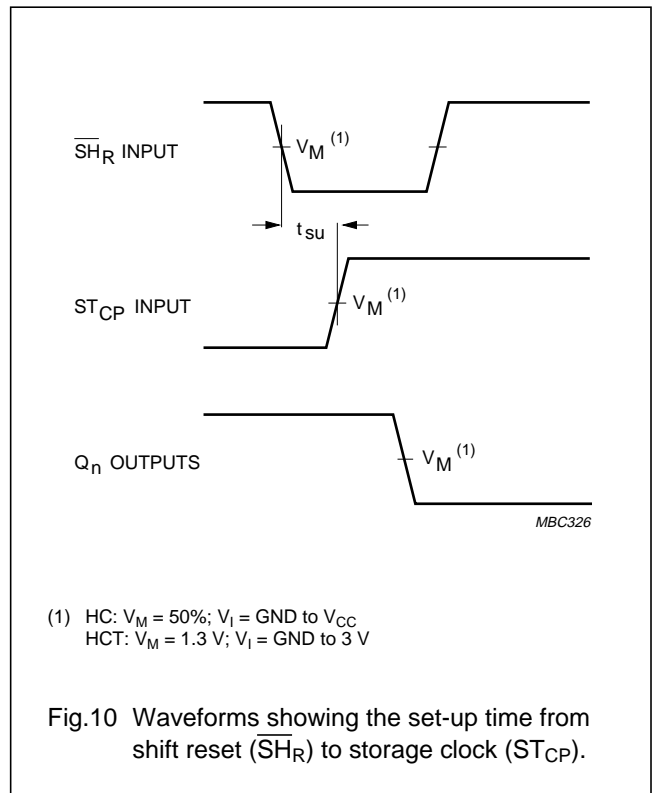
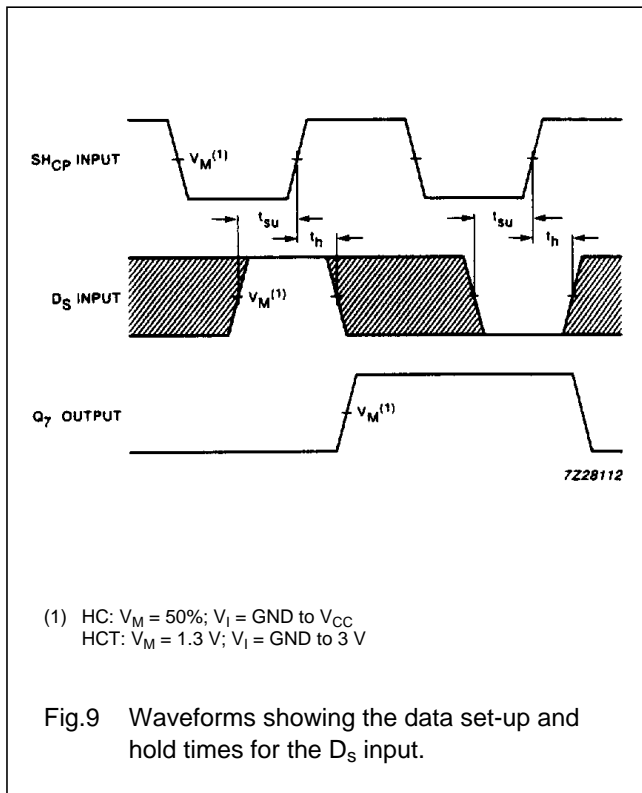
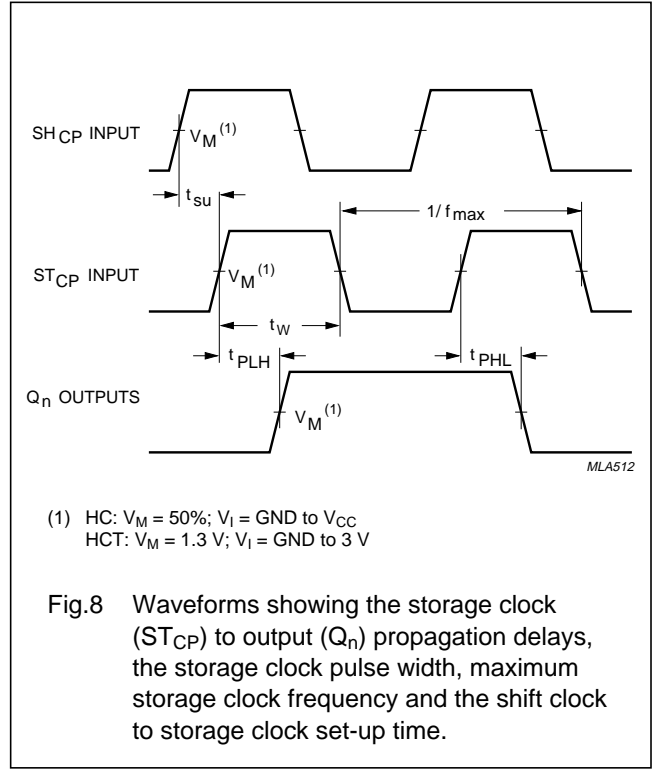
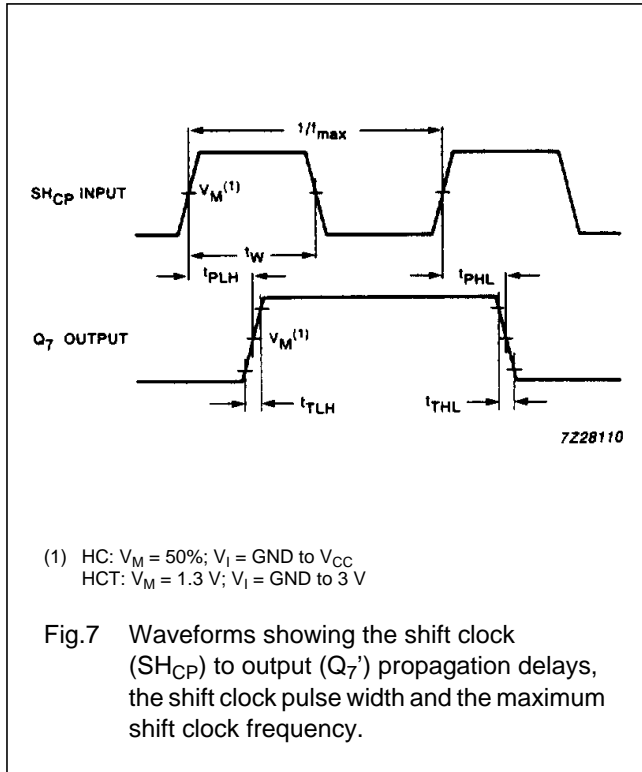
GND = 0 V; t_r = t_f = 6 ns; C_L = 50 pF.

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS	
		+25			-40 to +85		-40 to +125			V _{CC} (V)	WAVEFORMS
		min.	typ.	max.	min.	max.	min.	max.			
t _{PHL} /t _{PLH}	propagation delay SH _{CP} to Q ₇ '	–	18	32	–	40	–	48	ns	4.5	Fig.7
	propagation delay ST _{CP} to Q _n	–	18	32	–	40	–	48	ns	4.5	Fig.8
t _{PHL}	propagation delay \overline{SH}_R to Q ₇ '	–	17	30	–	38	–	45	ns	4.5	Fig.11
	propagation delay \overline{ST}_R to Q _n	–	17	30	–	38	–	45	ns	4.5	Fig.12
t _w	shift clock pulse width HIGH or LOW	16	4	–	20	–	24	–	ns	4.5	Fig.7
	storage clock pulse width HIGH or LOW	16	4	–	20	–	24	–	ns	4.5	Fig.8
	shift and storage reset pulse width HIGH or LOW	16	6	–	20	–	24	–	ns	4.5	Fig.11 and Fig.12
t _{su}	set-up time D _s to SH _{CP}	20	4	–	25	–	30	–	ns	4.5	Fig.9
	set-up time \overline{SH}_R to ST _{CP}	20	6	–	25	–	30	–	ns	4.5	Fig.10
	set-up time SH _{CP} to ST _{CP}	20	7	–	25	–	30	–	ns	4.5	Fig.8
t _h	hold time D _s to SH _{CP}	5	–3	–	6	–	7	–	ns	4.5	Fig.9
t _{rem}	removal time \overline{SH}_R to SH _{CP} , \overline{ST}_R to ST _{CP}	10	–5	–	13	–	15	–	ns	4.5	Fig.11 and Fig.12
f _{max}	maximum clock frequency SH _{CP} or ST _{CP}	30	92	–	24	–	20	–	MHz	4.5	Fig.7 and Fig.8

8-bit shift register with output register

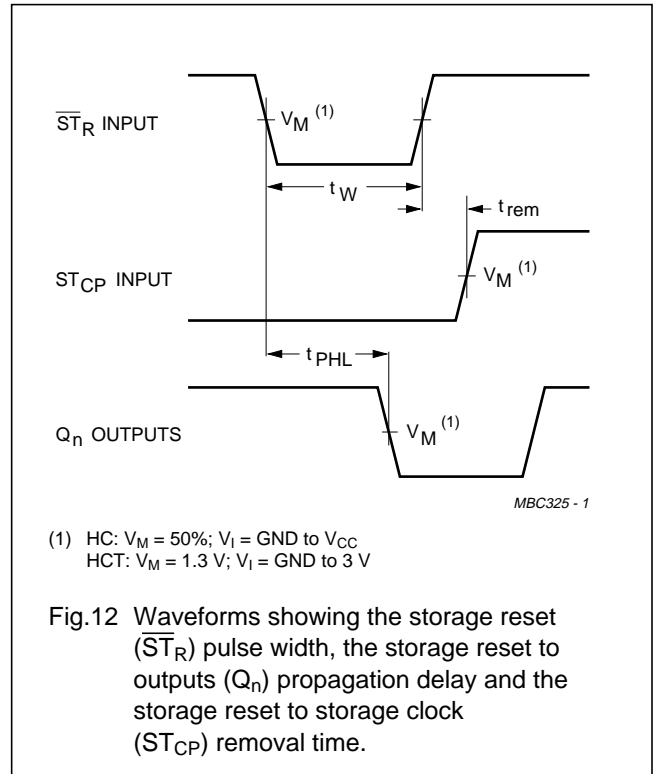
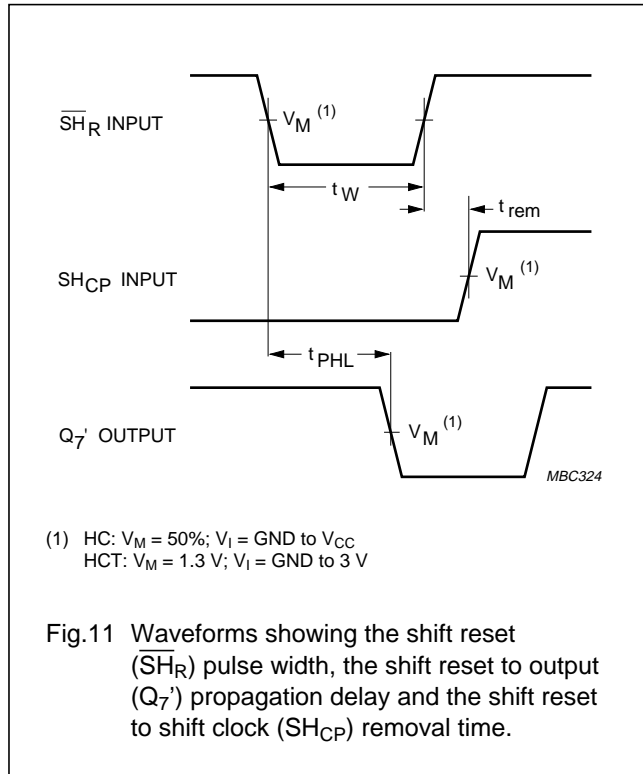
74HC/HCT594

AC WAVEFORMS



8-bit shift register with output register

74HC/HCT594



PACKAGE OUTLINES

See "74HC/HCT/HCU/HCMOS Logic Package Outlines".

Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

FEATURES

- Synchronous reversible counting
- Asynchronous parallel load
- Count enable control for synchronous expansion
- Single up/down control input
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT191 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT191 are asynchronously presettable 4-bit binary up/down counters. They contain four master/slave flip-flops with internal gating and steering logic to provide asynchronous preset and synchronous count-up and count-down operation.

Asynchronous parallel load capability permits the counter to be preset to any desired number. Information present on the parallel data inputs (D₀ to D₃) is loaded into the counter and appears on the outputs when the parallel load (\overline{PL}) input is LOW. As indicated in the function table, this operation overrides the counting function.

Counting is inhibited by a HIGH level on the count enable (\overline{CE}) input. When \overline{CE} is LOW internal state changes are initiated synchronously by the LOW-to-HIGH transition of the clock input. The up/down ($\overline{U/D}$) input signal determines the direction of counting as indicated in the function table. The \overline{CE} input may go LOW when the clock is in either state, however, the LOW-to-HIGH \overline{CE} transition must occur only when the clock is HIGH. Also, the $\overline{U/D}$ input should be changed only when either \overline{CE} or CP is HIGH.

Overflow/underflow indications are provided by two types of outputs, the terminal count (TC) and ripple clock (\overline{RC}). The TC output is normally LOW and goes HIGH when a circuit reaches zero in the count-down mode or reaches "15" in the count-up-mode. The TC output will remain HIGH until a state change occurs, either by counting or presetting, or until $\overline{U/D}$ is changed. Do not use the TC output as a clock signal because it is subject to decoding spikes. The TC signal is used internally to enable the \overline{RC} output. When TC is HIGH and \overline{CE} is LOW, the \overline{RC} output follows the clock pulse (CP). This feature simplifies the design of multistage counters as shown in Figs 5 and 6.

In Fig.5, each \overline{RC} output is used as the clock input to the next higher stage. It is only necessary to inhibit the first stage to prevent counting in all stages, since a HIGH on \overline{CE} inhibits the \overline{RC} output pulse as indicated in the function table. The timing skew between state changes in the first and last stages is represented by the cumulative delay of the clock as it ripples through the preceding stages. This can be a disadvantage of this configuration in some applications.

Fig.6 shows a method of causing state changes to occur simultaneously in all stages. The \overline{RC} outputs propagate the carry/borrow signals in ripple fashion and all clock inputs are driven in parallel. In this configuration the duration of the clock LOW state must be long enough to allow the negative-going edge of the carry/borrow signal to ripple through to the last stage before the clock goes HIGH. Since the \overline{RC} output of any package goes HIGH shortly after its CP input goes HIGH there is no such restriction on the HIGH-state duration of the clock.

In Fig.7, the configuration shown avoids ripple delays and their associated restrictions. Combining the TC signals from all the preceding stages forms the \overline{CE} input for a given stage. An enable must be included in each carry gate in order to inhibit counting. The TC output of a given stage is not affected by its own \overline{CE} signal therefore the simple inhibit scheme of Figs 5 and 6 does not apply.

Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

QUICK REFERENCE DATAGND = 0 V; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $t_r = t_f = 6\text{ ns}$

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay CP to Q_n	$C_L = 15\text{ pF}$; $V_{CC} = 5\text{ V}$	22	22	ns
f_{max}	maximum clock frequency		36	36	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1 and 2	31	33	pF

Notes

- C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

f_o = output frequency in MHz

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

- For HC the condition is $V_I = \text{GND to } V_{CC}$
For HCT the condition is $V_I = \text{GND to } V_{CC} - 1.5\text{ V}$

ORDERING INFORMATION

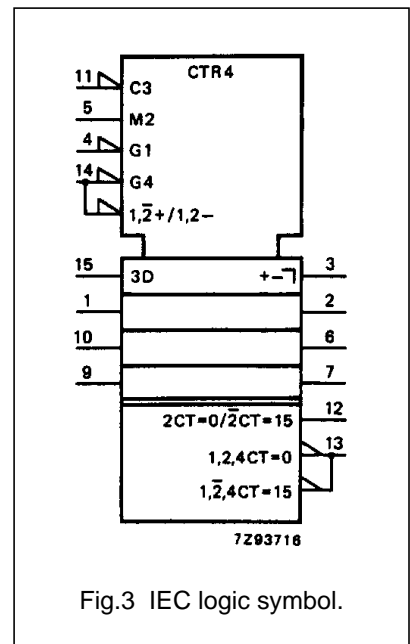
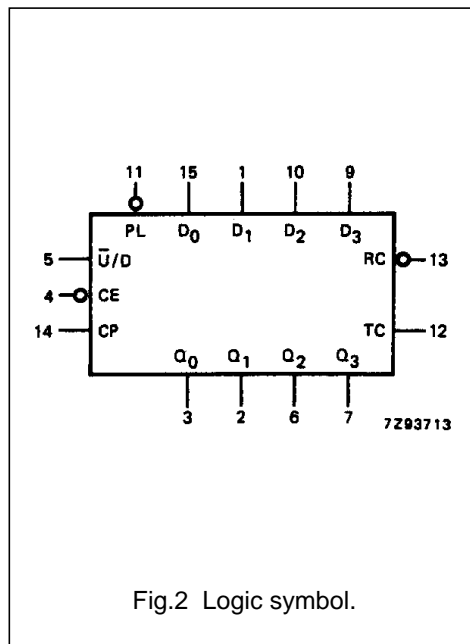
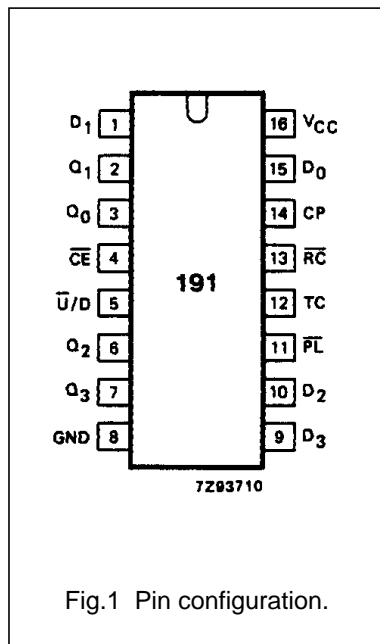
See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

Pre-settable synchronous 4-bit binary
up/down counter

74HC/HCT191

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q ₀ to Q ₃	flip-flop outputs
4	\overline{CE}	count enable input (active LOW)
5	$\overline{U/D}$	up/down input
8	GND	ground (0 V)
11	\overline{PL}	parallel load input (active LOW)
12	TC	terminal count output
13	\overline{RC}	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge triggered)
15, 1, 10, 9	D ₀ to D ₃	data inputs
16	V _{CC}	positive supply voltage



Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

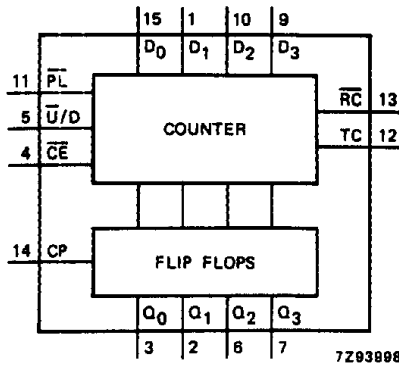


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	\overline{PL}	$\overline{U/D}$	\overline{CE}	CP	D_n	Q_n
parallel load	L	X	X	X	L	L
	L	X	X	X	H	H
count up	H	L	I	↑	X	count up
count down	H	H	I	↑	X	count down
hold (do nothing)	H	X	H	X	X	no change

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
$\overline{U/D}$	\overline{CE}	CP	Q_0	Q_1	Q_2	Q_3	TC	\overline{RC}
H	H	X	H	H	H	H	L	H
L	H	X	H	H	H	H	H	H
L	L	⌊	H	H	H	H	⌋	⌊
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	⌊	L	L	L	L	⌋	⌊

Notes

- H = HIGH voltage level
 L = LOW voltage level
 I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 X = don't care
 ↑ = LOW-to-HIGH CP transition
 ⌊ = one LOW level pulse
 ⌋ = TC goes LOW on a LOW-to-HIGH CP transition

Pre-settable synchronous 4-bit binary up/down counter

74HC/HCT191

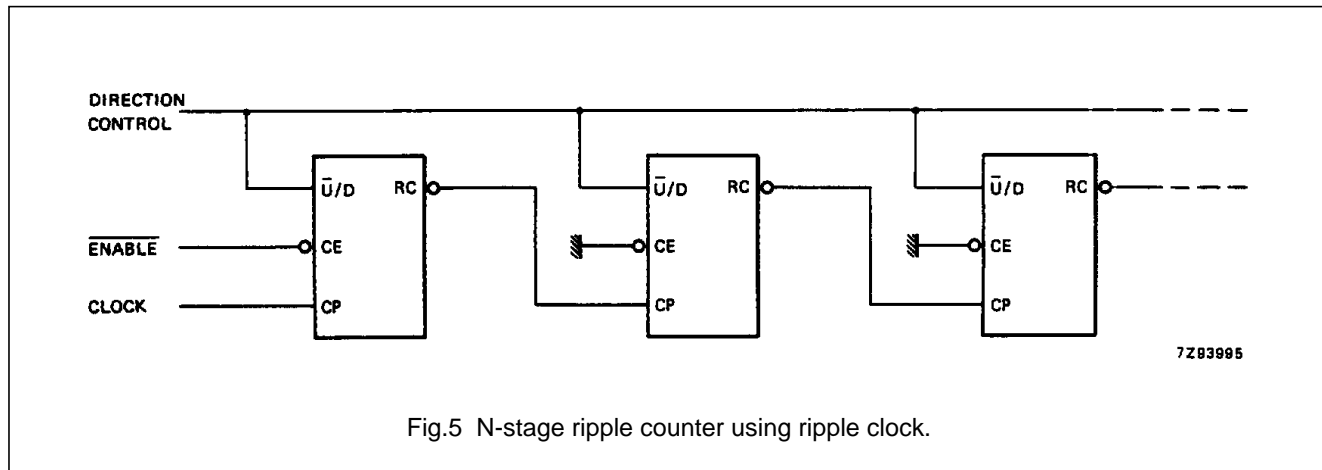


Fig.5 N-stage ripple counter using ripple clock.

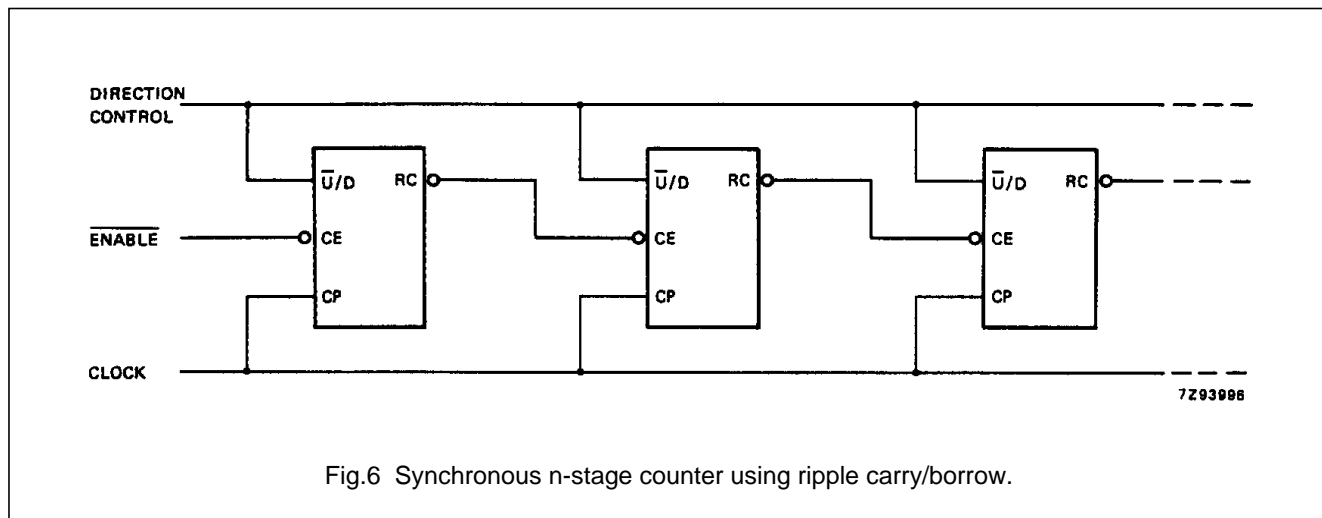


Fig.6 Synchronous n-stage counter using ripple carry/borrow.

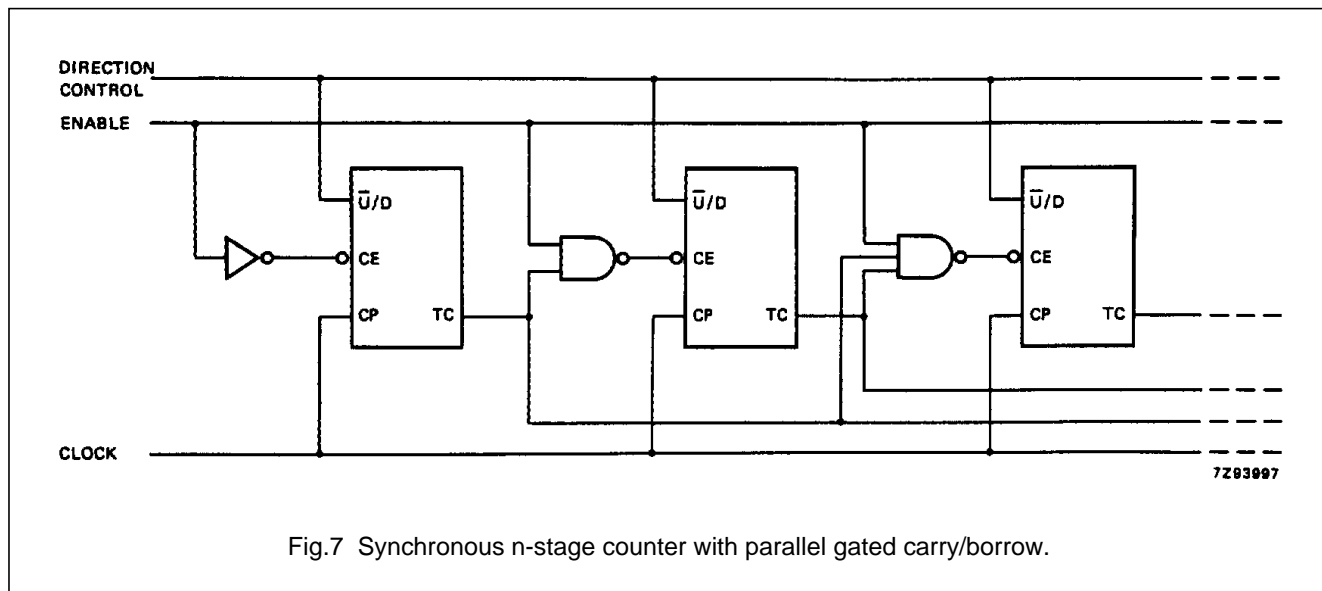


Fig.7 Synchronous n-stage counter with parallel gated carry/borrow.

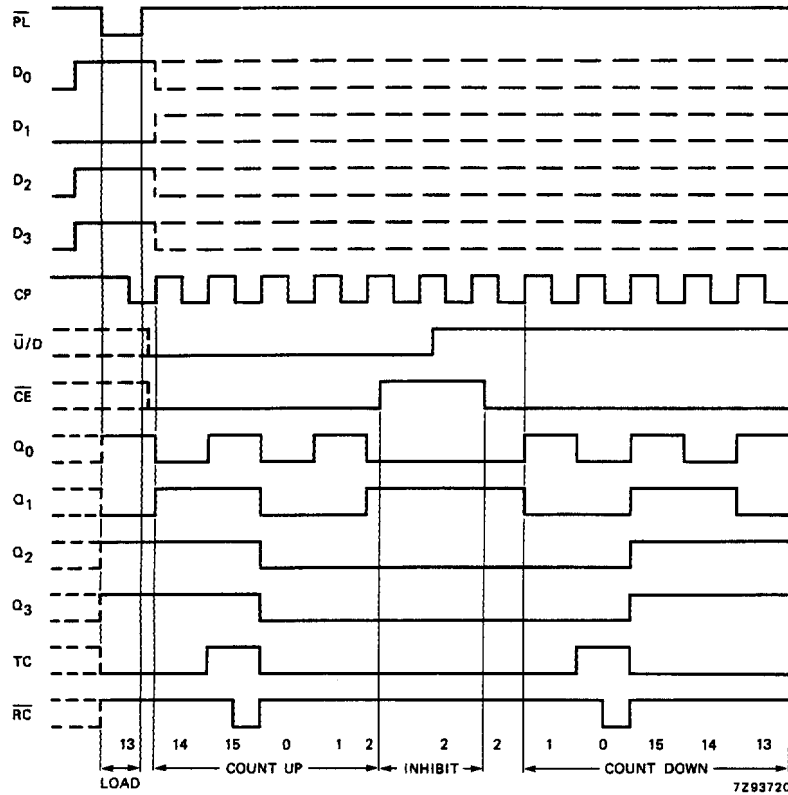
Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

Sequence

Load (preset) to binary thirteen;
 count up to fourteen, fifteen,
 zero, one and two;
 inhibit;
 count down to one, zero, fifteen,
 fourteen and thirteen.

Fig.8 Typical load, count and inhibit sequence.



7293720

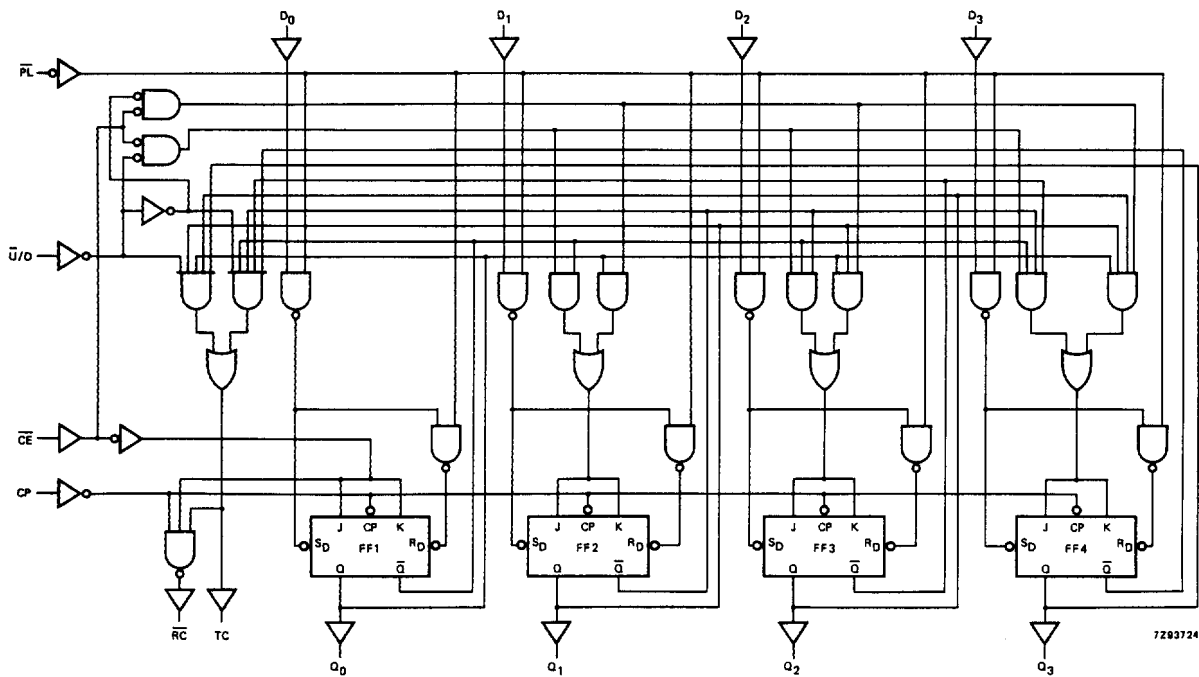


Fig.9 Logic diagram.

7293724

Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard

I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; t_r = t_f = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T _{amb} (°C)						UNIT	TEST CONDITIONS		
		74HC							V _{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t _{PHL} / t _{PLH}	propagation delay CP to Q _n		72 26 21	220 44 37		275 55 47		330 66 56	ns	2.0 4.5 6.0	Fig.10
t _{PHL} / t _{PLH}	propagation delay CP to TC		83 30 24	255 51 43		320 64 54		395 77 65	ns	2.0 4.5 6.0	Fig.10
t _{PHL} / t _{PLH}	propagation delay CP to \overline{RC}		47 17 14	150 30 26		190 38 33		225 45 38	ns	2.0 4.5 6.0	Fig.11
t _{PHL} / t _{PLH}	propagation delay \overline{CE} to \overline{RC}		33 12 10	130 26 22		165 33 28		195 39 33	ns	2.0 4.5 6.0	Fig.11
t _{PHL} / t _{PLH}	propagation delay D _n to Q _n		61 22 18	220 44 37		275 55 47		330 66 56	ns	2.0 4.5 6.0	Fig.12
t _{PHL} / t _{PLH}	propagation delay \overline{PL} to Q _n		61 22 18	220 44 37		275 55 47		330 66 56	ns	2.0 4.5 6.0	Fig.13
t _{PHL} / t _{PLH}	propagation delay $\overline{U/D}$ to TC		44 16 13	190 38 32		240 48 41		285 57 48	ns	2.0 4.5 6.0	Fig.14
t _{PHL} / t _{PLH}	propagation delay $\overline{U/D}$ to \overline{RC}		50 18 14	210 42 36		265 53 45		315 63 54	ns	2.0 4.5 6.0	Fig.14
t _{THL} / t _{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.15
t _w	clock pulse width HIGH or LOW	125 25 21	28 10 8		155 31 26		195 39 33		ns	2.0 4.5 6.0	Fig.10
t _w	parallel load pulse width LOW	100 20 17	22 8 6		125 25 21		150 30 26		ns	2.0 4.5 6.0	Fig.15

Pre-settable synchronous 4-bit binary up/down counter

74HC/HCT191

SYMBOL	PARAMETER	T _{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V _{CC} (V)	WAVEFORMS
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t _{rem}	removal time \overline{PL} to CP	35 7 6	8 3 2		45 9 8		55 11 9	ns	2.0 4.5 6.0	Fig.15	
t _{su}	set-up time $\overline{U/D}$ to CP	205 41 35	50 18 14		255 51 43		310 62 53	ns	2.0 4.5 6.0	Fig.17	
t _{su}	set-up time D _n to \overline{PL}	100 20 17	19 7 6		125 25 21		150 30 26	ns	2.0 4.5 6.0	Fig.16	
t _{su}	set-up time \overline{CE} to CP	140 28 24	44 16 13		175 35 30		210 42 36	ns	2.0 4.5 6.0	Fig.17	
t _h	hold time $\overline{U/D}$ to CP	0 0 0	-39 -14 -11		0 0 0		0 0 0	ns	2.0 4.5 6.0	Fig.17	
t _h	hold time D _n to \overline{PL}	0 0 0	-11 -4 -3		0 0 0		0 0 0	ns	2.0 4.5 6.0	Fig.16	
t _h	hold time \overline{CE} to CP	0 0 0	-28 -10 -8		0 0 0		0 0 0	ns	2.0 4.5 6.0	Fig.17	
f _{max}	maximum clock pulse frequency	4.0 20 24	11 33 39		3.2 16 19		2.6 13 15	MHz	2.0 4.5 6.0	Fig.10	

**Presettable synchronous 4-bit binary
up/down counter**

74HC/HCT191**DC CHARACTERISTICS FOR 74HCT**

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard

I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
D _n	0.5
CP	0.65
$\overline{U/D}$	1.15
$\overline{CE}, \overline{PL}$	1.5

Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

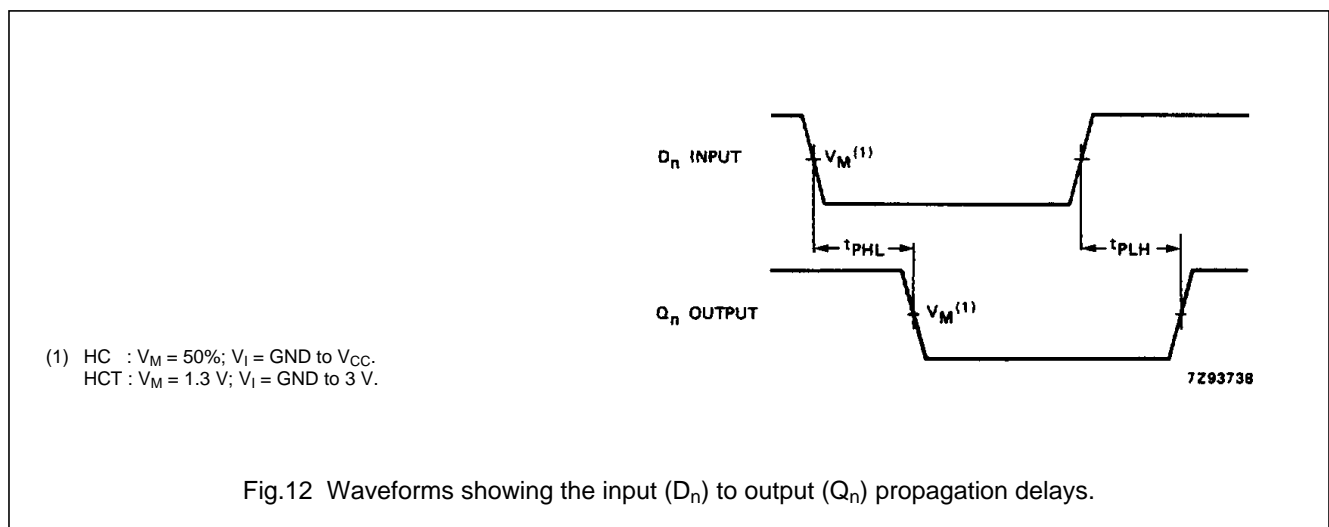
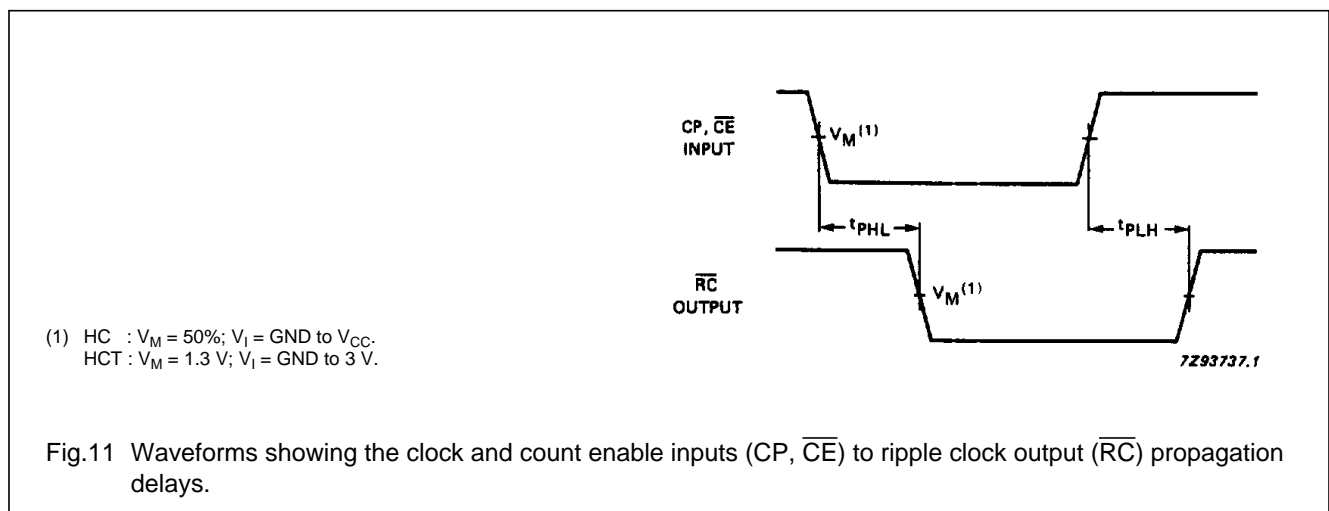
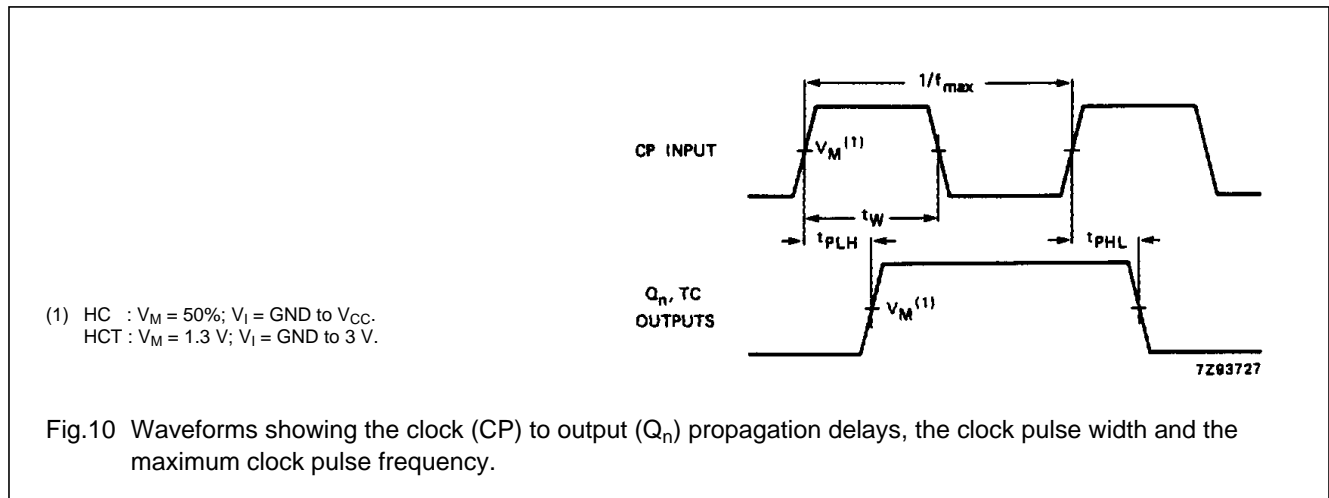
AC CHARACTERISTICS FOR 74HCTGND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)						UNIT	TEST CONDITIONS		
		74HC							V_{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t_{PHL}/t_{PLH}	propagation delay CP to Q_n		26	48		60		72	ns	4.5	Fig.10
t_{PHL}/t_{PLH}	propagation delay CP to TC		32	51		64		77	ns	4.5	Fig.10
t_{PHL}/t_{PLH}	propagation delay CP to \overline{RC}		19	35		44		53	ns	4.5	Fig.11
t_{PHL}/t_{PLH}	propagation delay CE to \overline{RC}		19	33		41		50	ns	4.5	Fig.11
t_{PHL}/t_{PLH}	propagation delay D_n to Q_n		22	44		55		66	ns	4.5	Fig.12
t_{PHL}/t_{PLH}	propagation delay \overline{PL} to Q_n		27	46		58		69	ns	4.5	Fig.13
t_{PHL}/t_{PLH}	propagation delay $\overline{U/D}$ to TC		23	45		56		68	ns	4.5	Fig.14
t_{PHL}/t_{PLH}	propagation delay $\overline{U/D}$ to \overline{RC}		24	45		56		68	ns	4.5	Fig.14
t_{THL}/t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.15
t_W	clock pulse width HIGH or LOW	16	9		20		24		ns	4.5	Fig.10
t_W	parallel load pulse width LOW	22	11		28		33		ns	4.5	Fig.15
t_{rem}	removal time \overline{PL} to CP	7	1		9		11		ns	4.5	Fig.15
t_{su}	set-up time $\overline{U/D}$ to CP	41	20		51		62		ns	4.5	Fig.17
t_{su}	set-up time D_n to \overline{PL}	20	9		25		30		ns	4.5	Fig.16
t_{su}	set-up time \overline{CE} to CP	30	18		38		45		ns	4.5	Fig.17
t_h	hold time $\overline{U/D}$ to CP	0	-18		0		0		ns	4.5	Fig.17
t_h	hold time D_n to \overline{PL}	0	-5		0		0		ns	4.5	Fig.16
t_h	hold time CE to CP	0	-10		0		0		ns	4.5	Fig.17
f_{max}	maximum clock pulse frequency	20	33		16		13		MHz	4.5	Fig.10

Pre-settable synchronous 4-bit binary up/down counter

74HC/HCT191

AC WAVEFORMS



Pre-settable synchronous 4-bit binary up/down counter

74HC/HCT191

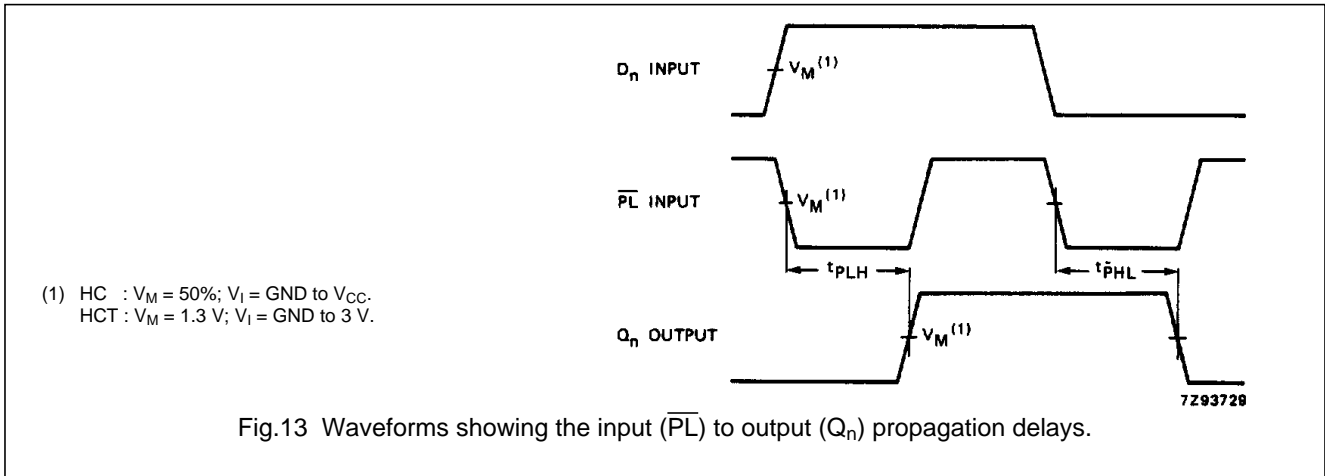


Fig.13 Waveforms showing the input (\overline{PL}) to output (Q_n) propagation delays.

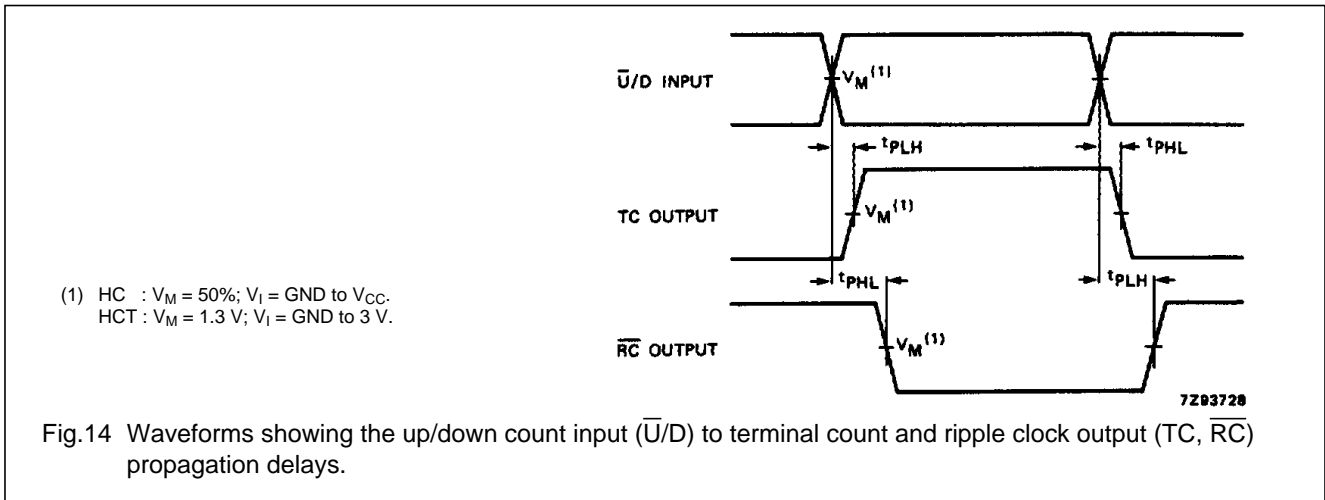


Fig.14 Waveforms showing the up/down count input ($\overline{U/D}$) to terminal count and ripple clock output (TC , \overline{RC}) propagation delays.

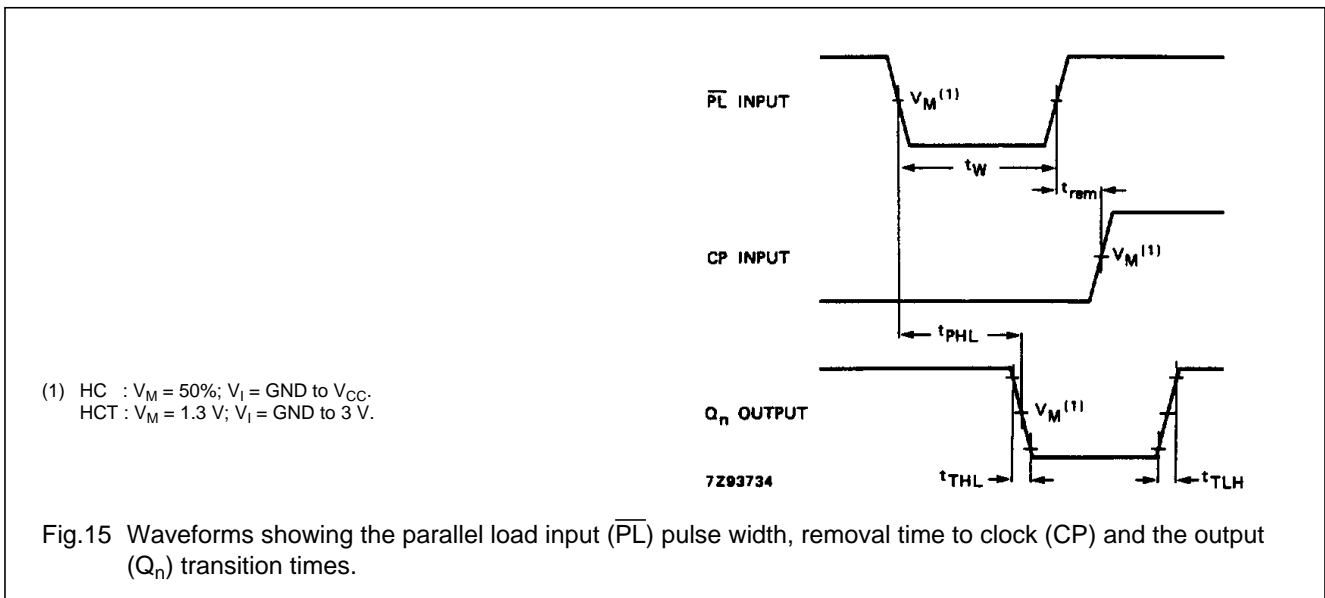


Fig.15 Waveforms showing the parallel load input (\overline{PL}) pulse width, removal time to clock (CP) and the output (Q_n) transition times.

Pre-settable synchronous 4-bit binary up/down counter

74HC/HCT191

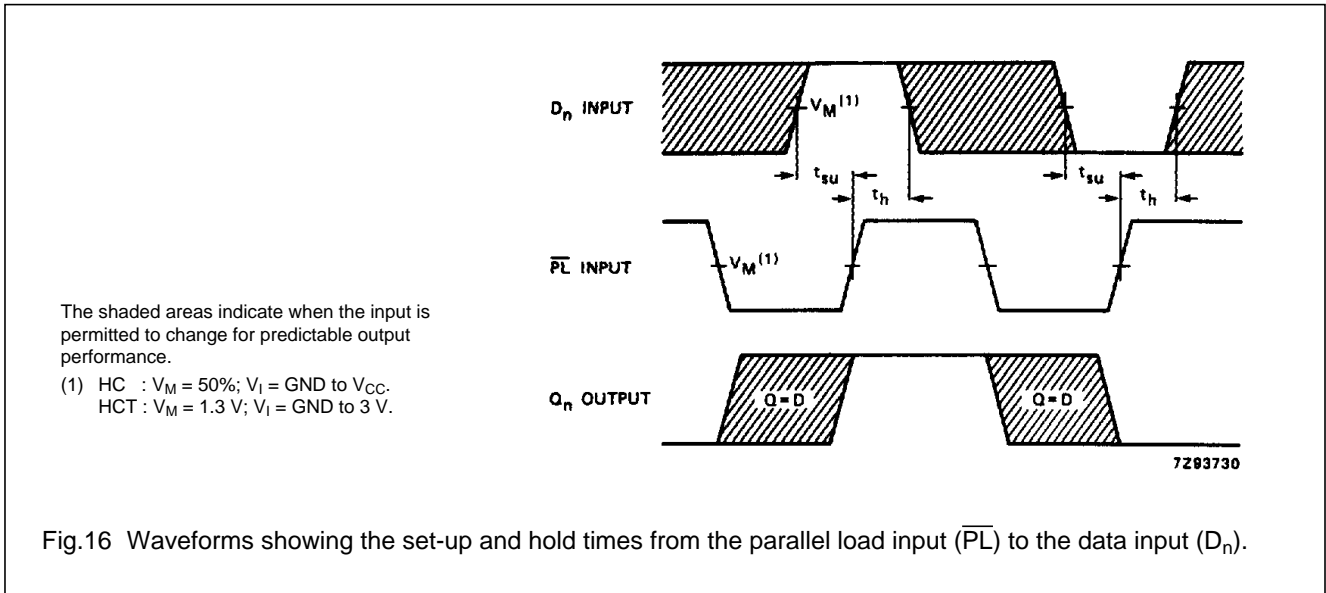


Fig.16 Waveforms showing the set-up and hold times from the parallel load input (\overline{PL}) to the data input (D_n).

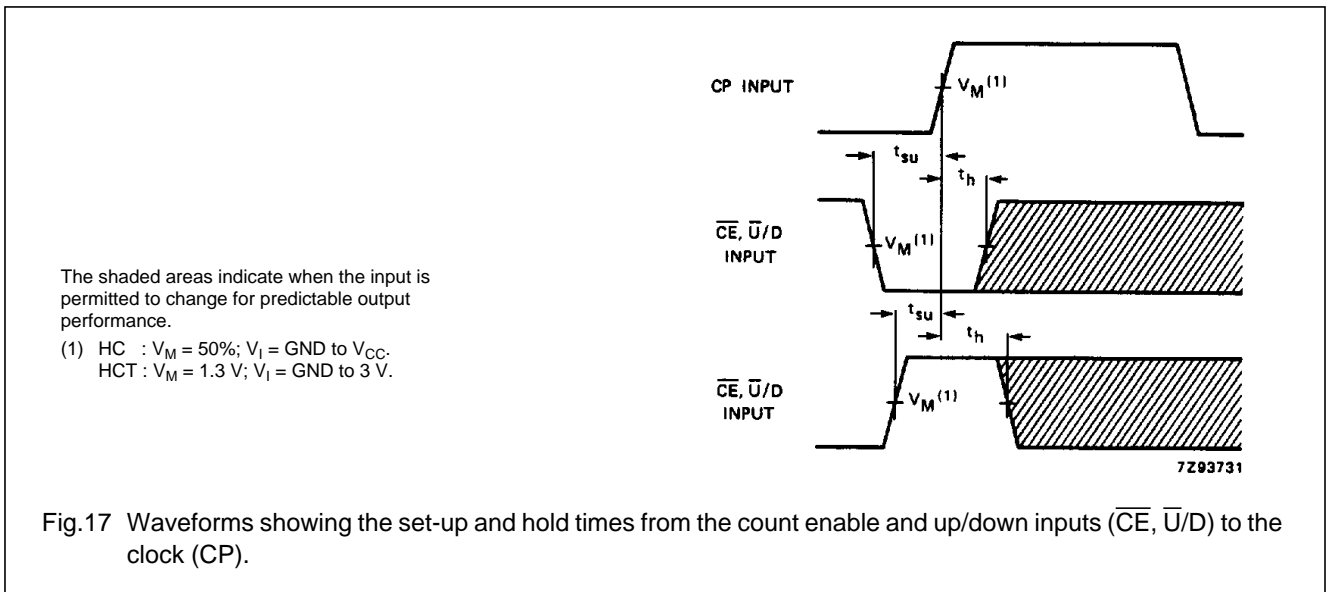


Fig.17 Waveforms showing the set-up and hold times from the count enable and up/down inputs (\overline{CE} , $\overline{U/D}$) to the clock (CP).

PACKAGE OUTLINES

See "74HC/HCT/HCU/HCMOS Logic Package Outlines".

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

FEATURES

- Wide supply voltage range from 2.0 to 6.0 V
- Symmetrical output impedance
- High noise immunity
- Low power dissipation
- Balanced propagation delays
- ESD protection:
HBM EIA/JESD22-A114-A exceeds 2000 V
MM EIA/JESD22-A115-A exceeds 200 V.

GENERAL DESCRIPTION

The 74HC/HCT74 is a high-speed Si-gate CMOS device and is pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT74 are dual positive-edge triggered, D-type flip-flops with individual data (D) inputs, clock (CP) inputs, set (\overline{SD}) and reset (\overline{RD}) inputs; also complementary Q and \overline{Q} outputs.

The set and reset are asynchronous active LOW inputs and operate independently of the clock input. Information on the data input is transferred to the Q output on the LOW-to-HIGH transition of the clock pulse. The D inputs must be stable one set-up time prior to the LOW-to-HIGH clock transition for predictable operation.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25\text{ }^{\circ}\text{C}$; $t_r = t_f = 6\text{ ns}$

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay nCP to nQ, n \overline{Q}	$C_L = 15\text{ pF}$; $V_{CC} = 5\text{ V}$	14	15	ns
	n \overline{SD} to nQ, n \overline{Q}		15	18	ns
	n \overline{RD} to nQ, n \overline{Q}		16	18	ns
f_{max}	maximum clock frequency		76	59	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	24	29	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW).

$$P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz;

f_o = output frequency in MHz;

C_L = output load capacitance in pF;

V_{CC} = supply voltage in Volts;

N = total load switching outputs;

$\Sigma(C_L \times V_{CC}^2 \times f_o)$ = sum of the outputs.

2. For 74HC74 the condition is $V_I = \text{GND to } V_{CC}$.

For 74HCT74 the condition is $V_I = \text{GND to } V_{CC} - 1.5\text{ V}$.

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

FUNCTION TABLES

Table 1 See note 1

INPUT				OUTPUT	
$\bar{S}D$	$\bar{R}D$	CP	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H

Table 2 See note 1

INPUT				OUTPUT	
$\bar{S}D$	$\bar{R}D$	CP	D	Q _{n+1}	\bar{Q}_{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

Note

- H = HIGH voltage level;
L = LOW voltage level;
X = don't care;
↑ = LOW-to-HIGH CP transition;
Q_{n+1} = state after the next LOW-to-HIGH CP transition.

ORDERING INFORMATION

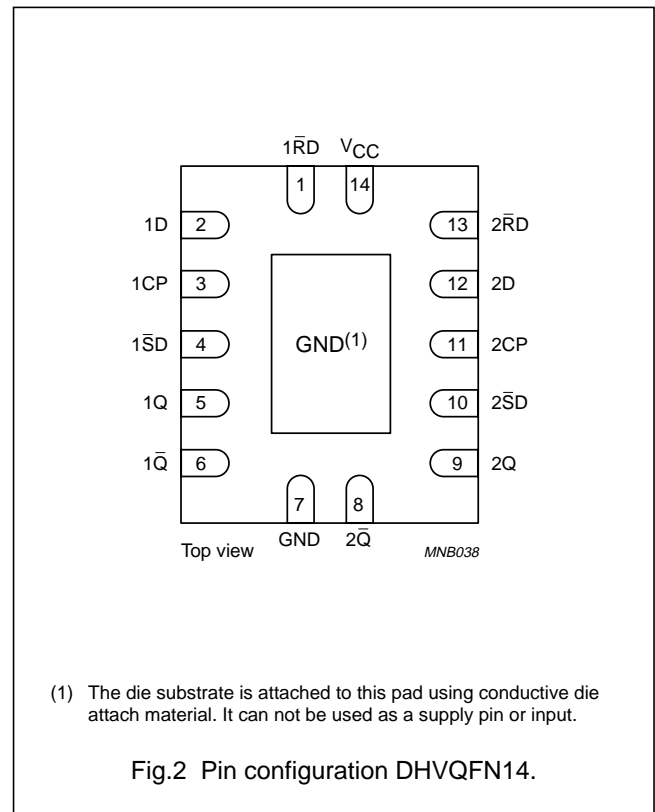
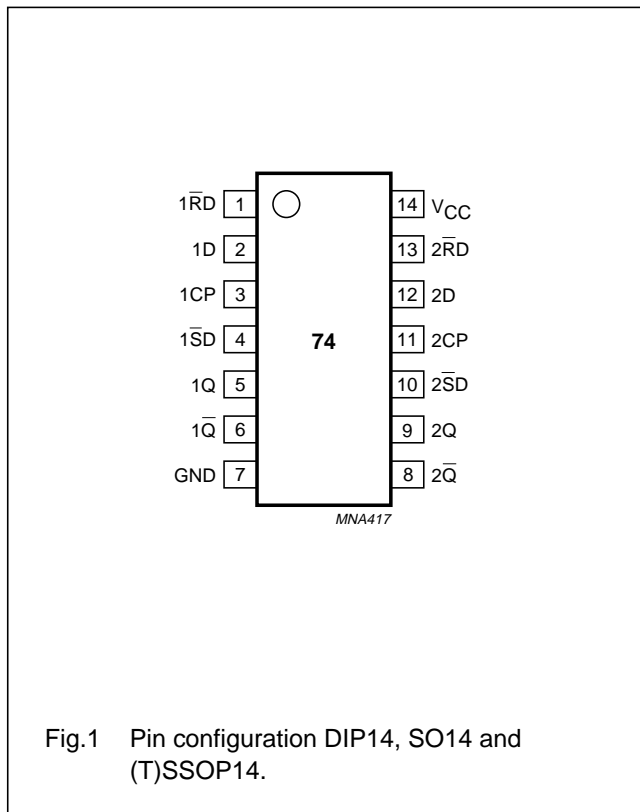
TYPE NUMBER	PACKAGE				
	TEMPERATURE RANGE	PINS	PACKAGE	MATERIAL	CODE
74HC74N	-40 to +125 °C	14	DIP14	plastic	SOT27-1
74HCT74N	-40 to +125 °C	14	DIP14	plastic	SOT27-1
74HC74D	-40 to +125 °C	14	SO14	plastic	SOT108-1
74HCT74D	-40 to +125 °C	14	SO14	plastic	SOT108-1
74HC74DB	-40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HCT74DB	-40 to +125 °C	14	SSOP14	plastic	SOT337-1
74HC74PW	-40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HCT74PW	-40 to +125 °C	14	TSSOP14	plastic	SOT402-1
74HC74BQ	-40 to +125 °C	14	DHVQFN14	plastic	SOT762-1
74HCT74BQ	-40 to +125 °C	14	DHVQFN14	plastic	SOT762-1

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

PINNING

PIN	SYMBOL	DESCRIPTION
1	1 $\overline{\text{RD}}$	asynchronous reset-direct input (active LOW)
2	1D	data input
3	1CP	clock input (LOW-to-HIGH, edge-triggered)
4	1 $\overline{\text{SD}}$	asynchronous set-direct input (active LOW)
5	1Q	true flip-flop output
6	1 $\overline{\text{Q}}$	complement flip-flop output
7	GND	ground (0 V)
8	2 $\overline{\text{Q}}$	complement flip-flop output
9	2Q	true flip-flop output
10	2 $\overline{\text{SD}}$	asynchronous set-direct input (active LOW)
11	2CP	clock input (LOW-to-HIGH, edge-triggered)
12	2D	data input
13	2 $\overline{\text{RD}}$	asynchronous reset-direct input (active LOW)
14	V _{CC}	positive supply voltage



Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

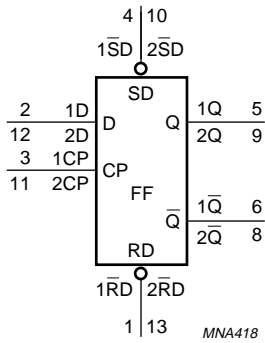


Fig.3 Logic symbol.

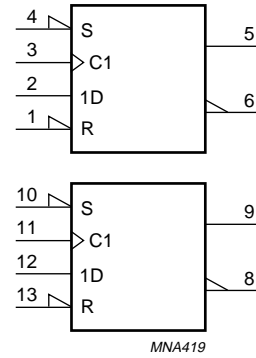


Fig.4 IEC logic symbol.

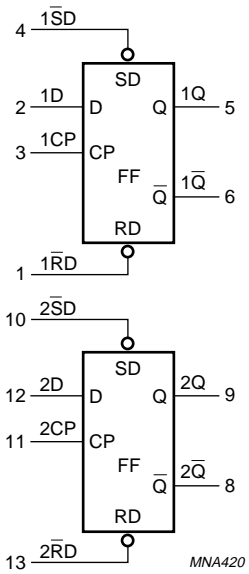


Fig.5 Functional diagram.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

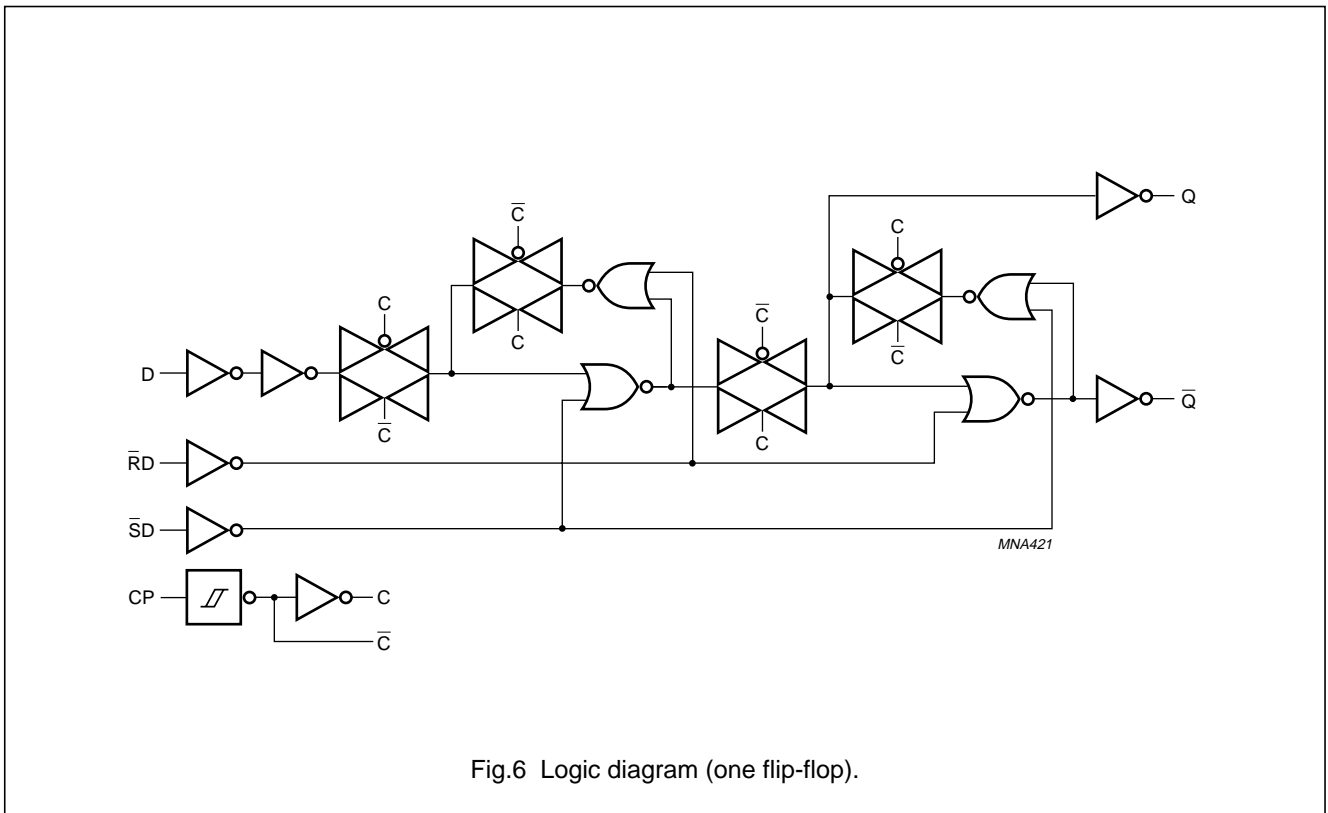


Fig.6 Logic diagram (one flip-flop).

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	CONDITIONS	74HC74			74HCT74			UNIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
V_{CC}	supply voltage		2.0	5.0	6.0	4.5	5.0	5.5	V
V_I	input voltage		0	–	V_{CC}	0	–	V_{CC}	V
V_O	output voltage		0	–	V_{CC}	0	–	V_{CC}	V
T_{amb}	operating ambient temperature		–40	+25	+125	–40	+25	+125	°C
t_r, t_f	input rise and fall times	$V_{CC} = 2.0\text{ V}$	–	–	1000	–	–	500	ns
		$V_{CC} = 4.5\text{ V}$	–	6.0	500	–	6.0	500	ns
		$V_{CC} = 6.0\text{ V}$	–	–	400	–	–	500	ns

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134); voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CC}	supply voltage		–0.5	+7.0	V
I_{IK}	input diode current	$V_I < -0.5\text{ V}$ or $V_I > V_{CC} + 0.5\text{ V}$; note 1	–	±20	mA
I_{OK}	output diode current	$V_O < -0.5\text{ V}$ or $V_O > V_{CC} + 0.5\text{ V}$; note 1	–	±20	mA
I_O	output source or sink current	$-0.5\text{ V} < V_O < V_{CC} + 0.5\text{ V}$; note 1	–	±25	mA
I_{CC}, I_{GND}	V_{CC} or GND current		–	±100	mA
T_{stg}	storage temperature		–65	+150	°C
P_{tot}	power dissipation	$T_{amb} = -40\text{ to }+125\text{ °C}$; note 2	–	500	mW

Notes

1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. For SO14 packages: above 70 °C derate linearly with 8 mW/K.
For SSOP14 and TSSOP14 packages: above 60 °C derate linearly with 5.5 mW/K.
For DHVQFN14 packages: above 60 °C derate linearly with 4.5 mW/K.
For DIP14 packages: above 70 °C derate linearly with 12 mW/K.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

DC CHARACTERISTICS

Family 74HC

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T_{amb} = -40 to +85 °C; note 1							
V _{IH}	HIGH-level input voltage		2.0	1.5	1.2	–	V
			4.5	3.15	2.4	–	V
			6.0	4.2	3.2	–	V
V _{IL}	LOW-level input voltage		2.0	–	0.8	0.5	V
			4.5	–	2.1	1.35	V
			6.0	–	2.8	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = -4.0 mA	4.5	3.84	4.32	–	V
		I _O = -5.2 mA	6.0	5.34	5.81	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 4.0 mA	4.5	–	0.15	0.33	V
		I _O = 5.2 mA	6.0	–	0.16	0.33	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	6.0	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	6.0	–	–	40	μA
T_{amb} = -40 to +125 °C							
V _{IH}	HIGH-level input voltage		2.0	1.5	–	–	V
			4.5	3.15	–	–	V
			6.0	4.2	–	–	V
V _{IL}	LOW-level input voltage		2.0	–	–	0.5	V
			4.5	–	–	1.35	V
			6.0	–	–	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} I _O = -4.0 mA	4.5	3.7	–	–	V
		I _O = -5.2 mA	6.0	5.2	–	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} I _O = 4.0 mA	4.5	–	–	0.4	V
		I _O = 5.2 mA	6.0	–	–	0.4	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	6.0	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	6.0	–	–	80	μA

Note

1. All typical values are measured at T_{amb} = 25 °C.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

Family 74HCT

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T_{amb} = -40 to +85 °C; note 1							
V _{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	1.6	–	V
V _{IL}	LOW-level input voltage		4.5 to 5.5	–	1.2	0.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = -4.0 mA	4.5	3.84	4.32	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = 4.0 mA	4.5	0.33	0.15	–	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	5.5	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	5.5	–	–	40	μA
ΔI _{CC}	additional quiescent supply current per input	V _I = V _{CC} -2.1 V other inputs at V _{CC} or GND; I _O = 0	4.5 to 5.5	–	100	450	μA
T_{amb} = -40 to +125 °C							
V _{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	–	–	V
V _{IL}	LOW-level input voltage		4.5 to 5.5	–	–	0.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = -4.0 mA	4.5	3.7	–	–	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL} ; I _O = 4.0 mA	4.5	–	–	0.4	V
I _{LI}	input leakage current	V _I = V _{CC} or GND	5.5	–	–	±1.0	μA
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	5.5	–	–	80	μA
ΔI _{CC}	additional quiescent supply current per input	V _I = V _{CC} -2.1 V other inputs at V _{CC} or GND; I _O = 0	4.5 to 5.5	–	–	490	μA

Note

1. All typical values are measured at T_{amb} = 25 °C.

Remark to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given here. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table.

INPUT	UNIT LOAD COEFFICIENT
nD	0.70
nRD	0.70
nSD	0.80
nCP	0.80

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

AC CHARACTERISTICS

Family 74HC

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T_{amb} = -40 to +85 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, nQ̄	see Fig.7	2.0	–	47	220	ns
			4.5	–	17	44	ns
			6.0	–	14	37	ns
	propagation delay nSD to nQ, nQ̄	see Fig.8	2.0	–	50	250	ns
			4.5	–	18	50	ns
			6.0	–	14	43	ns
	propagation delay nRD to nQ, nQ̄	see Fig.8	2.0	–	52	250	ns
			4.5	–	19	50	ns
			6.0	–	15	43	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	2.0	–	19	95	ns
			4.5	–	7	19	ns
			6.0	–	6	16	ns
t _w	clock pulse width HIGH or LOW	see Fig.7	2.0	100	19	–	ns
			4.5	20	7	–	ns
			6.0	17	6	–	ns
	set or reset pulse width LOW	see Fig.8	2.0	100	19	–	ns
			4.5	20	7	–	ns
			6.0	17	6	–	ns
t _{rem}	removal time set or reset	see Fig.8	2.0	40	3	–	ns
			4.5	8	1	–	ns
			6.0	7	1	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	2.0	75	6	–	ns
			4.5	15	2	–	ns
			6.0	13	2	–	ns
t _h	hold time nCP to nD	see Fig.7	2.0	3	–6	–	ns
			4.5	3	–2	–	ns
			6.0	3	–2	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	2.0	4.8	23	–	MHz
			4.5	24	69	–	MHz
			6.0	28	82	–	MHz

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T_{amb} = -40 to +125 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, nQ̄	see Fig.7	2.0	–	–	265	ns
			4.5	–	–	53	ns
			6.0	–	–	45	ns
	propagation delay nSD to nQ, nQ̄	see Fig.8	2.0	–	–	300	ns
			4.5	–	–	60	ns
			6.0	–	–	51	ns
	propagation delay nRD to nQ, nQ̄	see Fig.8	2.0	–	–	300	ns
			4.5	–	–	60	ns
			6.0	–	–	51	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	2.0	–	–	110	ns
			4.5	–	–	22	ns
			6.0	–	–	19	ns
t _w	clock pulse width HIGH or LOW	see Fig.7	2.0	120	–	–	ns
			4.5	24	–	–	ns
			6.0	20	–	–	ns
t _w	set or reset pulse width LOW	see Fig.8	2.0	120	–	–	ns
			4.5	24	–	–	ns
			6.0	20	–	–	ns
t _{rem}	removal time set or reset	see Fig.8	2.0	45	–	–	ns
			4.5	9	–	–	ns
			6.0	8	–	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	2.0	90	–	–	ns
			4.5	18	–	–	ns
			6.0	15	–	–	ns
t _h	hold time nCP to nD	see Fig.7	2.0	3	–	–	ns
			4.5	3	–	–	ns
			6.0	3	–	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	2.0	4.0	–	–	MHz
			4.5	20	–	–	MHz
			6.0	24	–	–	MHz

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

Family 74HCT

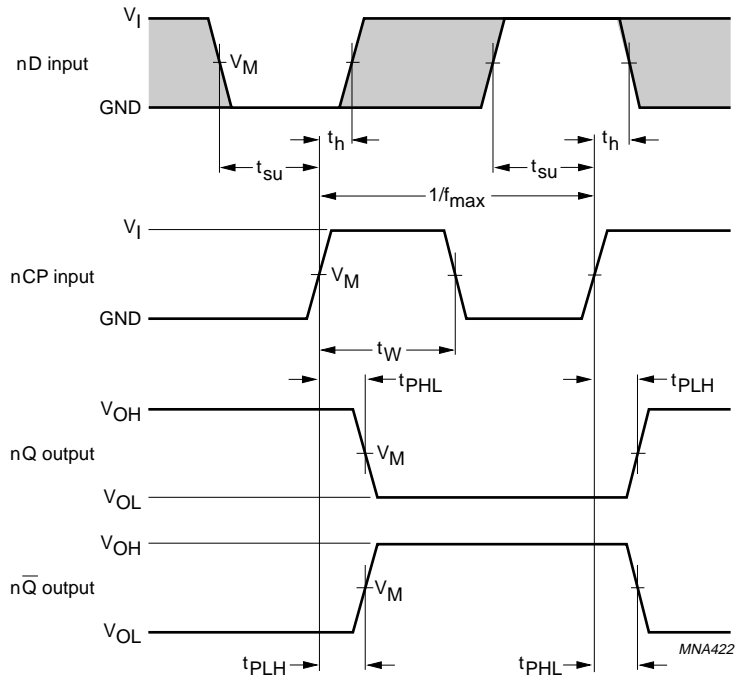
GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V _{CC} (V)				
T_{amb} = -40 to +85 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, n \bar{Q}	see Fig.7	4.5	–	18	44	ns
	propagation delay n $\bar{S}D$ to nQ, n \bar{Q}	see Fig.8	4.5	–	23	50	ns
	propagation delay n $\bar{R}D$ to nQ, n \bar{Q}	see Fig.8	4.5	–	24	50	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	4.5	–	7	19	ns
t _W	clock pulse width HIGH or LOW	see Fig.7	4.5	23	9	–	ns
	set or reset pulse width LOW	see Fig.8	4.5	20	9	–	ns
t _{rem}	removal time set or reset	see Fig.8	4.5	8	1	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	4.5	15	5	–	ns
t _h	hold time nCP to nD	see Fig.7	4.5	+3	–3	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	4.5	22	54	–	MHz
T_{amb} = -40 to +125 °C							
t _{PHL} /t _{PLH}	propagation delay nCP to nQ, n \bar{Q}	see Fig.7	4.5	–	–	53	ns
	propagation delay n $\bar{S}D$ to nQ, n \bar{Q}	see Fig.8	4.5	–	–	60	ns
	propagation delay n $\bar{R}D$ to nQ, n \bar{Q}	see Fig.8	4.5	–	–	60	ns
t _{THL} /t _{TLH}	output transition time	see Fig.7	4.5	–	–	22	ns
t _W	clock pulse width HIGH or LOW	see Fig.7	4.5	27	–	–	ns
	set or reset pulse width LOW	see Fig.8	4.5	24	–	–	ns
t _{rem}	removal time set or reset	see Fig.8	4.5	9	–	–	ns
t _{su}	set-up time nD to nCP	see Fig.7	4.5	18	–	–	ns
t _h	hold time nCP to nD	see Fig.7	4.5	3	–	–	ns
f _{max}	maximum clock pulse frequency	see Fig.7	4.5	18	–	–	MHz

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

AC WAVEFORMS

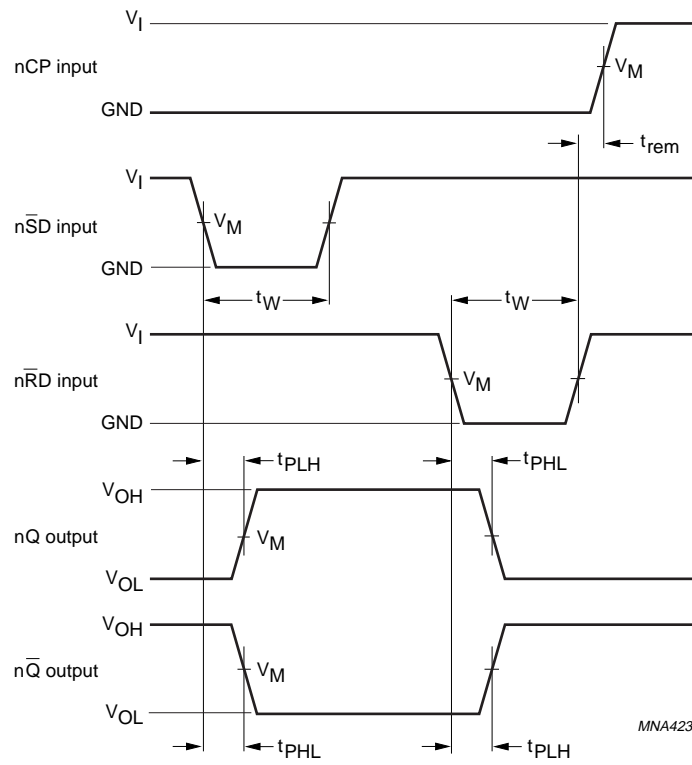


The shaded areas indicate when the input is permitted to change for predictable output performance.
74HC74: $V_M = 50\%$; $V_I = \text{GND to } V_{CC}$.
74HCT74: $V_M = 1.3 \text{ V}$; $V_I = \text{GND to } 3 \text{ V}$.

Fig.7 The clock (nCP) to output (nQ, nQ-bar) propagation delays, the clock pulse width, the nD to nCP set-up, the nCP to nD hold times, the output transition times and the maximum clock pulse frequency.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

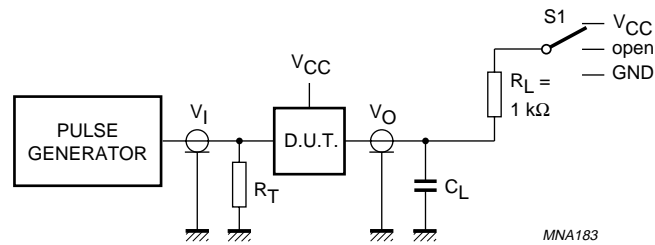


74HC74: $V_M = 50\%$; $V_I = \text{GND to } V_{CC}$.
74HCT74: $V_M = 1.3 \text{ V}$; $V_I = \text{GND to } 3 \text{ V}$.

Fig.8 The set (\overline{nSD}) and reset (\overline{nRD}) input to output (nQ , \overline{nQ}) propagation delays, the set and reset pulse widths and the \overline{nRD} , \overline{nRD} to nCP removal time.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74



TEST	S1
t_{pZH}	GND
t_{pZL}	V_{CC}
t_{pHZ}	GND
t_{pLZ}	V_{CC}

Definitions for test circuit:

R_L = Load resistor.

C_L = Load capacitance including jig and probe capacitance.

R_T = Termination resistance should be equal to the output impedance Z_o of the pulse generator.

Fig.9 Load circuitry for switching times.

Dual D-type flip-flop with set and reset;
positive-edge trigger

74HC74; 74HCT74

DATA SHEET STATUS

LEVEL	DATA SHEET STATUS ⁽¹⁾	PRODUCT STATUS ⁽²⁾⁽³⁾	DEFINITION
I	Objective data	Development	This data sheet contains data from the objective specification for product development. Philips Semiconductors reserves the right to change the specification in any manner without notice.
II	Preliminary data	Qualification	This data sheet contains data from the preliminary specification. Supplementary data will be published at a later date. Philips Semiconductors reserves the right to change the specification without notice, in order to improve the design and supply the best possible product.
III	Product data	Production	This data sheet contains data from the product specification. Philips Semiconductors reserves the right to make changes at any time in order to improve the design, manufacturing and supply. Relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN).

Notes

1. Please consult the most recently issued data sheet before initiating or completing a design.
2. The product status of the device(s) described in this data sheet may have changed since this data sheet was published. The latest information is available on the Internet at URL <http://www.semiconductors.philips.com>.
3. For data sheets describing multiple type numbers, the highest-level product status determines the data sheet status.

DEFINITIONS

Short-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

Limiting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 60134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

Application information — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

DISCLAIMERS

Life support applications — These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

Right to make changes — Philips Semiconductors reserves the right to make changes in the products - including circuits, standard cells, and/or software - described or contained herein in order to improve design and/or performance. When the product is in full production (status 'Production'), relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN). Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no licence or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.

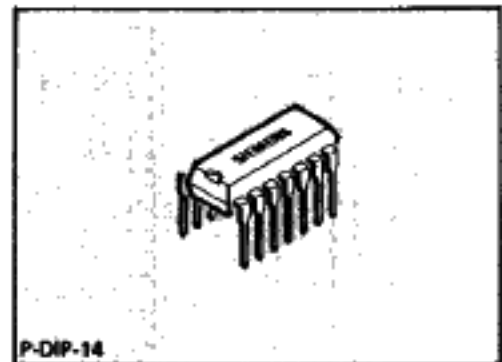
Proximity Switch

TCA 205

Features

- Large supply voltage range
- High output current
- Antivalent outputs
- Adjustable switching distance
- Adjustable hysteresis
- Turn-on delay

Bipolar IC

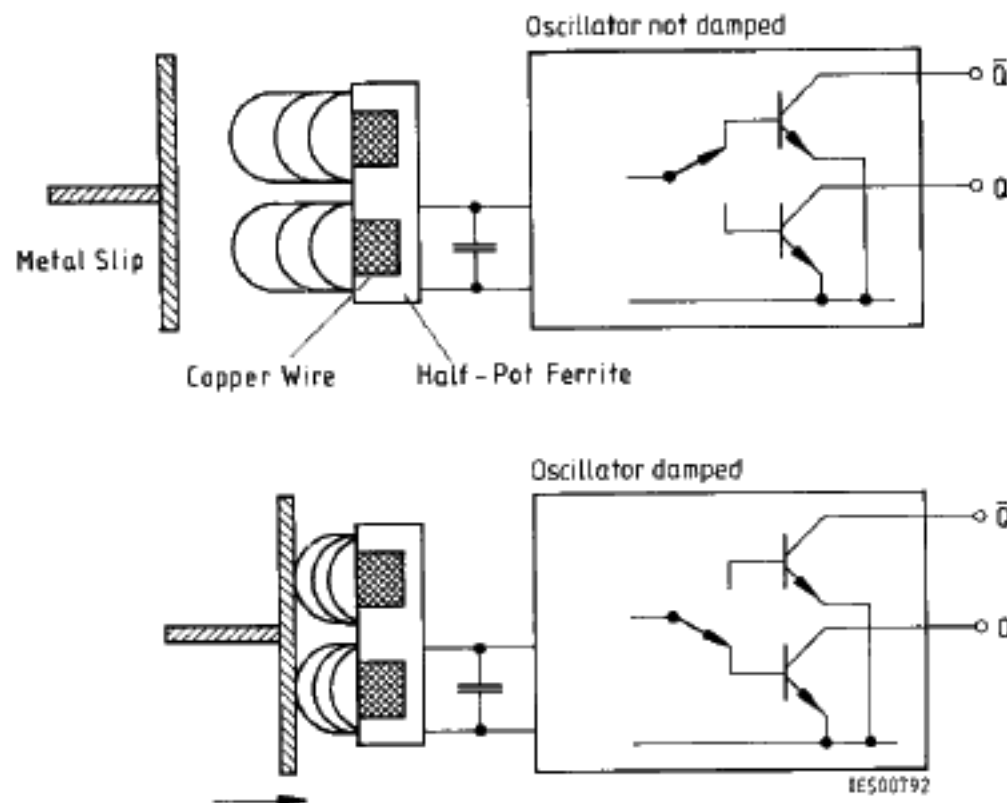


Type	Ordering Code	Package
■ TCA 205 A	Q67000-A1034	P-DIP-14

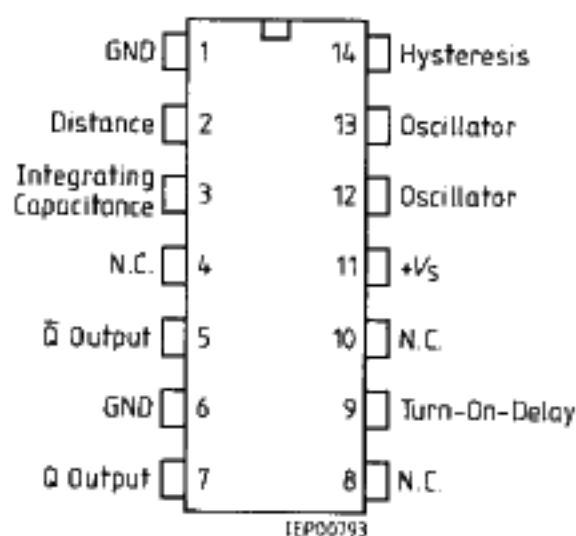
■ Not for new design.

This IC is intended for applications in inductive proximity switches. The outputs switch when the oscillation is damped, e.g. by the approach of a metal object.

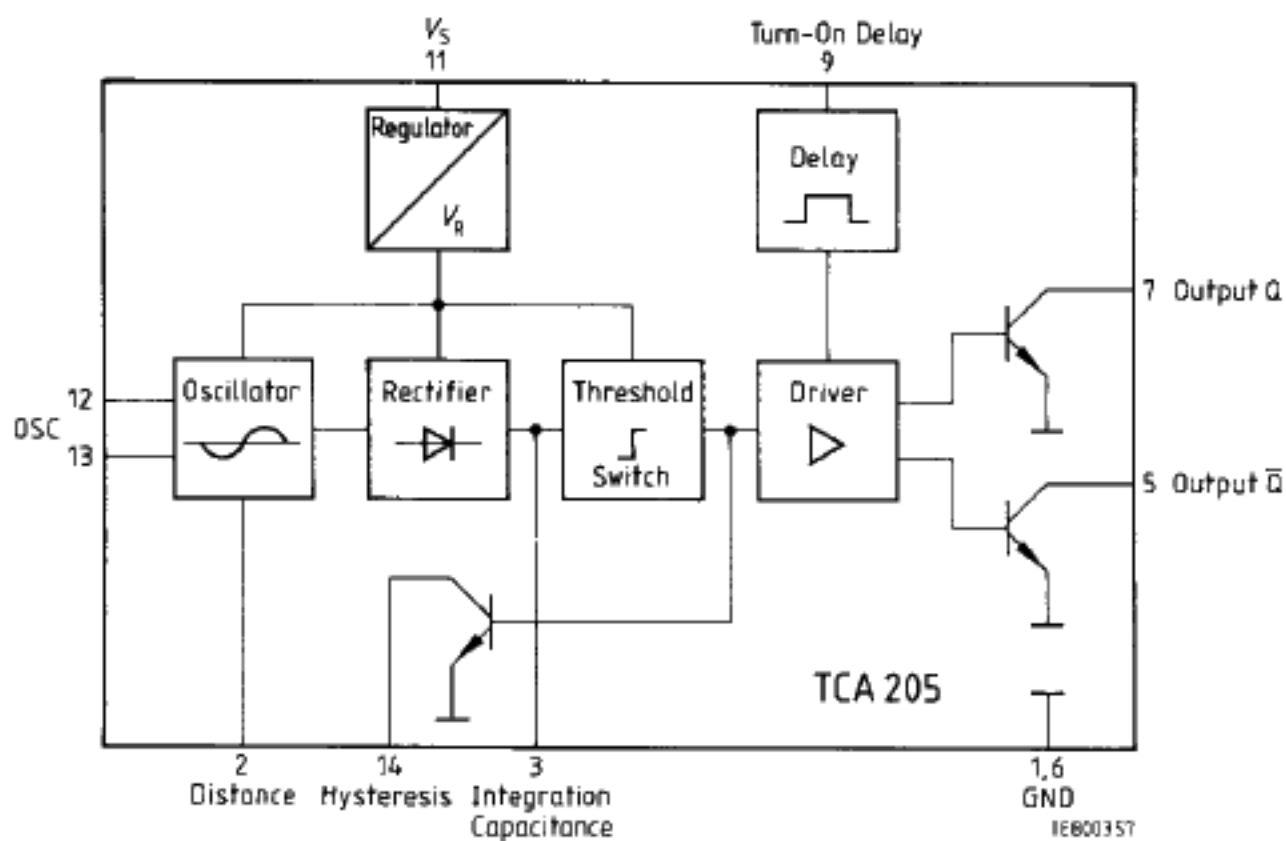
Operation Schematic



Pin Configurations (top view)



Block Diagram



Absolute Maximum Ratings

Parameter	Symbol	Limit Values	Unit
Supply voltage	V_S	30	V
Output voltage	V_Q	30	V
Output current	I_Q	50	mA
Junction temperature	T_j	150	°C
Storage temperature range	T_{stg}	-55 to 125	°C
Thermal resistance system - air TCA 205 A	$R_{th SA}$	85	K/W

Operating Range

Supply voltage	V_S	4.75 to 30	V
Ambient temperature	T_A	-25 to 85	°C

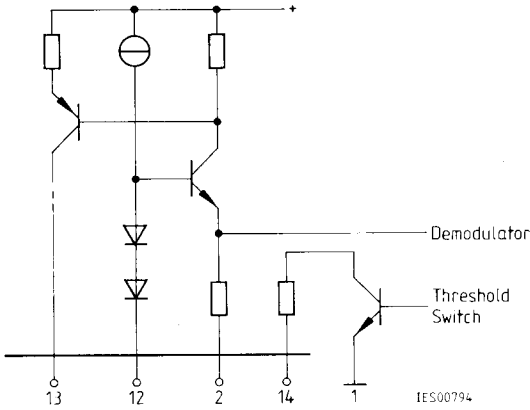
Characteristics
 $V_S = 12\text{ V}, T_A = 25\text{ °C}$

Parameter	Symbol	Limit Values			Unit	Test Conditions
		min.	typ.	max.		
Open-loop supply current consumption	I_S		1	2	mA	open pins
L-output voltage per output	V_{QL}		0.8	1	V	$I_{QL} = 5\text{ mA}$ $I_{QL} = 50\text{ mA}$
	V_{QL}		1.25	1.5	V	
H-output current per output	I_{QH}			10	µA	$V_{QH} = 30\text{ V}$
Integrating capacitance	C_I		10		nF	
Internal resistance at 3	R_{I3}	200	350	660	kΩ	
Threshold voltage at 3	V_{S3}		1.3	1.5	V	
Distance adjustment	R_{Di}	6			kΩ	
Hysteresis adjustment circuit 1						
Distance adjustment	R_{Di}	6 ¹⁾			kΩ	$R_{Hy} \rightarrow \infty$ $R_{Di} \rightarrow \infty$
Hysteresis adjustment circuit 2						
Turn-on delay	t_{Don}		200		ms/µF	
Oscillating frequency	f_{osc}	0.015		1.5	MHz	
Switching frequency without C_I	f_S			5	kHz	

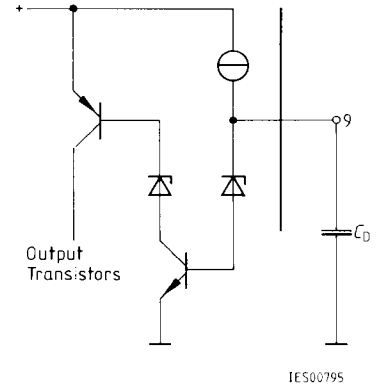
1) Parallel connection of R_{Hy} to R_{Di} may at least amount to 6 kΩ

Schematic Circuit Diagrams

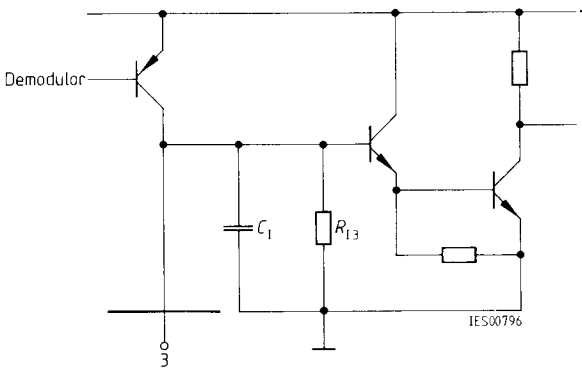
Oscillator



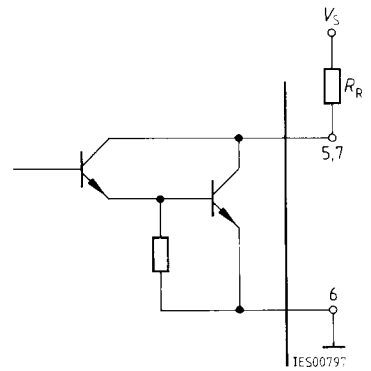
Turn-on delay



Integrating capacitor

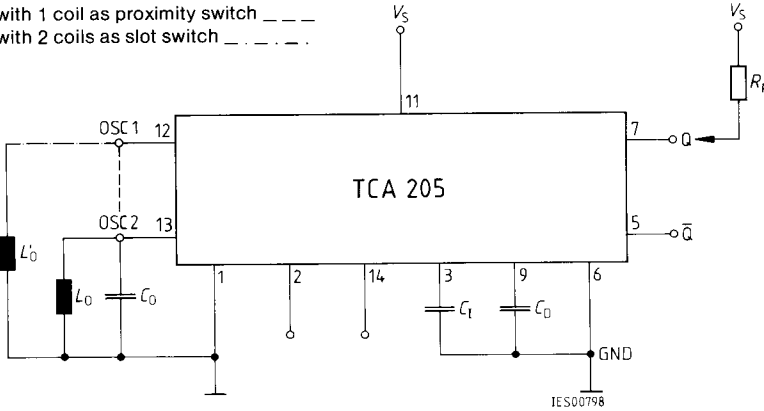


Outputs



Application Circuit

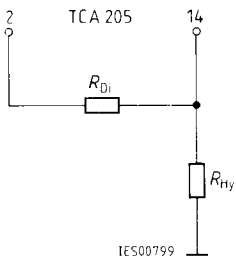
with 1 coil as proximity switch _____
 with 2 coils as slot switch - - - - -



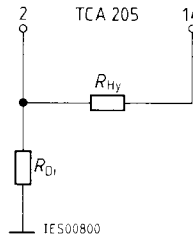
- L_0, C_0 oscillator
- R_{Di} distance adjustment
- R_{Hy} hysteresis adjustment
- C_1 integrating capacitor
- C_D delay capacitor

The resistance of distance and hysteresis R_{Di} and R_{Hy} , for proximity switch TCA 205 A; may be applied as follows:

1. Series hysteresis



2. Parallel hysteresis

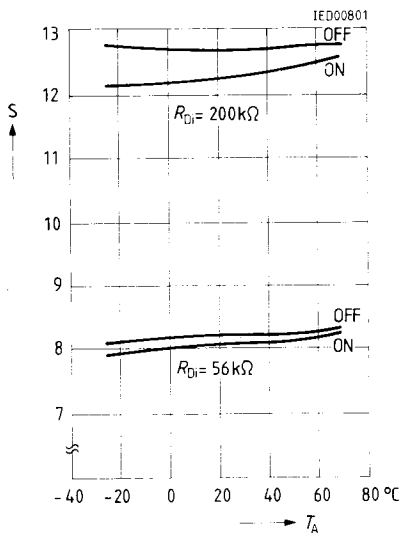


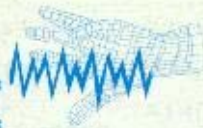
Circuit 1 is more suitable for proximity switches with oscillator frequencies of $f > 200$ kHz to 300 kHz, and small distances. Circuit 2 is more favorable for AF proximity switches having larger distances. This is due to the lower R_{Hy} values enabled by circuit 1 (min. 0 Ω) compared with 2 circuit 2 (min. 6 k Ω). Starting at frequencies of 200 kHz, high R_{Hy} values effect in addition to the hysteresis also the oscillator phase. Practical applications, however, require little phase response to receive a clear evaluation.

Application Example for a Proximity Switch

Coil data	pot core	B65939-A-X22	} circuit 2
	coil former	B65940-A-M1	
	\varnothing	= 25 mm x 8.9 mm	
	L	= 642 μ H	
	n	= 100 CuLS 30 x 0.05	
Measuring plate	30 mm x 30 mm x 1 mm, Fe		
Circuitry	R_{Di}	= 56 to 200 k Ω , metal layer	} circuit 2
	R_{Hy}	= ∞	
	C_0	= 1500 pF, STYROFLEX	
	f	= 162 kHz	

Switching distance versus
ambient temperature





La chasse au trésor est ouverte ! Un mini-détecteur de métaux

Perdre une clef ou une chaîne en or sur le gazon, cela arrive un jour ou l'autre à chacun d'entre nous. La recherche s'annonce souvent longue et fastidieuse. C'est alors que l'on rêve de posséder un détecteur de métaux. Mais l'instrument, généralement dédié à la chasse au trésor, est un produit trop cher pour ce type d'occasion. Alors on renonce, et c'est à quatre pattes que se poursuit la quête ! Nous vous proposons de réaliser ici un montage super économique, mais efficace pour ce type de recherche en surface. En prime, il vous permettra de sonder vos murs avant d'entreprendre de les transpercer, ceci afin d'éviter une bonne douche (canalisation d'eau) ou un flash électrique, plus grave. Cet article est également une bonne initiation électronique à l'usage des professeurs de technologie au collège, et sa réalisation constituera un objet toujours utile à la maison.



Les différentes possibilités

Il existe bon nombre de méthodes pour réaliser un détecteur de métaux. Elles représentent toutes un compromis établi sur les avantages par rapport aux inconvénients, en fonction du cahier des charges : prix de revient, profondeur de recherche, discrimination des ferreux ou non ferreux, sensibilité (sur la taille des objets). Elles font néanmoins appel à un même principe de base : la modification des caractéristiques électriques d'une bobine à l'approche d'un objet métallique. Les différences portent sur le paramètre dont la variation est surveillée et la façon de la mettre en évidence.

Nous allons passer rapidement en revue les plus connues, et les plus simples, puis nous choisirons la notre.

Détection à pont de Wheatstone

La figure 1 illustre succinctement cette méthode.

Un générateur BF (ou oscillateur) est branché aux bornes A et B d'un pont de Wheatstone, constitué de 2 selfs et deux résistances, et équilibré à vide. Pour ce faire, les deux résistances sont remplacées par un potentiomètre permettant d'ajuster cet équilibre, et les deux selfs (ou bobines ou inductances) doivent être identiques. L'une des deux sert de référence, tandis que l'autre nous servira de capteur. Toute variation d'impédance de notre bobine exploratrice va déséquilibrer le pont en 1 et 2, et faire apparaître entre ces deux points un signal audible. Si l'on peut, sans perturber la mesure, mettre en évidence ce signal, par un casque de forte impédance (2000 ohms mini), ou un étage amplificateur à haute impédance d'entrée, la détection est directe

par exploitation du signal sonore et de son amplitude proportionnelle à la proximité et à la taille de l'objet métallique perturbateur.

Avantages : en théorie, appareil muet en absence d'objet métallique, intensité du son proportionnelle à la proximité et grande sensibilité.

Inconvénients : mise au point délicate dans la pratique, difficulté de réunir deux selfs de même valeur sans variation de résistivité ou effet capacitif du câble.

Détection à deux bobines, émission et réception

Une première bobine est alimentée par un oscillateur BF au travers d'un ampli assez puissant. Une seconde bobine, montée en opposition (voir figure 2) pour une réception nulle en absence de perturbation, recevra le signal BF de la première si la proximité d'un



objet métallique vient perturber l'équilibre des champs. Le signal reçu, amplifié, est directement exploitable au casque. La même philosophie peut s'accommoder d'un signal HF, plus performant, mais dans ce cas son exploitation n'est pas directe, et nécessite un montage supplémentaire de conversion de fréquence ou un galvanomètre.

Avantages : détection sur grandes surfaces, détection possible de cavités, très sensible en HF avec forte valeur de self.

Inconvénients : produit final encombrant, positionnement délicat des 2 bobines, consommation importante de l'émetteur, pas de discrimination.

Détection à battements de fréquences

La variation d'impédance d'une self perturbée par la présence d'un objet en métal, provoque un double phénomène : d'une part un amortissement (ou chute de l'amplitude), d'autre part une légère variation de fréquence, le tout sur l'oscillation d'un générateur de signal pour lequel cette self constitue une des parties essentielles du circuit résonnant, avec la capacité associée (voir figure 3).

Si la première propriété fait l'objet de l'étude du prochain paragraphe, c'est la seconde que nous exploitons ici. En comparant, à l'aide d'un modulateur en anneau par exemple, la fréquence de base (appelée référence) avec celle dérivée de l'exploration, on obtient alors un battement exploitable en audio, si la fréquence de base ne dépasse pas les 500 kHz. De plus, cette fréquence diminue en présence d'un métal ferreux, et augmente avec les autres (plomb, cuivre, or, argent...), ce qui permet d'en effectuer la discrimination.

Avantages : bonne sensibilité et discrimination des ferreux et non-ferreux.

Inconvénients : schéma complexe, réglages délicats, influence de l'effet de sol.

Détection par variation d'amplitude

Appelée aussi très justement méthode par amortissement de l'oscillation, c'est la plus simple à mettre en oeuvre, et si nous l'avons gardée pour la fin, c'est parce que c'est elle que nous avons choisie pour notre application. Nous aurons donc l'occasion de la voir très en détails.

La présence, à proximité d'une self (ou inductance) d'une masse métallique quelconque, provoque un amortissement du signal alternatif engendré par

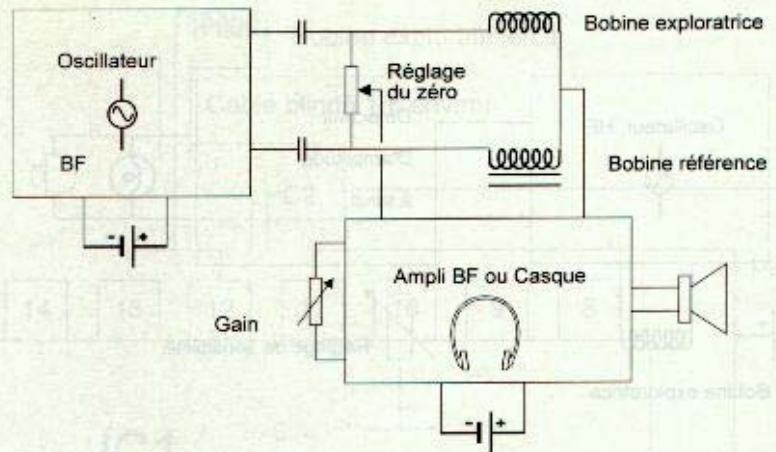


Figure 1 Détection à pont de wheatstone

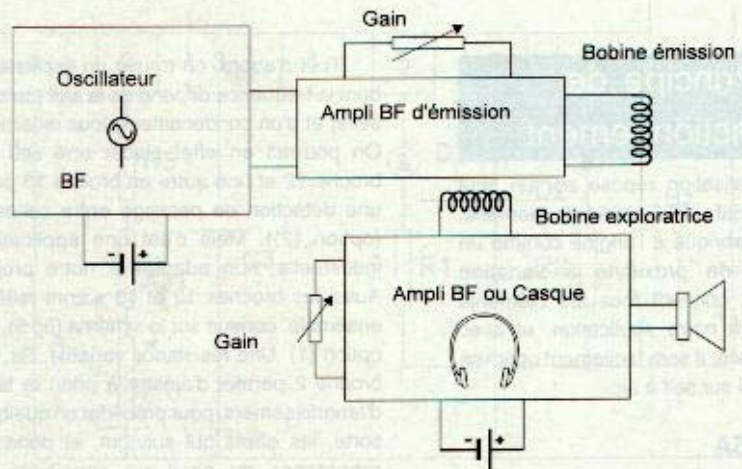


Figure 2 Détection à 2 bobines

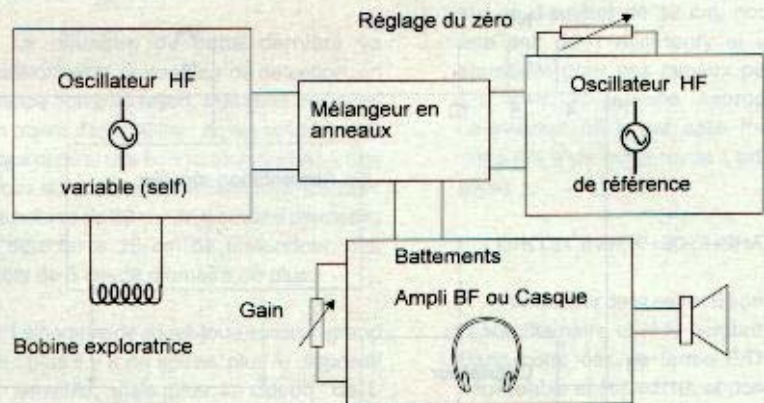


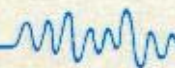
Figure 3 Détection à battements de fréquences

l'oscillateur dont elle fait partie, lequel peut même aller jusqu'à l'arrêt complet. En analysant cet amortissement et en le traduisant en un phénomène visible et/ou audible, on obtient le but recherché : un détecteur de métaux (voir figure 4).

Avantages : montage simple et peu coûteux, réglages très simplifiés et sans instrument.

Inconvénients : portée limitée si montage en tout ou rien, pas de discrimination.

Comme nous venons de le voir, cette dernière méthode présente toutes les caractéristiques souhaitées pour une étude technologique. C'est donc celle que nous allons étudier en détails.



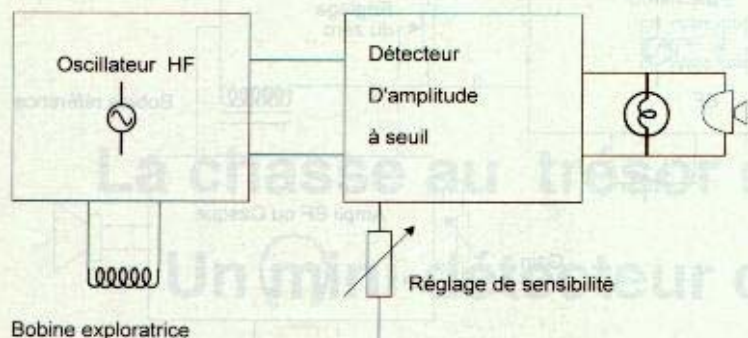


Figure 4 Détection à variations d'amplitude

Principe de fonctionnement

Cette réalisation repose sur un seul composant actif : le TCA205A de Siemens. Ce produit, fabriqué à l'origine comme un interrupteur de proximité à variation d'inductance, contient tous les éléments nécessaires à notre application, et avec un peu d'astuce, il sera facilement optimisé pour le travail sur self à air.

Le TCA205A

La figure 5 vous donne la structure interne en synoptique.

Tout d'abord, on trouve un oscillateur, dont la fréquence dépend de la self (ou des selfs) et d'un condensateur, tous externes. On pourrait en effet placer une self en broche 12 et une autre en broche 13 pour une détection de passage entre celles-ci (option (2)). Mais c'est une application industrielle, non adaptée à notre projet. Aussi les broches 12 et 13 seront reliées ensemble, comme sur le schéma (fig 5), en option (1). Une résistance variable, R_s , en broche 2 permet d'ajuster à priori le taux d'amortissement, pour précéder en quelque sorte, les effets qui suivront, et donc se rapprocher du seuil de sensibilité, à l'optimum de variation d'amplitude. Cette oscillation est redressée et intégrée pour

en faire une tension continue. La capacité d'intégration C_i est externe, et doit être choisie en fonction de la fréquence, car la tension crête obtenue en dépend, et comme le seuil de déclenchement du comparateur qui suit est fixe, sa valeur est critique dans l'ajustement d'une bonne sensibilité sans accrochage. Elle (C_i) se place entre la broche 3 et la masse (GND). Ce "trigger" dont on peut régler l'hystérésis en broche 14, attaque un étage de commutation à deux sorties inversées, en broche 7 (directe) et 5 (inverse). Ces sorties, sur collecteurs ouverts, permettent de "tirer" un courant maxi de 50 mA, ce qui n'est déjà pas si mal ! Un condensateur C_d , en broche 9, permet, éventuellement, de retarder l'activité des sorties à la mise sous tension, pour assurer, dans les applications industrielles qui le réclament, un démarrage sans séquence indésirable. Enfin, un étage spécialisé fournit une tension régulée en interne à tous ses confrères, assurant ainsi un fonctionnement indépendant de la tension d'alimentation en broche 11, laquelle peut varier de 4,75 volts jusqu'à 30 volts maxi.

Rajoutons que ce circuit intégré bien fait fonctionne entre -40 et 125°C , et on est ainsi rassuré de savoir que ni l'hiver, ni le Sahara ne prendront en défaut notre montage.

Voyons à présent comment nous avons adapté ce produit à notre besoin.

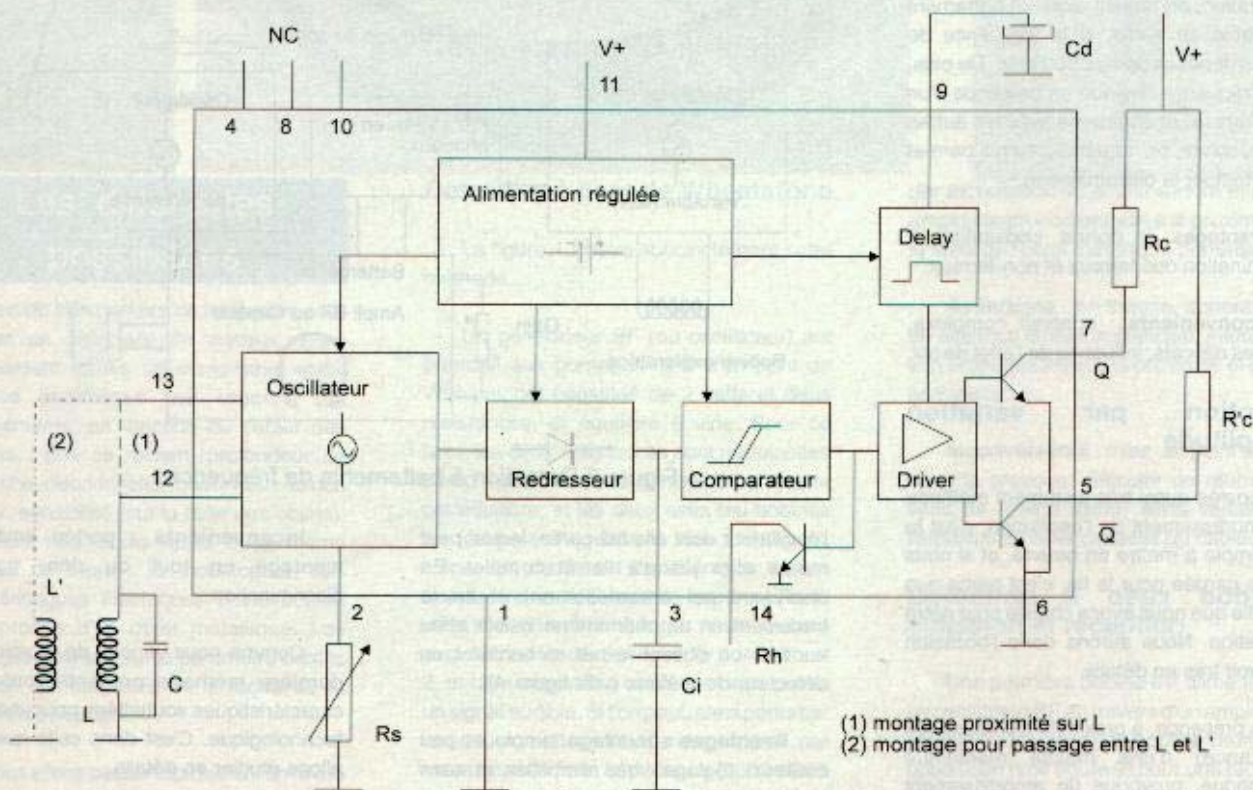


Figure 5 Structure interne du TCA205A et fonctionnement

Le schéma en détails

Suivons ensemble, sur la figure 5, le résultat des choix effectués et par voie de conséquence, le schéma d'application.

Le produit fonctionnera bien sûr sur pile, et notre choix s'est porté sur une 6F22, soit une pile 9 volts à pression, qui présente les avantages d'un faible encombrement pour une tension plus que suffisante, et d'une bonne capacité en alcaline, ou même en accu CD-NI. Un condensateur C1 assure la fonction de réservoir pour ne pas être perturbé lors du fonctionnement du buzzer. Une résistance R1 et une led verte D1 entre V+ et la broche 5 permettent de se rassurer sur une bonne alimentation et de faciliter les réglages au seuil de déclenchement, comme nous le verrons plus loin. Cette led D1 est allumée lorsque l'oscillateur fonctionne librement, et donc en absence de détection. Une résistance R2 et une led rouge D2, entre V+ et la broche 7, normalement éteinte celle-ci, nous signalera, par son allumage, la présence de pièces métalliques aux abords de la self. Un buzzer, en parallèle, permet d'ajouter un signal sonore bien pratique, à cette indication de proximité. La capacité d'intégration C3 sera choisie pour assurer un basculement rapide et sans inertie. La valeur de 47 pF semble parfaitement convenir.

En broche 2, le réglage de sensibilité nous impose une résistance talon R3, un ajustable AJ1 pour dégrossir en fonction de la self choisie, et le potentiomètre P1 nous permet de "peaufiner" ce réglage en cours d'utilisation, ce qui est, sans aucun doute, indispensable. Les valeurs choisies sont dans la plage de réglage du produit, et adaptée à la fréquence que nous allons sélectionner. Nous n'avons aucun besoin du retard à la mise en route en broche 9. Au contraire, un léger bip à la mise sous tension nous rassurera sur le bon fonctionnement du buzzer. A priori, l'hystérésis en broche 14 ne nous intéresse pas non plus, sauf application très spécifique. Ces 2 broches, 9 et 14, ainsi que les 4,8,10, non câblées en interne, seront laissées en l'air. La masse, GND ou le moins de la pile (c'est tout pareil) sera connectée en broches 1 et 6. Les broches 12 et 13 seront reliées ensemble, et ensuite au couple LC (self-condensateur) du réseau oscillant. La self L1 est notre outil de détection, et nous allons en débattre tout de suite. De la valeur du condensateur C2 va dépendre la fréquence lorsque la valeur de la self est connue. Nous allons donc voir maintenant ces choix dans le détail.

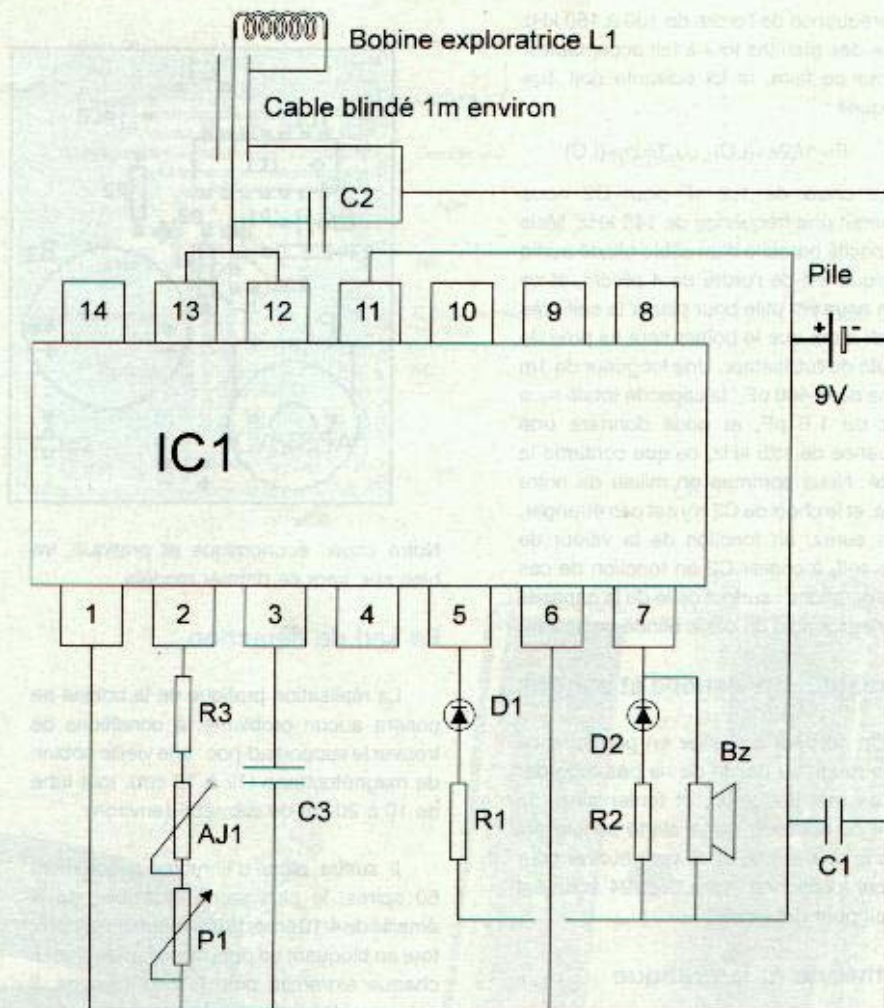


Figure 6 Schéma détaillé du montage

Le choix de la self

Le diamètre de cette dernière va conditionner la profondeur de détection, en principe égale au rayon, et la taille minimum des objets détectables : au maximum, nous avons obtenu une bonne détection pour des pièces du dixième de ce diamètre. En clair, une bobine de 30 cm de diamètre permettra de détecter à 15 cm de profondeur, des objets de 3 cm de diamètre ou plus.

Le nombre de spires joue aussi un grand rôle : plus il y a de spires, plus le dispositif est sensible, mais plus la valeur de L augmente et la fréquence diminue pour une valeur de C2 donnée. Et plus la fréquence diminue, moins les petits objets sont détectables. Le choix final sera donc un compromis.

Un diamètre de l'ordre de 10 à 20 cm nous semble être un bon choix. Plus petit est ce diamètre, et plus la surface de détection devient ridicule et inutilisable. Voir plus grand limite les recherches des objets les plus intéressants : pièces de monnaies, clefs, et petits bijoux que l'on perd souvent dehors en jouant.

Soixante spires de fil émaillé de 4/10, sur un diamètre de 12 cm, nous donnent une self de 1 millihenry et une bonne sensibilité pour ces fameux petits objets. En effet, la formule appropriée pour l'évaluation de L est celle fournie dans notre No 8 de notre revue (article sur les selfs) :

$$L = K' D N^2 \text{ avec } K' = 80 / (3 + 9H/D + 10E/D)$$

H=hauteur de la self et E son épaisseur, D son diamètre et N le nombre de spires. Dans notre cas, le terme E/D est quasi négligeable et H/D=1/12, et donc K' est de l'ordre de 21,5. Ce qui pour D=12cm et N=60 donne L=980 mH. A vous de calculer la valeur de L de la bobine de votre choix, qui dépendra souvent du support trouvé.

Le choix de la fréquence

Plus elle est importante, plus la détection est sensible, mais l'expérience nous a conduit à constater, avec regrets, que cet oscillateur avait alors une fâcheuse tendance à ne pas vouloir redémarrer après une détection positive. Rien n'est hélas parfait, et c'est toujours un compromis qui s'impose.



Une fréquence de l'ordre de 100 à 150 kHz donne des résultats tout à fait acceptables. Et pour ce faire, la loi suivante doit être appliquée :

$$F = 1/(2\pi\sqrt{LC}) \text{ ou } T = 2\pi\sqrt{LC}$$

Le choix de 1,2 nF pour C2 nous donnerait une fréquence de 145 kHz. Mais la capacité parasite d'un câble blindé audio classique est de l'ordre de 4 pF/cm, et ce câble nous est utile pour placer la self près du sol, alors que le boîtier sera lui près de la main de l'utilisateur. Une longueur de 1m donne donc 400 pF, la capacité totale sera donc de 1,6 pF, et nous donnera une fréquence de 125 kHz, ce que confirme la réalité. Nous sommes en milieu de notre plage, et le choix de C2 n'y est pas étranger. Vous aurez, en fonction de la valeur de votre self, à choisir C2 en fonction de ces considérations : surtout celle de la capacité non négligeable du câble blindé de liaison.

La restitution visuelle et sonore

On ne peut surveiller en permanence la led rouge au risque de ne pas regarder où l'on met les pieds, et tenter ainsi la chute ou la bosse ! Une alerte sonore est donc la bienvenue, et ce petit buzzer pour C1, qui fonctionne entre 3 et 24 volts est parfait pour cet emploi.

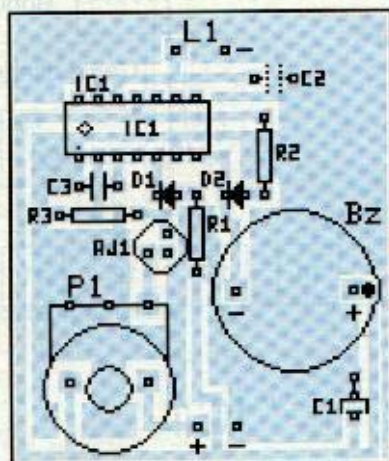
La théorie et la pratique

Pour une fois, nous n'en sommes pas trop éloignés. Le montage exploite très judicieusement le manque d'hystérésis du comparateur, et au seuil de basculement, en présence d'un corps métallique trop petit, il se produira une alternance lente sur le driver de sortie, qui aura pour effet, de provoquer un léger allumage de D2, tout en conservant D1 (tout du moins pour l'oeil humain) et un très léger bruit au niveau du buzzer, sous alimenté : d'où l'intérêt qu'il fonctionne entre 3 et 9 volts (24 maxi). Le basculement ne sera franc qu'en présence d'un objet conséquent.

La réalisation

Le circuit imprimé

Nous l'avons dimensionné pour qu'il puisse s'intégrer dans un coffret DIPTAL bien connu, le 962, qui permet également de loger facilement la pile de 9 volts. C'est donc un circuit relativement aéré que nous vous proposons, ce qui convient encore parfaitement à la réalisation en collège. Un large plan de masse préserve des aléas à ces fréquences déjà élevées. Nous vous proposons 2 modèles : l'un pour EP20C sans interrupteur (axe de 6 mm), l'autre pour EP16Ci avec inter, mais axe de 4mm.



Notre choix, économique et pratique, ira bien sûr, vers ce dernier modèle.

La self de détection

La réalisation pratique de la bobine ne posera aucun problème, à conditions de trouver le support ad-hoc : une vieille bobine de magnétophone (12 à 18 cm), tout tube de 10 à 20 cm de diamètre (environ).

Il suffira alors d'enrouler patiemment 60 spires, le plus serré possible, de fil émaillé de 4/10 ème de millimètre de section, tout en bloquant un petit morceau de 5 cm à chaque extrémité pour les connexions. Il est conseillé, dans ce but, d'en ôter le vernis sur 5 mm, avec un petit cutter, pour pouvoir souder ou y placer un domino.

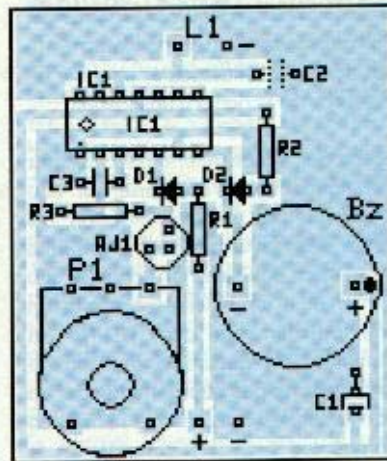
La perfection voudrait que l'on trouve un récipient étanche pour ce capteur : un genre de 'frisbee' ou assiettes en plastique.

La liste des composants

R1, R2	1 kohms
R3	10 kohms
AJ1	100 kohms type 82P
P1	EP16Ci 22 kohms A
C1	100 uF radial 25 v
C2	1200 pF céramique
C3	47 pF céramique
D1	led 5mm verte
D2	led 5mm rouge
IC1	TCA205A
Bz	buzzer pour Ci 3-24 volts
35 à 50 mètres de fil émaillé 4/10	
1m de fil blindé simple	
1 coupleur de pile pour 6F22 (9 volts)	
1 support Ci 14 broches	
1 coffret DIPTAL 962 (tout opto ?)	
1 tube plastique de 1 m	
2 ou 3 vis nylon avec écrous	
1 support pour bobinage de la self	

Le montage et assemblage

L'implantation des composants et les soudures ad-hoc ne doivent pas poser de problèmes. On débutera par les 3 résistances, l'ajustable AJ1 et le support C1. Puis viendront les condensateurs, le buzzer, les leds D1, D2, et on terminera par



le potentiomètre P1. Attention à la polarité du buzzer et des leds ! La hauteur de ces dernières sera ajustée en fonction du coffret : en choisissant un type tout opto, transparent par exemple, on peut à la fois s'affranchir de cette difficulté, et profiter du spectacle interne, comme c'est un peu la mode, avec les téléphones en ce moment.

Le câble blindé sera soudé en L1 avec la tresse de masse sur le - (GND ou masse). Le coupleur de pile, enfin, le fil rouge sur le +, et le noir sur le-.

Avant de souder la bobine sur l'autre extrémité du câble blindé, il est conseillé de procéder à la réalisation mécanique. En effet, le fil de liaison est sensé passer au centre du tube plastique servant de support et de poignée de maintien. (Voir le schéma en figure 7 et les diverses photographies). Un petit trou de 6 à 8 mm, juste devant le boîtier, permet d'engager le câble dans le tube, et le faire ressortir en bas, pour y raccorder la bobine. Le boîtier sera fixé sur ce tube (en plastique aussi, un modèle pour canalisations électriques), par 2 vis nylon avec écrous. Quand à la self, un peu d'ingéniosité, fonction du type de support de bobine utilisé, sera probablement nécessaire, surtout pour articuler cette dernière, ou du moins la placer de telle façon qu'elle soit horizontale lorsque le tube est en bonne position dans la main de l'utilisateur. Les soudures des 2 fils de la self sur le câble blindé seront protégées par 2 petits morceaux de gaine isolante. Nous allons pouvoir passer aux réglages et aux conseils d'utilisation.

L'utilisation

Avant la mise sous tension, placez AJ1 en position minimum : sens inverse des aiguilles d'une montre et P1 en position milieu. Si vous avez respecté nos divers conseils, la led verte doit s'allumer à la mise en route, la rouge doit être éteinte et le buzzer muet. Si ce n'était pas le cas, vous



avez déjà une masse métallique à portée de bobine, ou une fréquence résultant du couple L1C2 trop grande : vérifiez vos calculs. Si tout va bien, assurez-vous d'être loin de tout objet en métal, du moins du côté de la bobine, et tourner AJ1 dans le sens horaire jusqu'à l'allumage de D2 (et bruit du buzzer) et revenez très légèrement en arrière. C'est à présent P1 qui servira aux réglages plus fins, autour de sa position milieu. Plus vous serez à la limite de l'allumage de la led rouge D2, plus votre détecteur sera rendu sensible aux petits objets. Ce réglage peut varier en fonction de divers paramètres, T° surtout : il sera sûrement nécessaire d'y retoucher en cours de vos recherches, mais toujours avec la bobine en l'air, loin de tout métal. Vous pouvez à présent le tester avec divers objets, et constater sa sensibilité en fonction de la taille et de la proximité de ces derniers.

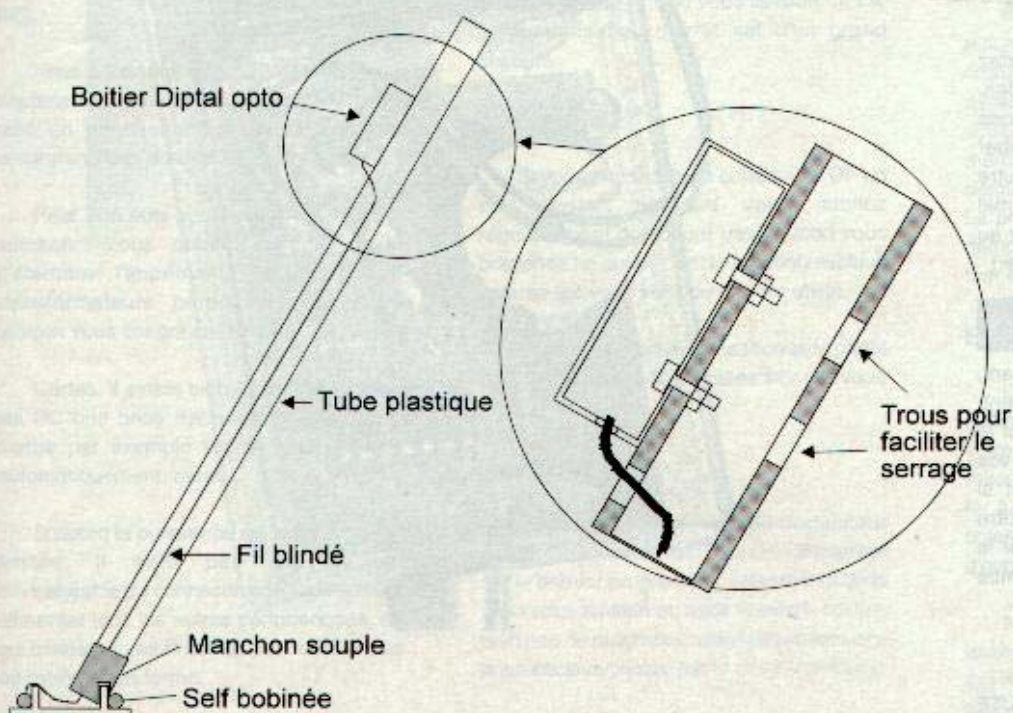
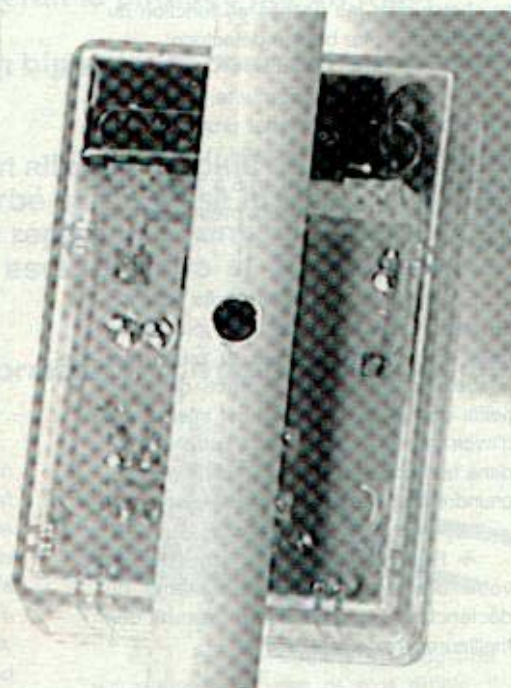
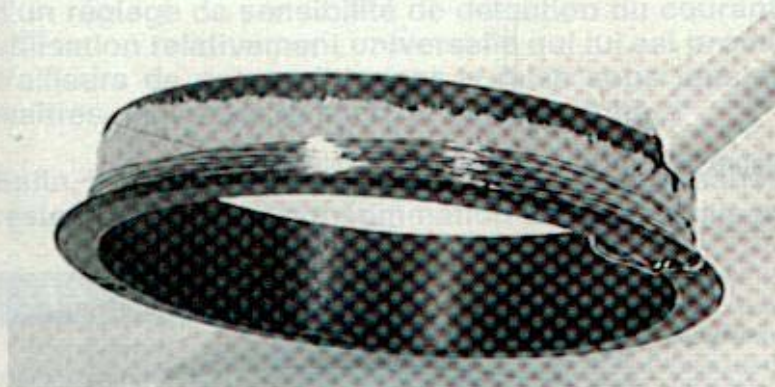
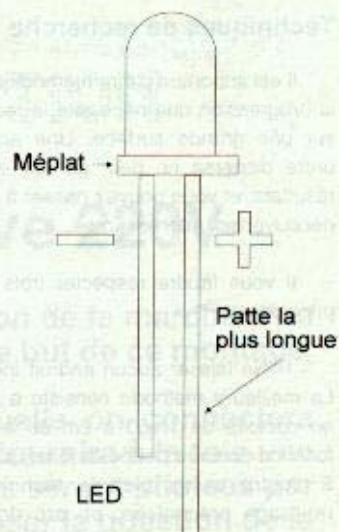
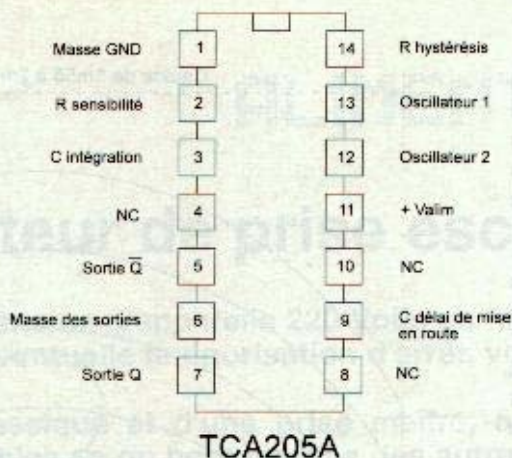
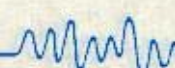


Figure 7 Schéma exemple de montage mécanique



Techniques de recherche

Il est important d'être méthodique dans la progression que nécessite la recherche sur une grande surface. Une action en ordre dispersé ne peut donner de bons résultats, et vous pouvez passer à côté de découvertes intéressantes.

Il vous faudra respecter trois grands principes :

1- Ne laisser aucun endroit inexploré. La meilleure méthode consiste à oeuvrer en couloirs de 1m50 à 2m de large (en fonction de votre portée de bras). La figure 8 illustre assez bien la technique de ratissage préconisée, en arc de cercle autour de la position centrale, et en faisant se chevaucher les passes en fonction du diamètre de votre bobine détectrice.

2- Ne pas aller trop vite, car vous pourriez manquer le signal provoqué par un objet de très petite taille. Un arc de cercle doit être parcouru en 5 à 10 sec, en fonction de la dimension présumée de l'objectif de vos recherches.

3- Tenir la bobine le plus près possible du sol. Plus vous serez bas, plus vous détecterez en profondeur et plus vous risquez de trouver en surface des très petits objets. C'est ici qu'il est intéressant d'avoir réussi à "emballer" votre bobine dans une boîte plastique, laquelle ne peut craindre de s'abîmer en rasant le sol.

4- Réajuster souvent la sensibilité de votre détecteur, à la limite même du déclenchement, afin d'être assuré des meilleures performances.

Fort de ces 4 règles, vous devriez bientôt faire d'intéressantes trouvailles. Attention néanmoins aux imprudences dans les régions où l'on risque de tomber sur des reliquats de l'une ou de l'autre guerre, et ne bricolez jamais un objet mal identifié qui pourrait bien vous exposer au visage : prévenez plutôt la gendarmerie !

Conclusions

Vous disposez là d'un outil performant, surtout vu son très faible prix de revient, largement inférieur à 100 frs. Il permet le jeu et la recherche sérieuse : il épatera vos proches et vous dépannera souvent si vous avez tendance à perdre votre monnaie dans l'herbe du jardin, ou sur le sable de la plage. Ne manquez pas cette occasion de joindre l'utile à l'agréable !

A bientôt ! Magnétiquement votre !

LEFUTE

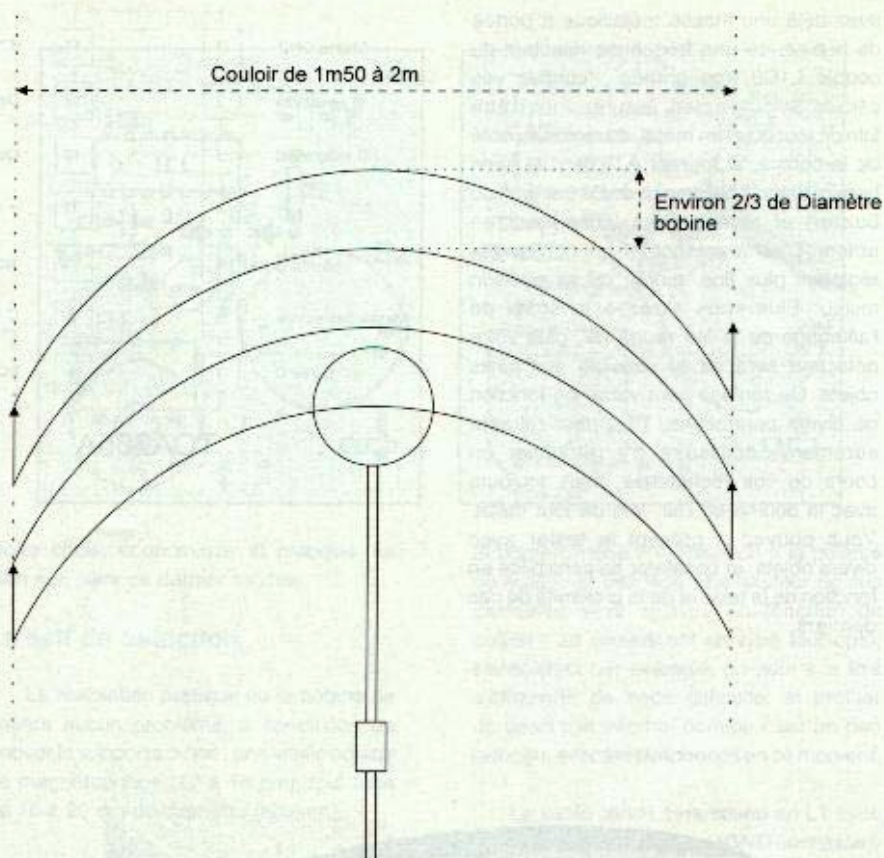


Figure 8 Technique de recherche systématique

